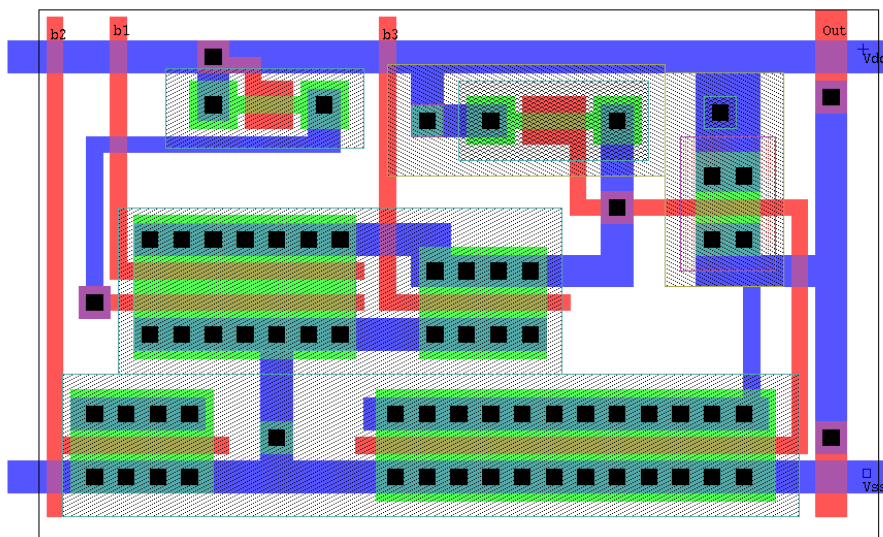




Univerzitetna založba
Univerze v Mariboru

Tomaž Dogša

Uvod v integrirana vezja



Maribor, november 2022



Univerza v Mariboru

Fakulteta za elektrotehniko,
računalništvo in informatiko

Uvod v integrirana vezja

Avtor
Tomaž Dogša

November 2022

Naslov **Uvod v integrirana vezja**
Title *Introduction to Integrated Circuits*

Avtor Tomaž Dogša
Author (Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko)

Recenzija Anton Pleteršek
Review (Univerza v Ljubljani, Fakulteta za elektrotehniko)

Mitja Solar
(Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko)

Lektoriranje Jožica Rapac
Language editing

Tehnična urednika Tomaž Dogša
Technical editors (Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko)

Jan Perša
(Univerza v Mariboru, Univerzitetna založba)

Oblikovanje ovitka Tomaž Dogša
Cover designer (Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko)

Grafične priloge Dogša, 2022 **Grafika na ovitku** Tomaž Dogša, 2022
Graphic material *Cover graphics*

Založnik Univerza v Mariboru, Univerzitetna založba
Published by Slomškovo trg 15, 2000 Maribor, Slovenija
<https://press.um.si>, zalozba@um.si

Izdajatelj Univerza v Mariboru
Issued by **Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko**
Koroška cesta 460, 2000 Maribor, Slovenija
<https://www.feri.um.si>, feri@um.si

Izdaja Prva izdaja **Izdano** Maribor, november 2022
Edition *Published at*

Vrsta publikacije E-knjiga
Publication type

Dostopno na <https://press.um.si/index.php/ump/catalog/book/707>
Available at

CIP - Kataložni zapis o publikaciji
Univerzitetna knjižnica Maribor

621.3.049.77 (075.8) (0.034.2)

DOGŠA, Tomaž
Uvod v integrirana vezja
[Elektronski vir] / Tomaž Dogša. -
1. izd. - E-učno gradivo. -
Maribor : Univerza v Mariboru,
Univerzitetna založba, 2022

Način dostopa (URL): <https://press.um.si/index.php/ump/catalog/book/707>

ISBN 978-961-286-631-0
doi: 10.18690/um.feri.9.2022
COBISS.SI-ID 128660739



© Univerza v Mariboru, Univerzitetna založba
Besedilo © Dogša 2022

To delo je objavljeno pod licenco Creative Commons Priznanje avtorstva 4.0 Mednarodna. / *This work is licensed under the Creative Commons Attribution 4.0 International License.*

Uporabnikom je dovoljeno tako nekomercialno kot tudi komercialno reproduciranje, distribuiranje, dajanje v najem, javna priobčitev in predelava avtorskega dela, pod pogojem, da navedejo avtorja izvirnega dela.

Vsa gradiva tretjih oseb v tej knjigi so objavljena pod licenco Creative Commons, razen če to ni navedeno drugače. Če želite ponovno uporabiti gradivo tretjih oseb, ki ni zajeto v licenci Creative Commons, boste morali pridobiti dovoljenje neposredno od imetnika avtorskih pravic.

<https://creativecommons.org/licenses/by/4.0/>

ISBN 978-961-286-631-0 (pdf)

DOI <https://doi.org/10.18690/um.feri.9.2022>

Cena Brezplačni izvod
Price

Odgovorna oseba založnika prof. dr. Zdravko Kačič,
For publisher rektor Univerze v Mariboru

Citiranje Dogša, T. (2022). *Uvod v integrirana vezja*. Maribor: Univerzitetna založba. doi: 10.18690/um.feri.9.2022
Attribution

Učbeniki bi morali biti vabljeni; takšni pa bodo le, če bodo ponujali najvedrejšo, najdostopnejšo plat znanja in znanosti.

Johann W. von Goethe

KAZALO

PREDGOVOR.....	9
1. UVOD	11
1.1. Osnovni pojmi in klasifikacija.....	12
1.3. Tehnologija monolitnih integriranih vezij	17
2. MOS TRANZISTOR.....	21
2.1. Notacija - simboli	21
2.2. Struktura MOS tranzistorja.....	22
2.3. Parazitni MOS tranzistor	24
2.4. Tehnologija CMOS vezij.....	24
2.4.1. CMOS proces z N-otoki	29
2.4.2. CV meritev	33
2.5. Načrtovanje geometrijske strukture.....	34
2.5.1. Prikazovanje geometrijskih struktur	34
2.5.2. Delno združevanje elementov.....	37
2.5.3. Prestrukturiranje tranzistorjev	38
2.6. SCNA tehnologija.....	39
2.7. Osnovna načrtovalska pravila.....	40
2.7.1. Risanje MOS tranzistorja.....	42
2.7.2. Osnovni napotki za načrtovanje geometrijskih struktur	44
2.7.3. Ekstraktor.....	45
2.8. Statične karakteristike MOS tranzistorja	47
2.8.1. MOS tranzistorji z induciranim kanalom	48
2.8.2. g parametri MOS tranzistorja	55
2.8.3. MOS tranzistorji z vgrajenim kanalom.....	56
2.8.4. Pragovna napetost.....	57
2.8.5. Parazitni elementi MOS tranzistorja.....	59
2.8.6. Simulacijski modeli	60
2.9. Drugi primitivni elementi	63
2.9.1. Upor	63
2.9.2. Kondenzator	78
2.9.3. Bipolarni tranzistor.....	80
2.9.4. Dioda	81
2.9.5. Razpoložljivi elementarni gradniki – tehnologija CMOS n-otok	82
2.10. Tiristorski pojav v CMOS vezjih.....	83
2.11. Vprašanja in naloge	88
3. NAČRTOVANJE PREPROSTIH LOGIČNIH GRADNIKOV.....	95
3.1. Koncept statičnih logičnih vezij	95
3.2. Primitivni MOS logični gradniki	102
3.2.1. Invertor	102
3.2.2. NAND in NOR vrata	108
3.2.3. Splošno decizijsko vezje.....	111
3.3. Primitivni CMOS logični gradniki	113
3.3.1. MOS stikalo.....	113
3.3.2. CMOS invertor	119
3.3.3. Dinamične lastnosti CMOS invertorja.....	128

3.3.4. Splošno CMOS decizijsko vezje	129
3.4. Dinamična MOS vezja.....	131
3.5. Vprašanja in naloge	133
4. NAČRTOVANJE ANALOGNIH VEZIJ	137
4.1. Primitivni analogni sklopi.....	138
4.1.1. Delilniki napetosti.....	138
4.1.2. Tokovni generatorji, tokovna zrcala, tokovni ojačevalniki.....	143
4.1.3. Enostopenjski ojačevalniki	150
4.1.4. Enostopenjski ojačevalnik z nelinearnim MOS uporom	153
4.1.5. Ojačevalnik s tokovnim bremenom	154
4.1.6. CMOS enostopenjski ojačevalnik	156
4.1.7. Kaskodni ojačevalnik	160
4.1.8. CMOS diferenčni napetostni ojačevalnik	161
4.1.9. Transkonduktančni ojačevalnik	167
4.1.10. Izhodne stopnje.....	167
4.1.11. Frekvenčna kompenzacija ojačevalnika	172
4.1.12. Napetostni referenčni viri	173
4.2. Dvostopenjski CMOS komparator	177
4.2.1. Napetostno ojačenje.....	178
4.2.2. Izkrmiljenje na izhodu	179
4.2.3. Zakasnitev	180
4.2.4. Razmerja tokov	182
4.3. Projektiranje komparatorja	183
4.4. Vprašanja in naloge	189
5. BIPOLARNA INTEGRIRANA VEZJA	193
5.1. Bipolarna tehnologija	193
5.2. Model bipolarnega tranzistorja.....	197
5.3. Nekateri bipolarni gradniki.....	199
5.3.1. Tokovna zrcala.....	199
5.3.2. Transkonduktančni ojačevalnik	202
5.3.3. ECL družina.....	204
5.4. Vprašanja in naloge	207
6. NAČRTOVALSKI PRISTOPI.....	209
6.1. Primerjava med kupljenimi in načrtovanimi gradniki.....	210
6.2. Načrtovanje namenskih (ASIC) vezij.....	212
6.2.1. Koncept sinteze.....	214
6.2.2. Avtomatska sinteza	217
6.2.3. Taksonomija ASIC vezij – načrtovalski pristopi.....	218
6.3. Kompletno načrtovana integrirana vezja po meri.....	219
6.4. Delno načrtovana integrirana vezja po meri.....	220
6.3.1. Niprogramabilne mreže.....	222
6.3.2. Množica vrat (Sea of gates)	225
6.3.3. Makro celice	225
6.3.4. Načrtovanje s (standardnimi) celicami	226
6.3.5. Programabilne mreže	230
6.5. Primerjava med načrtovalskimi pristopi	231
6.6. Vprašanja in naloge	234

7. IZBRANA POGLAVJA.....	235
7.1. BiCMOS	235
7.2. SC vezja.....	237
7.3. GaAs vezja.....	240
7.4. Hibridna integrirana vezja	243
7.5. Močnostna mikroelektronska vezja	244
7.6. MEMS	248
7.7. 3D MOS - FinFET	249
7.8. Bodoči trendi	250
8. LITERATURA.....	255
DODATEK.....	257
A. Nekatere pomembne konstante.....	257
B. Decimalni večkratniki enot.....	257
C. Nekateri pretvorni faktorji	257
STVARNO KAZALO.....	259

PREDGOVOR

Pri pisanju tega učbenika sem se neprestano spraševal, kaj je pravzaprav tukaj originalnega oziroma mojega, saj nisem naredil ničesar drugega, kot prebral kup knjig in množico člankov, ter nato vso snov povzel in dodal svoje zglede. Ob tej misli sem se v začetku zgrozil - predstavljal sem si namreč, da mora univerzitetni profesor vedno napisati izvirno delo - torej nekaj novega, kar še ni bilo nikjer objavljeno. Ko pa sem malo razmislil, sem ugotovil, da mnogi univerzitetni učbeniki (npr.: za matematiko, fiziko, osnove elektrotehnike itd.) niso po vsebini povsem izvirni. Učbeniki, ki so jih napisali različni avtorji, se med seboj seveda razlikujejo. Razlika je predvsem v izboru in podajanju snovi. Namen učbenika je podati pregled najpomembnejših področij iz mikroelektronike. S tega vidika je tudi ta učbenik originalen - podaja moj pogled na integrirana vezja. Pri pisanju sem imel neprestano pred očmi le en cilj: motivirati študente za načrtovanje integriranih vezij.

Mikroelektronika je zelo zahtevna znanost oziroma inženirska disciplina. Tako hitro kot raste število tranzistorjev na čipu, tako hitro se tudi širi kompleksnost znanja, potrebnega za razumevanje celotne mikroelektronike. Glede na število ur, predvidenih za to snov, sem bil zato prisiljen izpustiti mnogo poglavij, ki jih lahko najdemo v podobnih učbenikih. Izbral sem le najnujnejša, ki sem jih še dodatno poenostavil. Načrtovanje integriranih vezij je le ena izmed mnogih dejavnosti v mikroelektroniki. Ker je za inženirja elektronike najbolj pomembna, sem dal poudarek ravno načrtovanju. Le-to ima nekaj posebnosti - zahteva sintezo znanja splošne elektronike, tehnologije in tudi računalništva.

Učbenik je namenjen študentom, ki se prvič srečajo z integriranimi vezji in jih zanima elektronika. Pred tem so že poslušali posamezna poglavja iz polprevodniške tehnologije ter poznajo osnovne polprevodniške elemente (dioda, MOS, bipolarni tranzistor). Obvladati morajo tudi osnove elektronike in analize (predvsem simulator SPICE). Znanje, ki ga nudi ta učbenik, naj bi bila dobra osnova za kasnejše predmete s področja načrtovanja VLSI vezij. Učbenik obravnava predvsem načrtovanje osnovnih analognih in digitalnih gradnikov. Izpuščena je vsa obravnava v časovnem oziroma frekvenčnem prostoru, za katero se mi je zdelo, da je za začetnika pretežka. Najbolj kompleksen sklop, ki se podrobno obravnava na koncu, je preprost primerjalnik. Opisani so tudi osnovni načrtovalski pristopi in tehnologije. Za bolj poglobljen študij priporočam naslednje vire: [PLETERŠEK,2006], [ALLEN,2002] in [WESTE,2005].

Predavanja dopolnjujejo avditorne in računalniške vaje, pri katerih študenti načrtujejo preprosta integrirana vezja. Nekatera poglavja se končajo z vprašanji in dodatnimi nalogami za utrjevanje snovi. Večina rešitev je v publikaciji: "Tomaž Dogša: *Osnove mikroelektronike [Elektronski vir]: zbirka vaj z rešitvami*", 2019, ki je dostopna v Digitalni knjižnici Univerze v Mariboru na naslovu: (<http://press.um.si/index.php/ump/catalog/book/444>).

Na koncu tega učbenika je tudi seznam dodatne literature, ki naj vedoželjne študente popelje globlje v problematiko. Zahvaljujem se tudi recenzentoma, ki sta mi z nasveti in pripombami pomagala pri ustvarjanju učbenika. Včasih se zgodi, da so učbeniki preveč odmaknjeni od konkretnih problemov.

V drugi in tretji izdaji sem popravil nekatere napake in razširil nekatera poglavja. Delno sem zamenjal tudi vrstni red ter posodobil nekatere podatke. Tretja izdaja obstaja samo v digitalni oziroma elektronski obliki.

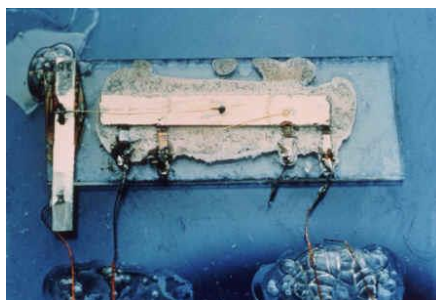
Tomaž Dogša

1. UVOD

V uvodnem delu bomo opisali nekatere najpomembnejše pojme, ki jih bomo v nadaljevanju uporabljali. Ker je terminologija na tem področju še zelo mlada in se še ni popolnoma ustalila, bodo imeli nekateri izmed pojmov čez nekaj let verjetno drug pomen. Z navedenimi definicijami nikakor ne želimo vsiljevati novih pojmov in prevodov, ampak ustvariti pogoje za razlago. Prvi pogoj za vsako razpravo so natančno definirani pojmi.

Pri izbiri osnovnih pojmov, s katerimi bomo začeli, bomo predpostavljali, da bralec vsaj v grobem pozna:

- osnovni postopek izdelave integriranih vezij¹,
- osnovne polprevodniške strukture (dioda, MOS in bipolarni tranzistor),
- preproste elektronske gradnike (upor, kondenzator, tokovni vir, ojačevalnik itd.),
- analizo in sintezo preprostih decizijskih logičnih vezij in
- analizo ter simulacijo analognih vezij.



Slika 1.1: Prvo integrirano vezje, ki ga je izdelal Jack Kilby leta 1958, je vsebovalo tranzistor, tri upore in kondenzator. Dolžina ploščice je približno 1 cm. Intel Pentium 4 Prescott, ki obratuje s frekvenco 3,2GHz, je sestavljen iz 125 milijonov tranzistorjev v 90 nm tehnologiji². Tipični operacijski ojačevalnik 741 ima okrog 24 tranzistorjev.

Za označevanje napetosti oziroma tokov bomo uporabili naslednji sistem:

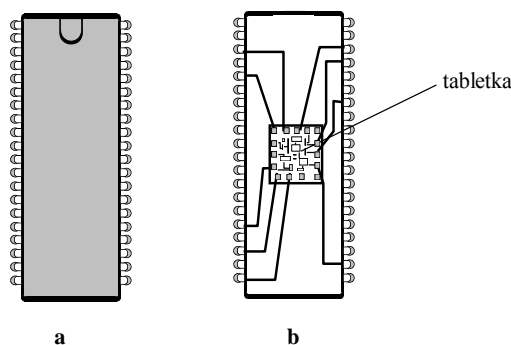
U, I enosmerna napetost oziroma tok,
u, i majhna sprememba napetosti (toka) oziroma signal z zelo majhno amplitudo
u(t), i(t) časovno odvisna napetost oziroma tok.

¹ Podrobni opisi tehnologij so v [FURLAN,1988], [TRONTELJ,1998], [ALLEN,2002].

² "Review: Intel Prescott Pentium 4 Processor", ExtremeTech, str. 7, pridobljeno s <https://www.extremetech.com/computing/55632-review-intel-prescott-pentium-4-processor/7?print>, dostop 6.8.2022.

1.1. OSNOVNI POJMI IN KLASIFIKACIJA

Mikroelektronika (microelectronics) je tehniška disciplina, ki se ukvarja z načrtovanjem in proizvodnjo miniaturnih elektronskih vezij.



Slika 1.2: Integrirana komponenta: (a) zaprta v ohišje, (b) zgornji del je odstranjen. Struktura tabletko je na [sliki 1.3](#). Vir: lasten.

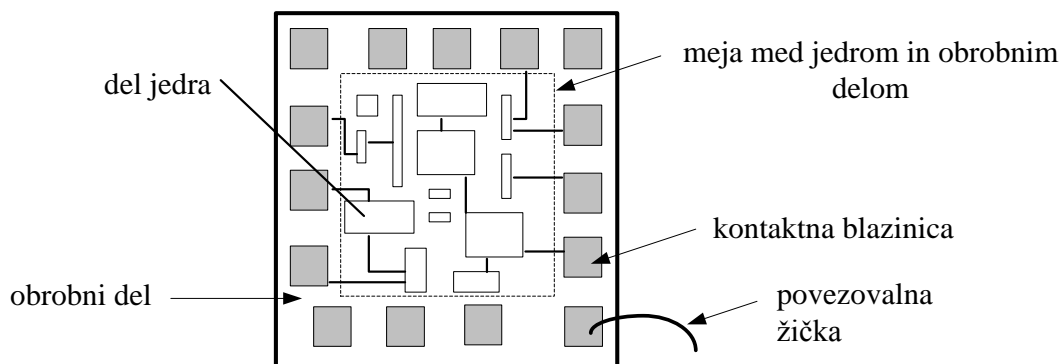
Integrirano vezje (integrated circuit) - definicij je mnogo. Največkrat s to besedo poimenujemo električno komponento (slika 1.2), ki jo lahko prispajkamo ali kako drugače pritrdimo na razne podlage (npr. na tiskano vezje). Izbrali bomo naslednjo dokaj splošno definicijo³: **integrirano vezje je množica med seboj neločljivo povezanih električnih elementov na skupni podlagi ali v njej** (glej sliko 1.4). Pogost sinonim, ki se pojavlja, je *mikroelektronsko vezje*. Integrirana vezja delimo glede na njihove posebnosti v različne podskupine. Glede na način delovanja jih delimo na analogna, digitalna (ali logična) in kombinirana (ali analogno-digitalna). Ker je integrirana vezja možno izdelati z različnimi tehnologijami, jih lahko tudi s tega vidika razdelimo na skupine, ki jih prikazuje slika 1.8. Delimo jih lahko tudi glede moči, frekvenčnega območja in napetosti. V učbeniku bo poudarek predvsem na nizkonapetostnih analognih ter logičnih vezjih majhne moči.

Tabletko⁴ (chip, die) je majhna pravokotna ploščica iz silicija, na kateri je integrirano vezje (glej zgled na sliki 1.5). Tipične površine so od nekaj mm² do cm². Pri hibridnih integriranih vezjih lahko tabletko pritrdijo kar direktno na podlago, v drugih primerih pa jo je treba pritrditi v ohišje, povezati z nogicami in nato ohišje zapreti (glej sliko 1.2). Povezavo omogočajo tanke aluminijaste ali zlate žičke, katerih debelina (tipična debelina 25μm) je odvisna od tokovne obremenitve. Pritrjene so na kontaktne površine, ki imajo v primerjavi z dimenzijami večine elementov relativno veliko površino (npr. 100μm x 100μm). Te kontaktne površine imenujemo tudi *kontaktne blazinice*.

Strukturo tipične tabletko lahko razdelimo na dve področji: **na jedro** oziroma na notranji del in **na zunanji (obrobni) del** (glej sliko 1.3). Osnovna funkcija vezja je implementirana v notranjem delu, zunanji (obrobni) del pa je namenjen povezavi notranjosti z zunanostjo. V tem delu so kontaktne blazinice, razne zaščitne diode in močnostni tranzistorji oziroma ojačevalniki.

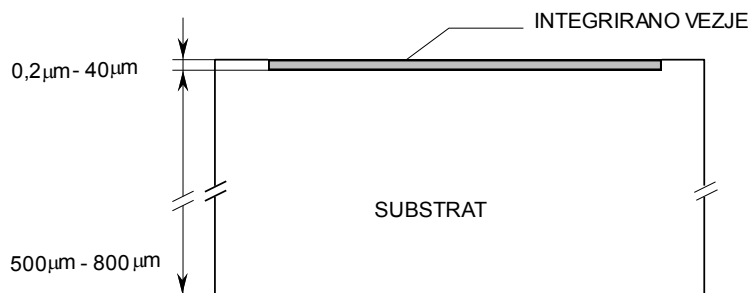
³ "IEEE Standard Dictionary of Electrical and Electronics Terms", The Institute of Electrical and Electronics Engineers, Inc., 1988.

⁴ Pogost sinonim je tudi čip.



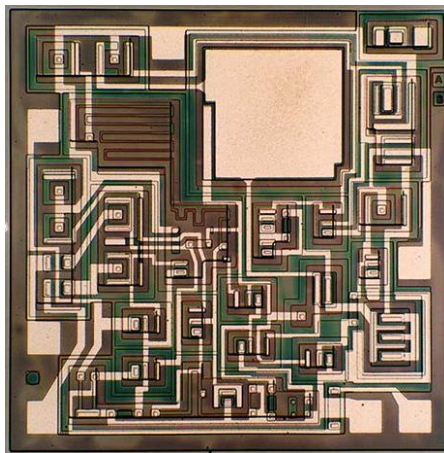
Slika 1.3: Struktura tabletke - delitev na notranjost (jedro) in obrobni del. Približno mejo prikazuje črtkana črta (glej tudi zgled na [sliki 1.5](#)). Vir: lasten.

Substrat ali podlaga je ploščica iz polprevodnika ali keramike, na kateri so povezani mikroelektronski gradniki (slika 1.4). Novejše tehnologije uporabljajo za substrat tudi druge izolatorje (npr. kvarc, Al_2O_3). Za izdelavo integriranih elementov in dodatnih potrebnih plasti je potrebna relativno majhna globina (tipično približno $6\mu\text{m}$). Ker bi bila tako tanka tabletka prekrhka, je vezje napravljeno na debelejši podlagi. Druga pomembna naloga substrata je odvajanje odvečne toplote.

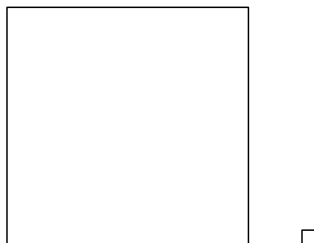


Slika 1.4: Prečni prerez tabletke (čipa). Vir: lasten.

Plast (layer) je homogeni del (npr. p-polprevodnik, kovina, silicijev dioksid itd.) integriranega vezja, katerega debelina je manjša od dolžine oziroma površine. Pri proizvodnji izdelujejo zaporedoma plast za plastjo in z dodatnim vnosom primesi ustvarijo zahtevane strukture. Konkretno vodoravne dimenzije določimo z odprtini mask. Zahtevnost tehnologije je odvisna med drugim tudi od števila plasti oziroma mask.



Slika 1.5: Operacijski ojačevalnik 741 je sestavljen iz 24 bipolarnih tranzistorjev, 10 uporov in enega kondenzatorja⁵



Slika 1.6: Primerjava površin med mikroprocesorjem Pentium 4 (112 mm²) in uA741 (približno 4 mm²). Vir: lasten.

Monolitno integrirano vezje je vrsta integriranega vezja, ki je v polprevodni podlagi.

Hibridno integrirano vezje je vrsta integriranega vezja, ki uporablja različne tehnologije (npr. pasivni del in povezave so napravljene s tankoplastno tehnologijo, aktivne komponente pa z monolitno tehnologijo). Večinoma so napravljena na keramični podlagi.

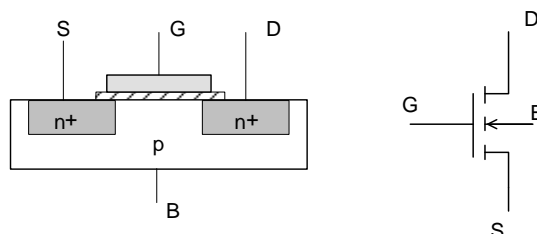
Geometrijska struktura vezja, geometrija (layout). To je struktura integriranega vezja, ki ga opišemo na nivoju mask. Ker so podatki za maske razni pravokotniki, je to v bistvu opis množice pravokotnikov⁶. Ta pojem je lep primerek nestanovitnosti terminologije na področju mikroelektronike. Nekateri layout prevajajo z *geometrijo*, čemur seveda matematiki ostro nasprotujejo. Druga prevoda, ki ju pogosto srečamo, sta *topološka struktura* in *fizični opis*.

Gradnik (building block): je zaključen del vezja, katerega funkcijo zelo dobro poznamo. Gradniki so lahko različne kompleksnosti. Npr. logična vrata in tokovne generatorje lahko uvrstimo v preproste gradnike; množilnike, operacijske ojačevalnike, števec pa v kompleksne. Delitev je zelo relativna in se z razvojem integriranih vezij neprestano spreminja. Operacijski

⁵ Vir: "Chip Hall of Fame: Fairchild Semiconductor μ A741 Op-Amp", IEEE Spectrum, 30.6.2017.

⁶ V bistvu geometrijska struktura ni omejena samo na pravokotne like. Pravokotni so najbolj znani, saj jih najpogosteje uporabljamo.

ojačevalnik je bil nekoč kompleksni gradnik - danes ga lahko uvrstimo že k osnovnim. Z ustrezno povezavo gradnikov dosežemo zahtevano funkcijo vezja.



Slika 1.7: Najpogosteje uporabljen primitivni gradnik je MOS tranzistor. Levo je poenostavljen presek n-kanalnega tranzistorja⁷ z induciranim kanalom, desno pa njegov simbol. Priključki: **G** vrata (gate), **D** ponor (drain), **S** izvor (source), **B** okolica kanala (bulk). Vir: lasten.

Primitivni gradniki so diode, tranzistorji, upori, kondenzatorji in tuljave.

MOS tranzistor je štiripolni polprevodniški element⁸. Trenutno je eden izmed najpogosteje uporabljenih primitivnih gradnikov (glej sliko 1.7).

Celica (cell) je posebna vrsta gradnika, ki ima že načrtovano in v mnogih primerih tudi preskušeno geometrijsko strukturo. Pogosto načrtovalec pozna samo njeno funkcionalnost in položaj priključkov, medtem ko notranjosti celice ne pozna. Celica ima podobno vlogo kot podprogram pri programskih jezikih. Zgledi celic: AND vrata, števec, A/D pretvornik. V kasnejših poglavjih bomo celico podrobneje obravnavali.

Klasifikacija integriranih vezij - integrirana vezja razvrščamo v različne skupine in sicer glede:

- načina delovanja,
- tehnologije,
- kompleksnosti (števila tranzistorjev),
- napetosti,
- moči,
- hitrosti.

Vsaka skupina ima določene posebnosti, zaradi katerih se tudi razlikujejo pripadajoči načrtovalski pristopi. Podrobneje bomo vezja razčlenili le glede tehnologije, delovanja in kompleksnosti. Ker je največ integriranih vezij proizvedeno s CMOS tehnologijo, je v skripti največji poudarek prav na tej tehnologiji.

Glede na način delovanja so integrirana vezja lahko:

- digitalna ali logična - npr. pomnilnik, mikroprocesor,
- analogna ali linearna⁹ - npr. operacijski ojačevalnik,

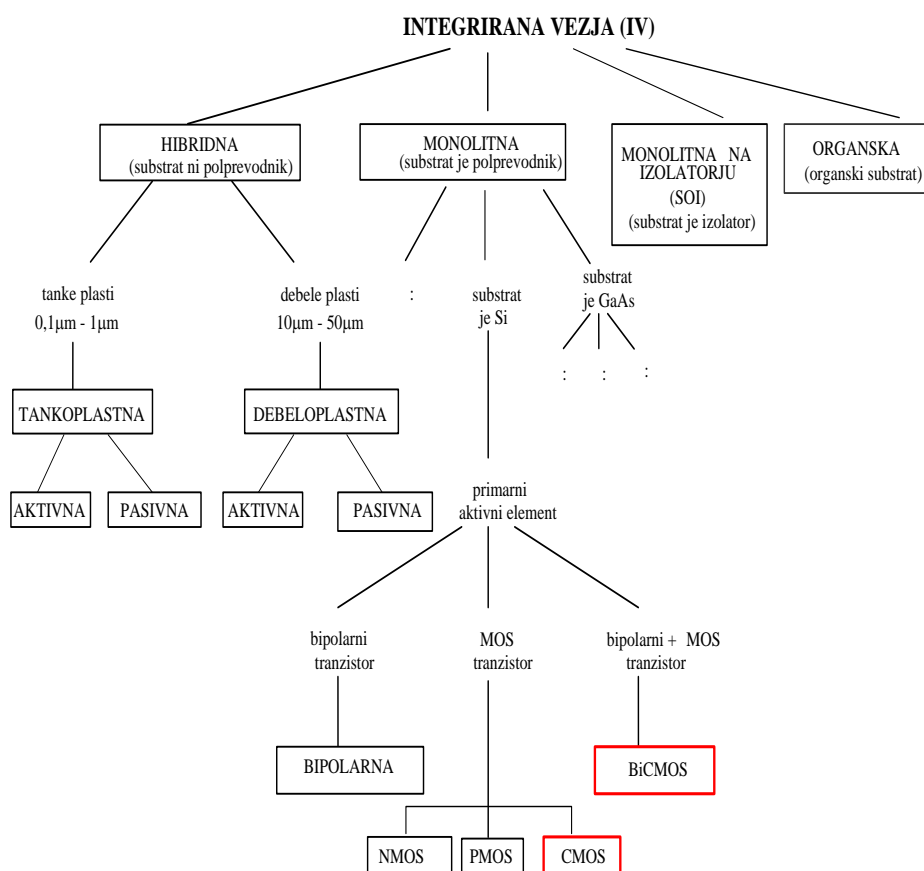
⁷ Pogosto se uporablja kratica NMOS oziroma PMOS za p-kanalnega.

⁸ Predpostavljeno je, da se je študent spoznal z delovanjem in strukturo MOS tranzistorja že pri predhodnih predmetih.

- kombinirana (analogno-digitalna) - npr. A/D pretvornik.

Delitev glede kompleksnosti se neprestano spreminja, saj se z razvojem tehnologije veča tudi število tranzistorjev. Trenutno obstajajo naslednje skupine:

- SSI (Small Scale Integration): 10 - 100 tranzistorjev,
- MSI (Medium Scale Integration): 100 - 1000 tranzistorjev,
- LSI (Large Scale Integration): 1000 - 10 000 tranzistorjev,
- VLSI (Very Large Scale Integration): 10 000 - 10^9 tranzistorjev,
- ULSI (Ultra Large Scale Integration): več kot 10^9 tranzistorjev.



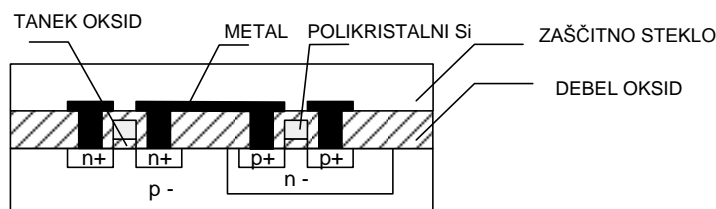
Slika 1.8: Delitev integriranih vezij glede na tehnologijo. Vir: lasten.

Glede na namen in predviden obseg tega učbenika bomo obravnavali le [CMOS](#) in [bipolarno](#) tehnologijo.

⁹ Mnoga vezja, ki jih najdemo v tej skupini definiciji, linearnosti ne ustrezajo (npr. stabilizirani usmernik). Zato je bolje, da jih imenujemo analogna.

1.3. TEHNOLOGIJA MONOLITNIH INTEGRIRANIH VEZIJ

Nižje ležeče faze v razvojnem ciklusu integriranega vezja zahtevajo tudi delno poznavanje tehnološkega procesa izdelave integriranih vezij. Zelo težko je razumeti nekatera načrtovalska pravila, če ne poznamo postopka izdelave tabletk. Zato bomo v tem podpoglavju na kratko opisali osnovne tehnološke korake. Za zgled si bomo izbrali preprosto planarno CMOS tehnologijo s polikristalnimi vrati in eno kovinsko plastjo. Razumevanje te tehnologije bo dobra podlaga za študij sodobnih, bolj kompleksnih tehnologij (npr. [BiCMOS](#), [3D MOS](#)), ki omogočajo tvorbo večjega števila plasti oziroma primitivnih elementov.



Slika 1.9: Presek¹⁰ CMOS invertorja (CMOS tehnologija s polikristalnimi vrati). Vir: lasten.

Na sliki 1.9 je prikazan presek tipičnega CMOS gradnika (CMOS invertor), ki ga bomo podrobneje obravnavali v kasnejših poglavjih. Za zgled smo ga izbrali zato, ker vsebuje tipične plasti, ki jih srečamo v integriranih vezjih. Za zdaj ni bistven pomen posameznih plasti niti princip delovanja. Izpuščene so tudi nekatere podrobnosti, ki v tem trenutku niso pomembne. Osredotočili se bomo predvsem na vlogo tehnologa, ki mora te plasti izdelati.

Vidimo, da je narisana struktura sestavljena iz večjega števila plasti, znotraj katerih so področja z določeno koncentracijo primesi. Lastnosti elementa so odvisne od vrste plasti in razporeditve primesi. Plasti lahko razdelimo glede na vrsto materiala in strukturo kristalov v naslednje skupine:

1. čist monokristalni silicij¹¹,
2. monokristalni silicij s primesmi,
3. polikristalni silicij (poly),
4. silicijev oksid (SiO₂) - tanek in debel,
5. kovina, npr. aluminij (Al), baker,
6. zaščitno steklo (PSG)¹².

Primesi so lahko dodane monokristalnemu ali polikristalnemu siliciju. Količino primesi bomo označevali po naslednjem dogovoru:

n	koncentracija donorskih primesi (npr. fosfor) znaša: $10^{14} - 10^{18}/\text{cm}^3$
n+	visoka koncentracija donorskih primesi: večja od $10^{18}/\text{cm}^3$

¹⁰ Substrat (n-) in p-otok (p-) sta priključena na ustrezno napajalno napetost. Ta podrobnost je na sliki izpuščena.

¹¹ Pri proizvodnji integriranih vezij ga ne uporabljamo.

¹² Phosphosilicate glass.

n-	šibka koncentracija donorskih primesi: $10^{10} - 10^{14}/\text{cm}^3$
p	koncentracija akceptorskih primesi (npr. bor) znaša: $10^{14} - 10^{18}/\text{cm}^3$
p+	visoka koncentracija akceptorskih primesi: večja od $10^{18}/\text{cm}^3$
p-	šibka koncentracija akceptorskih primesi: manjša od $10^{10} - 10^{14}/\text{cm}^3$

Ostale materiale oz. področja bomo označevali z besedo oziroma ustrezno formulo (npr. Al za aluminij). Če želimo izdelati določen element v integrirani tehnologiji, moramo poznati dimenzije prej omenjenih področij in ustrezne koncentracije primesi.

Pri stiku dveh različnih plasti lahko dobimo omski kontakt, diodo oziroma popolno izolacijo.

Tabela 1.1: Različne vrste kontaktov in prehodov med plastmi. Vir: lasten.

Prvi kontakt	Drugi kontakt	Ekvivalenten model
n, n ⁺ , n ⁻	p, p ⁺ , p ⁻	dioda
n, n ⁻	kovina	dioda oziroma usmerniški kontakt ¹³
n ⁺	kovina	omski kontakt
p, p ⁺ , p ⁻	kovina	omski kontakt
p	p ⁺ , p ⁻	omski prehod
n	n ⁺ , n ⁻	omski prehod
SiO ₂	vse možne plasti	izolacija

Planarna tehnologija

Za realizacijo omenjenih plasti in področij je potrebna ustrezna tehnologija. Prva izmed njih je bila planarna tehnologija, s katero je bilo mogoče izdelati bipolarni tranzistor. Sestavljena je iz naslednjih procesnih korakov¹⁴:

1. **epitaksija** (nanos plasti, ki ima monokristalno strukturo in konstantno koncentracijo nosilcev),
2. **oksidacija** (izdelava tankega in debelega oksida),
3. **fotolitografija** (selektivno odstranjevanje oksida ali določene plasti),
4. **difuzija oziroma ionska implantacija** (vnos primesi),
5. **metalizacija** (nanos kovinske plasti) in
6. **nanos zaščitnega stekla.**

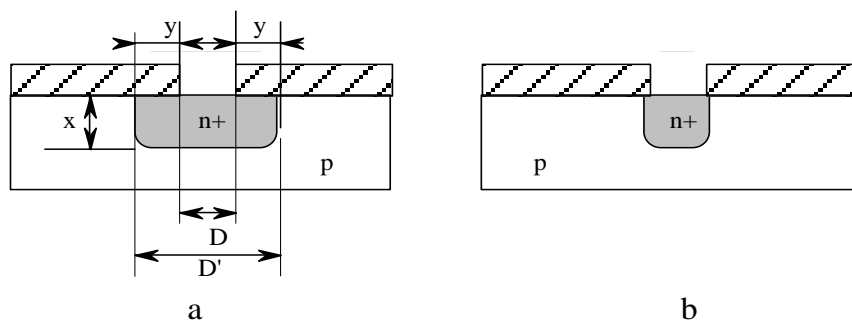
Iz planarne tehnologije se je kasneje razvila cela množica tehnologij¹⁵, ki so se usmerile na izdelavo določenega elektronskega elementa (glej razdelitev integriranih vezij na sliki 1.8). Za klasično izdelavo MOS tranzistorja so, razen epitaksije, potrebni enaki procesni koraki.

¹³ Če je globina n oziroma n- majhna, nastane ohmski kontakt.

¹⁴ Konkretniji koraki so odvisni od tega, ali želimo izdelati MOS ali bipolarno integrirano vezje.

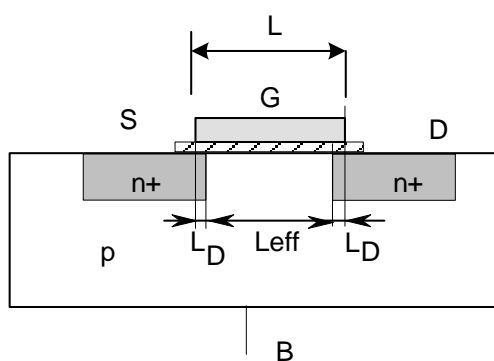
¹⁵ Več o tem glej npr. v [ONG,1986], [GRAY,1993],[ALLEN,2002], [WESTE,2005].

Pogoj za nastanek difuzije je neenakomerna koncentracija primesi in visoka temperatura (800 – 1200 °C), ki omogoča premikanje primesi. Pri difuziji se primesi širijo v vse smeri, torej delno tudi v lateralni smeri (lateralna difuzija). V večini primerov lateralna difuzija ni zaželena, saj zaradi tega nastopa razlika med načrtovano odprtino (D) in dejansko širino (D'). Za oceno približno velja, da je $x \approx y$ (glej sliko 1.10). Zaradi lateralne difuzije prihaja tudi do krajšanja kanalov, kar lahko celo privede do kratkega stika med ponorjem in izvorom MOS tranzistorja. Če primesi vnesemo z ionsko implantacijo, je kasnejša lateralna difuzija zanemarljivo majhna.



Slika 1.10: Difuzija (a) in ionska implantacija (b). Odprtina maske je v obeh primerih enaka. Ionska implantacija je boljša, saj je lateralna difuzija manjša. Vir: lasten.

Pri MOS tranzistorju nastopa zaradi lateralne difuzije prekrivanje dveh prevodnih plasti (polikristal in n^+), med katerima je tanka plast izolacije (glej sliko 1.11). To pa je v bistvu kondenzator, ki upočasni delovanje tranzistorja.



Slika 1.11: Dejanska dolžina kanala je za $2L_D$ krajša, kot jo je predvidel načrtovalec. Vir: lasten.

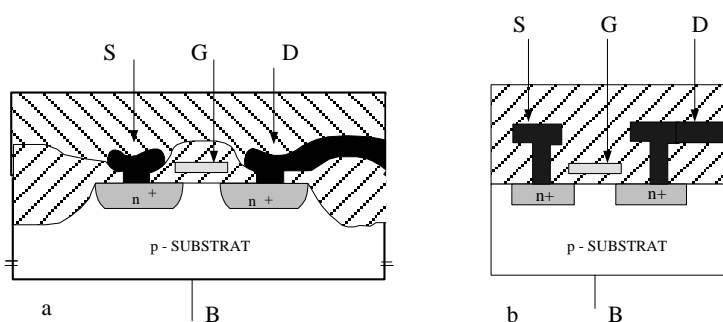
L_D je odvisna od tehnološkega procesa in je neodvisna od dimenzij tranzistorja¹⁶.

¹⁶ $L_D = 0,25\mu\text{m}$ za $2\mu\text{m}$ tehnologijo [UYEMURA,1995], $L_D = 16\text{ nm}$ za $0,8\mu\text{m}$ tehnologijo [ALLEN,2002].

2. MOS TRANZISTOR

V preteklosti je bil v mikroelektroniki bipolarni tranzistor najvažnejši element, danes ga je izpodrinil MOS tranzistor, ki se odlikuje predvsem zaradi naslednjih lastnosti:

- je izredno majhen,
- ima simetrično strukturo (ponor in izvor lahko zamenjamo),
- ima zelo preprosto strukturo,
- je napetostno krmiljen (za krmiljenje ne potrebuje toka)¹⁷ in
- ni ga treba posebej izolirati.



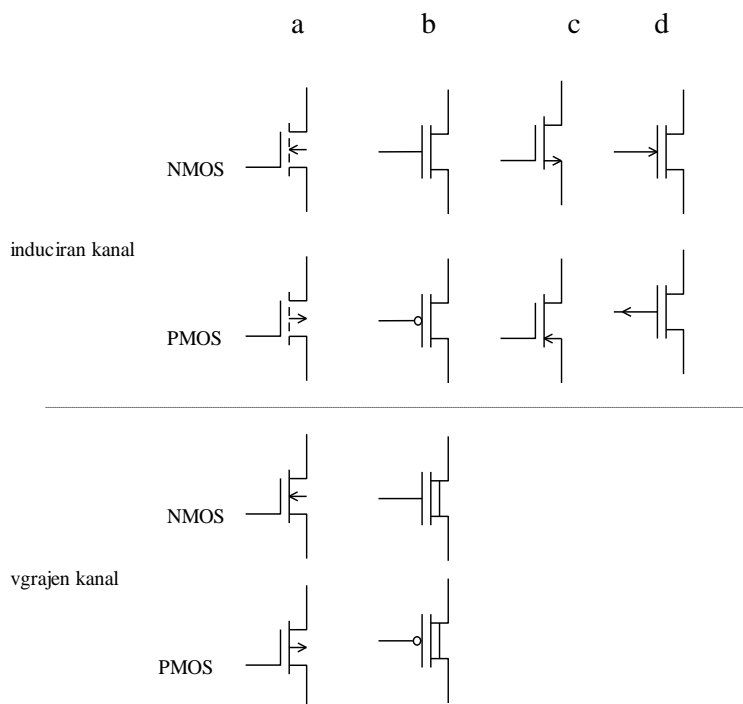
Slika 2.1: Dežanski (a) in poenostavljen (b) prečni prerez n-kanalnega MOS tranzistorja s polikristalno krmilno elektrodo. Vir: lasten.

Ker je večina današnjih integriranih vezij zgrajenih iz MOS tranzistorjev, ga bomo v tem poglavju na kratko opisali. Ker lahko v mnogih knjigah najdemo zelo podrobne opise MOS tranzistorja. (glej npr. [WESTE,2005], [ALLEN,2002]), se bomo v okviru tega predmeta skušali omejiti le na tiste posebnosti in lastnosti, ki so nujno potrebne za osnovno razumevanje in načrtovanje preprostih integriranih vezij. Zanimala nas bo struktura MOS tranzistorja, njegove karakteristike in povezava med dimenzijami ter karakteristikami.

2.1. NOTACIJA - SIMBOLI

V literaturi lahko srečamo več različnih simbolov za MOS tranzistor. **Integrirani MOS tranzistor je štiripolni element.** Kadar je sponka B vezana na ustrezno napajalno napetost, se pogosto zaradi večje preglednosti posebej ne riše. V takih primerih raje uporabimo trolepne simbole saj bodo sheme zaradi tega preglednejše (kolona (b)). Kadar bomo hoteli posebej poudariti, kam je vezan substrat, bomo uporabili simbole, ki so v koloni (a) (glej sliko 2.2). Ker sta pri diskretnih MOS tranzistorjih sponki B in S povezani, ima diskretni MOS tranzistor samo tri priključke.

¹⁷ Ker krmilna elektroda tvori parazitski kondenzator, se v bistvu vedno pojavi tokovni sunek, ki ta kondenzator napolni. Pri močnejših MOS tranzistorjih je to še posebej opazno, saj ima krmilna elektroda veliko površino.

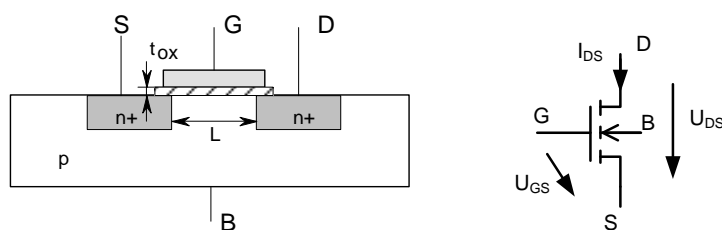


Slika 2.2: Simboli za razne vrste MOS tranzistorjev. Najpogostejši so (a in b), (c in d) se uporabljajo redkeje. Vir: lasten.

2.2. STRUKTURA MOS TRANZISTORJA

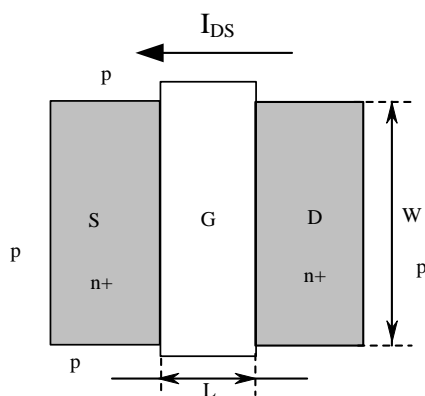
Pri razlagi fizikalnega delovanja tranzistorja se največkrat prikazuje njegov presek, ki je včasih dopolnjen s perspektivo, kjer se vidi še širina kanala.

Na slikah 2.1 in 2.3 je prikazana poenostavljena struktura n-kanalnega MOS tranzistorja. (Poudarjene so predvsem tiste podrobnosti, ki jih bomo pri opisu tranzistorja potrebovali.) Krmilna elektroda, ki leži na tanki ($0,01\mu\text{m}$ - $0,08\mu\text{m}$) plasti izolatorja, je iz polikristalnega silicija.



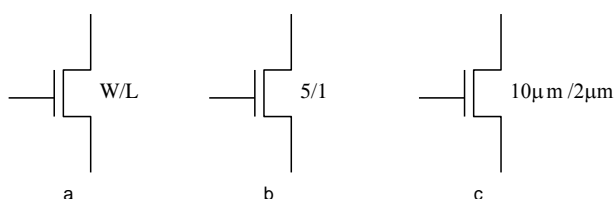
Slika 2.3: Poenostavljen presek n-kanalnega MOS tranzistorja s polikristalno krmilno elektrodo in pripadajoč simbol. Vir: lasten.

Od vseh dimenzij, s katerimi je definiran tranzistor, sta najpomembnejši širina (W) in dolžina (L) vrat (glej [sliko 2.4](#)).



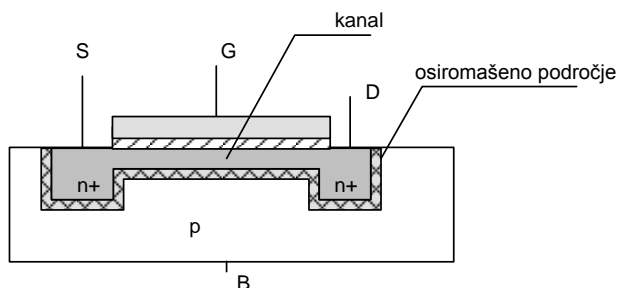
Slika 2.4: Tloris MOS tranzistorja s slike 2.3. Smer toka definira priključka D in S. Tam, kjer tok vstopa¹⁸, je vedno ponor D. Vir: lasten.

Potrebne dimenzije tranzistorjev v načrtu označimo z ulomkom (slika 2.5) ali pa s konkretnimi vrednostmi.



Slika 2.5: Trije načini označevanja dimenzij MOS tranzistorjev: splošni (a), z ulomkom (b) in s konkretnimi dimenzijami (c). Vir: lasten.

Za pravilno delovanje mora biti med izvorom (ponorom) in substratom vedno **zaporna napetost**. Ker okrog kanala in obeh difuzij nastane osiromašeno področje, so vsi MOS tranzistorji, ki ležijo v skupnem substratu, med seboj izolirani.



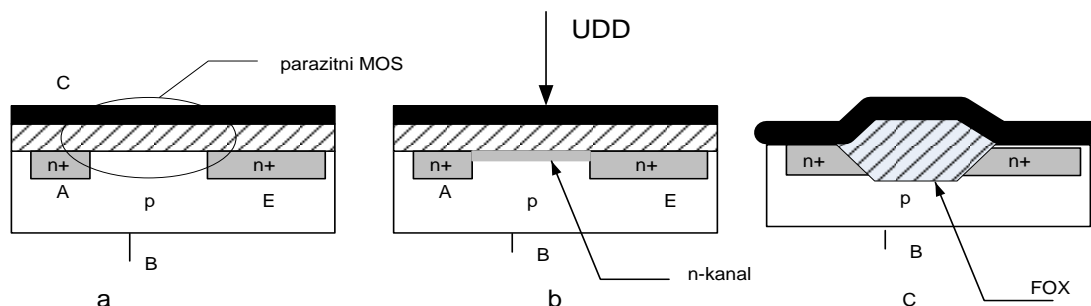
Slika 2.6: Če je izpolnjen pogoj $U_S > U_B - 0,6 \text{ V}$ in $U_D > U_B - 0,6 \text{ V}$, se okrog MOS tranzistorja ustvari osiromašeno področje, ki predstavlja izolativno plast. Vir: lasten.

¹⁸ To pravilo velja samo za NMOS. Za PMOS velja obratno.

2.3. PARAZITNI MOS TRANZISTOR

Glej npr. sliko 2.1, kjer je kovinsko povezava od ponora (D) speljana proti desni. Taka povezava, speljana preko debelega oksida, lahko v določenih okoliščinah tvori parazitni MOS tranzistor, ki ima zaradi debelejšega oksida pragovno napetost $U_t = 12 \text{ V} \dots 15 \text{ V}$. Vsaka prevodna plast, pod katero je izolator, nato pa substrat, lahko pri dovolj visoki napetosti ustvari pod sabo prevoden kanal (glej sliko 2.7). Le-ta lahko napravi kratek stik med dvema difuzijskima področjema (na sliki sta označena z A in E). Če oksid z lokalno oksidacijo odebelimo¹⁹, povečamo pragovno napetost parazitnega tranzistorja. Ker so sedaj povezave speljane preko debelega oksida²⁰ (FOX), ima takšen parazitni MOS precej višjo pragovno napetost (npr. 10-20 V). Ta pragovna napetost je tudi ena izmed omejitev, ki se nanašajo na najvišjo napetost v integriranem vezju.

Kot bomo spoznali v kasnejših poglavjih ([Tiristorski pojav v CMOS vezjih](#)), je parazitni MOS tranzistor zaradi svoje visoke pragovne napetosti zelo primeren za rezanje napetostnih sunkov, ki se pojavljajo na vseh integriranega vezja.



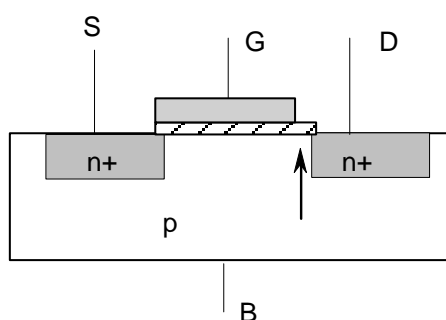
Slika 2.7: Če je na kovinski plasti dovolj velik potencial, oziroma če je napetost $U_{CB} > U_t$, lahko parazitni MOS tranzistor poveže difuzijski področji A in E (a), (b). Z debelim oksidom (FOX) povečamo pragovno napetost (c). Vir: lasten.

2.4. TEHNOLOGIJA CMOS VEZIJEV

Najprej pogledjmo, kako bi lahko MOS tranzistor izdelali s planarno tehnologijo. Za substrat bomo izbrali rezino, ki naj bo p-polprevodnik. Da bi dobili tranzistor, ki ima dimenziji W in L , moramo v substratu na določenih mestih napraviti dve difuziji n^+ in nato na tankem oksidu ustvariti polikristalno krmilno elektrodo. Pri tem moramo paziti, da prekrivanje LD ni preveliko (LD večja parazitne kapacitivnosti - hitrost tranzistorja je zato zmanjšana). Za pravilno delovanje MOS tranzistorja mora krmilna elektroda vključno s tankim oksidom segati vsaj do obeh difuzij, lahko pa tudi čez. Če je krmilna elektroda prekratka, je kanal prekinjen in MOS ne deluje več pravilno (glej sliko 2.8).

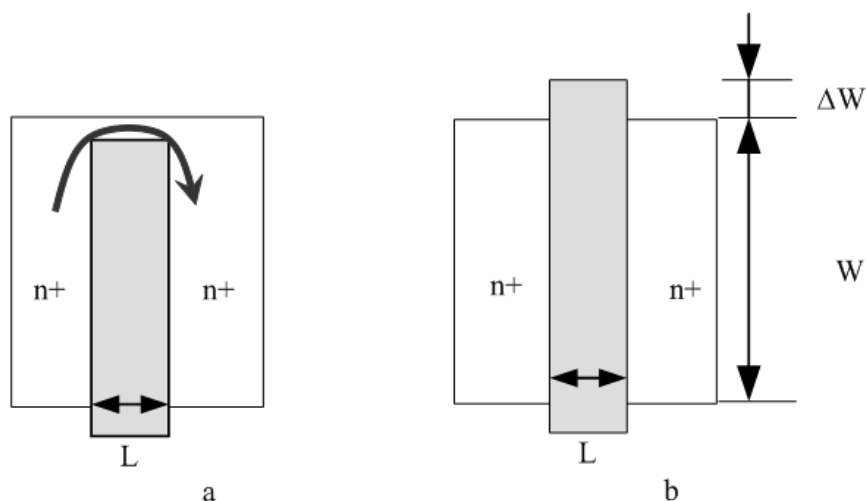
¹⁹ Postopek se imenuje LOCOS (Local Oxidation of Silicon).

²⁰ FOX = Field Oxide.



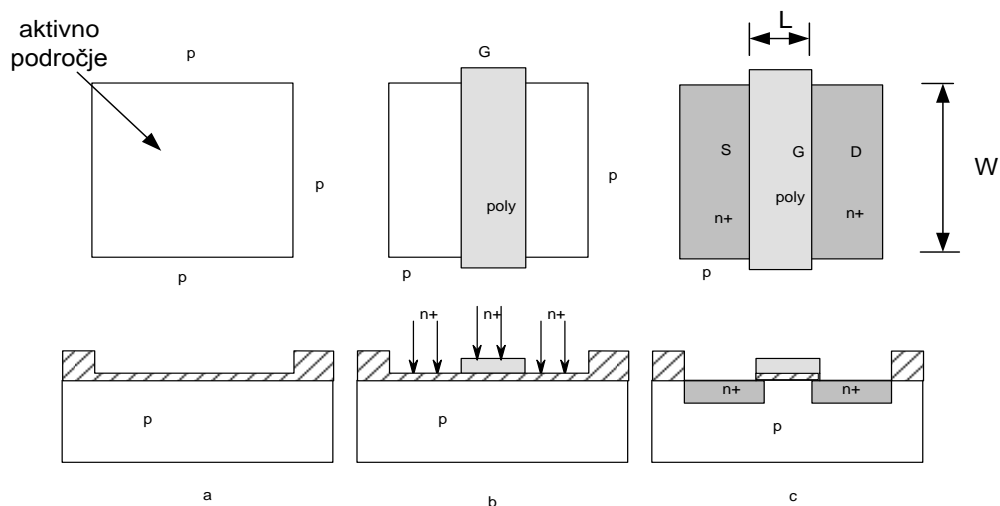
Slika 2.8: Tranzistor s prekrajano krmilno elektrodo. Na mestu, označenem s puščico, bo kanal prekinjen, ko bomo priključili pozitivni potencial na G. Vir: lasten.

Temu problemu se lahko izognemo z ustreznim vrstnim redom procesnih korakov. Najprej definiramo celotno področje tranzistorja: ponor (D), izvor (S) in del krmilne elektrode (slika 2.10 a). To je področje tankega oksida, na katerem nato naredimo plast polikristalnega silicija, ki jo glede na dimenzije vrat selektivno odstranimo - dobili smo polikristalna vrata. Na področje, ki je predvideno za izvor in ponor MOS tranzistorja, moramo v naslednjem koraku vnesti primesi. To lahko storimo z difuzijo ali pa z ionsko implantacijo. Z ionsko implantacijo lahko kar skozi tanek oksid vnesemo donorske primesi (slika 2.10 b). Ker je polikristalni silicij debelejši, le-teh ne prepušča (slika 2.10 c). Enako velja za debel oksid. Če uporabimo difuzijo, moramo tanek oksid predhodno odstraniti. Struktura, ki je nastala, je bistveni del MOS tranzistorja. V nadaljnjih korakih²¹ je potrebno izdelati še priključke oziroma povezati tranzistor z drugimi elementi.



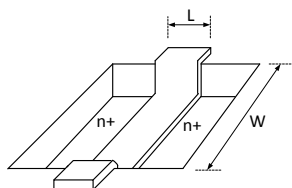
Slika 2.9: Če izdelava poteka po korakih, ki jih prikazuje slika 2.10 in so vrata premalo široka, nastane trajni stik med ponorjem in izvorom (a). Da se to ne bi zgodilo, moramo širino vrat povečati za ΔW (b). Vir: lasten.

²¹ Podroben opis celotnega procesa je v nadaljevanju.

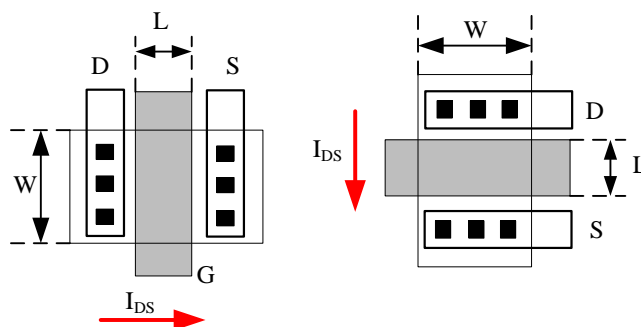


Slika 2.10: Poenostavljen proces izdelave MOS tranzistorja (narisan so samo začetni koraki).
Vir: lasten.

Vidimo, da so dimenzije krmilne elektrode tranzistorja definirane s presekom maske za tanek oksid in polikristalne krmilne elektrode. **Torej vsepovsod, kjer gre polikristalni silicij preko tankega oksida, nastane MOS tranzistor.** Zato imenujemo področje tankega oksida tudi *aktivno področje*.

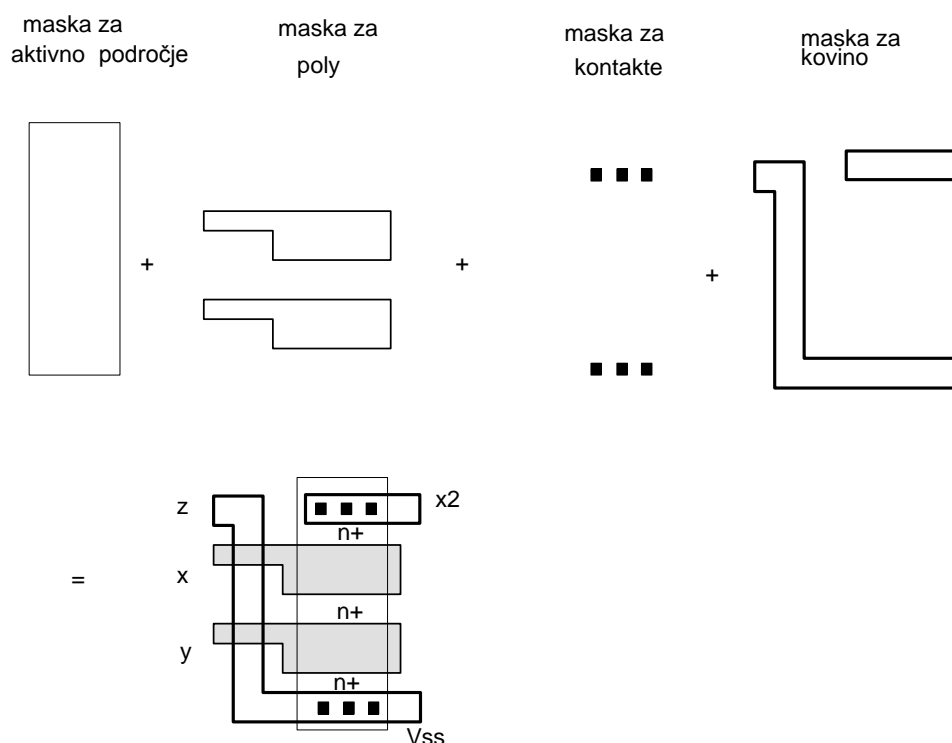


Slika 2.11: Tridimenzionalni pogled na strukturo iz slike 2.10 c. Vir: lasten.



Slika 2.12: Vse maske, ki so potrebne za izdelavo MOS tranzistorja. Na levi je narisan v orientaciji²² vzhod – zahod, na desni pa sever – jug. Vir: lasten.

²² Orientacijo določa smer toka.



Slika 2.13: Prikaz posameznih mask in geometrijska struktura nekega vezja. Vir: lasten.

Preden preidemo na konkretno tehnologijo, pogledjmo še en zgled (slika 2.13), ki prikazuje neko geometrijsko strukturo in potrebne pripadajoče maske.

Fizične dimenzije MOS tranzistorja

Lastnosti MOS tranzistorja so odvisne od tehnoloških parametrov in od dimenzij. Tehnoloških parametrov načrtovalec ne more spreminjati – spreminja lahko samo horizontalne dimenzije. Globine in debeline plasti spadajo k tehnološkim parametrom. **Od vseh dimenzij, s katerimi je definiran tranzistor, sta najpomembnejša širina (W) in dolžina (L) vrat.** Zaradi tehnološkega postopka se dejanske dimenzije tranzistorja in tudi drugih elementov delno razlikujejo od načrtovalskih dimenzij. Kot smo že omenili, se zaradi lateralne difuzije skrajša kanal. Zato je dejanska dolžina kanala krajša (glej sliko 1.11 in sliko 2.15)

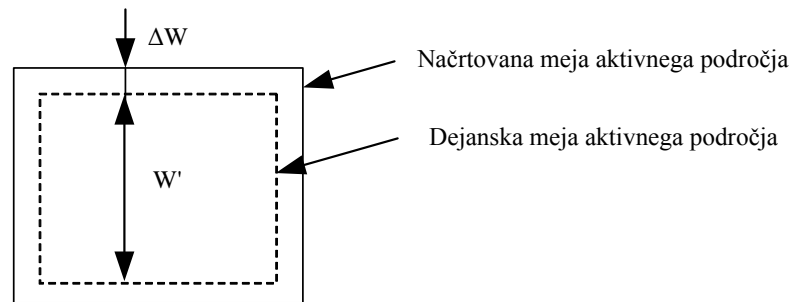
$$L' = L - 2L_D$$

Ko nastaja debel oksid, se delno razširi za ΔW tudi v lateralni smeri. Zaradi tega se zmanjša površina aktivnega območja in s tem tudi širina tranzistorja²³. Dejanska širina je:

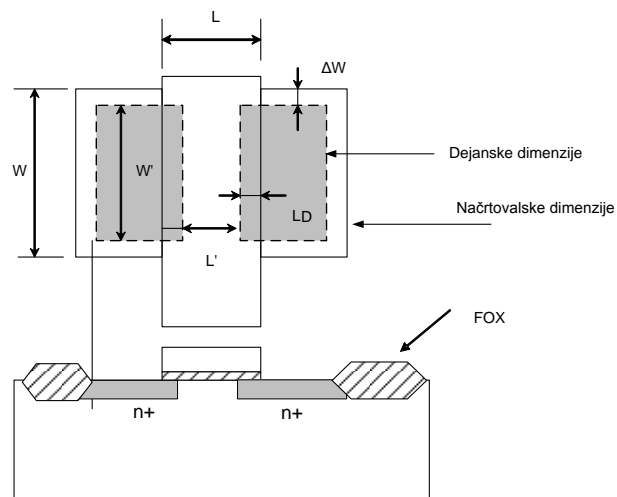
$$W' = W - 2\Delta W$$

²³ Za 2 μ m tehnologijo je 1,14 μ m [UYEMURA,1995].

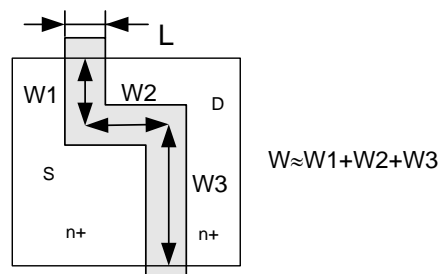
Posledica tega krajšanja so parazitne kapacitivnosti, ki upočasnjujejo hitrost tranzistorja. Velikost skrajšanja (ΔW in L_D) je odvisna samo od tehnološkega procesa. W in L na njiju ne vplivata.



Slika 2.14: Zmanjšanje aktivne površine, ki je definirana na sliki 2.10 a. Vir: lasten.



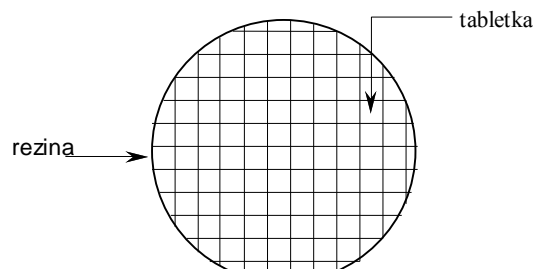
Slika 2.15: Pogled na geometrijsko strukturo MOS tranzistorja z dejanskimi dimenzijami. Vir: lasten.



Slika 2.16: Približen izračun širine vrat za lomljeno strukturo. Vir: lasten.

2.4.1. CMOS PROCES Z N-OTOKI

Obstaja več vrst tehnologij izdelave CMOS vezij. Ker je v učbeniku poudarek na načrtovanju, bomo le na kratko prikazali eno izmed klasičnih tehnologij, katere začetek sega v leto 1970. Izbrali smo proces z n-otoki (n-well process). Ker je substrat p, moramo za p-kanalne tranzistorje ustvariti n-otoke.



Slika 2.17: Objekt procesiranja je rezina monokristalnega silicija, ki jo po končanem procesu razrežemo na posamezne čipe. Vir: lasten.

Procesne korake (npr. difuzijo, oksidacijo) izvajamo na tankih (0,5 mm - 0,8 mm) rezinah²⁴ monokristalnega silicija, ki so vrste p ali pa n. Na njih se hkrati izdeluje veliko število integriranih vezij. Po končanem procesiranju z diamantno žago razrežemo rezine na posamezne čipe.

Celoten proces obsega več 100 korakov. Poenostavljen opis postopka, kjer bomo prikazali nastajanje CMOS inverterja²⁵, je naslednji²⁶ (glej sliko 2.18):

- S prvo masko definiramo n-otoke. To dosežemo s selektivno odstranitvijo debelega oksida. Globina in koncentracija primesi n-otoka vplivata na pragovno in prebojno napetost.
- Naslednja maska definira področje tankega oksida. Vsepovsod, kjer bo nastal NMOS ali PMOS tranzistor (površina izvora, ponora in vrat), moramo odstraniti debel oksid in napraviti tankega, ki je debel približno 0,05 μm .
- Na vrsti je izdelava polisilicijeve krmilne elektrode. Polikristalni silicij nanese po celotni površini in ga nato selektivno odstranimo.
- Sledi maska, ki definira področje p⁺-ionske implantacije. Odprtina na aktivnem področju (tanek oksid), pod katerim je n-otok, bo omogočila izdelavo izvora in ponora PMOS tranzistorja.
- Naslednja maska je namenjena n⁺-implantaciji. Na aktivnem področju na p-substratu bo nastal izvor in ponor NMOS tranzistorja. Po opravljeni implantaciji

²⁴ Angl. wafer.

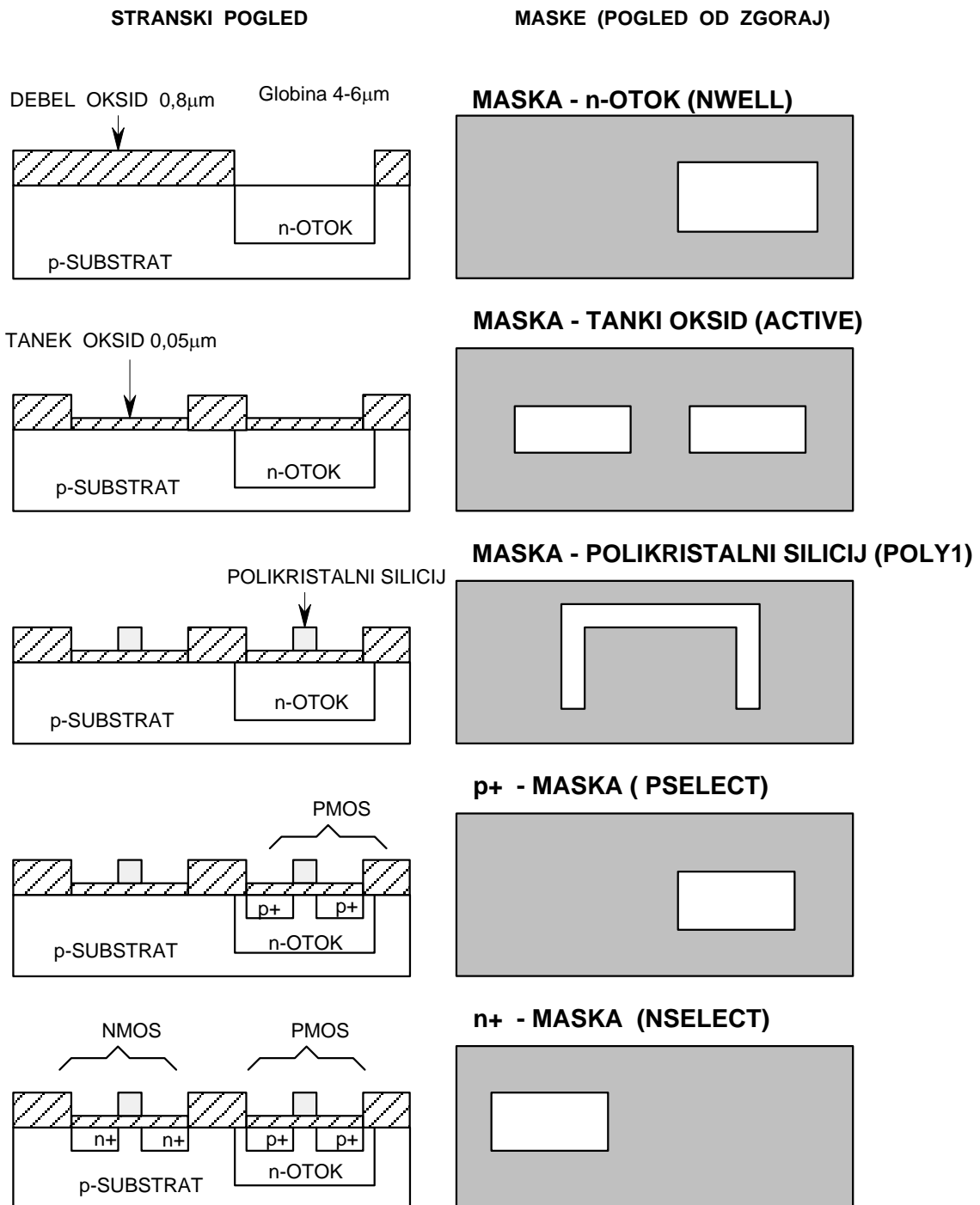
²⁵ CMOS inverter je izbran za zgled, ker je preprost in sestavljen iz NMOS in PMOS tranzistorja.

²⁶ Na sliki je narisano stanje po vsakem procesnem koraku, ki je bil opravljen s pripadajočo masko.

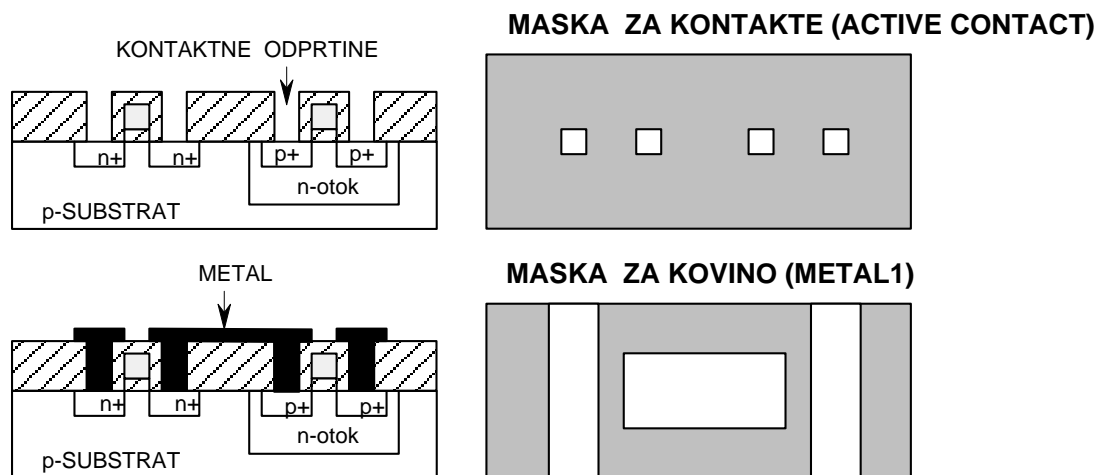
na celotni rezini ustvarimo debelo plast SiO_2 . Vsi elementi so sedaj zgrajeni, niso pa še med seboj povezani. Ker ležijo pod debelo plastjo SiO_2 , moramo s to masko ustvariti kontaktne odprtine, ki bodo omogočale kontakt med kovinskimi povezavami in površino substrata oziroma polisilicija.

- Sledi metalizacija in s pomočjo fotolitografije odstranitev odvečne kovine. Vsi elementi so sedaj med seboj povezani.
- Na celotno rezino nanese debelo plast zaščitnega stekla²⁷, ki vezje ščiti pred atmosferskimi vplivi (prah, korozija ipd.). Ker smo hkrati tudi prekrili kontaktne blazinice, moramo z naslednjo masko to popraviti. Ker kontaktnih blazinic na predhodnih slikah nismo risali, ta korak ni prikazan.
- Sledi razrez rezine in vgraditev čipa v ustrezno ohišje.

²⁷ Phosphosilicate glass (PSG).

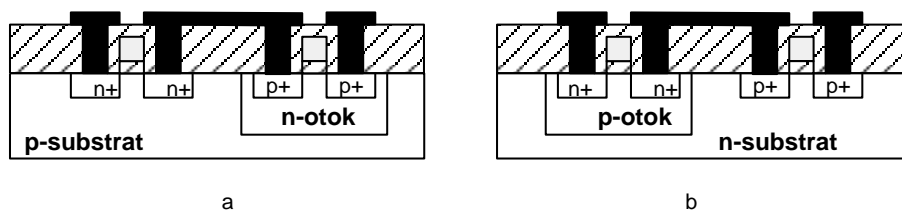


Slika 2.18: Poenostavljen prikaz CMOS tehnologije (n-well). Izpuščeno je tvorjenje debelega oksida (FOX). Vir: prirejen postopek, ki je v [WESTE,2005].

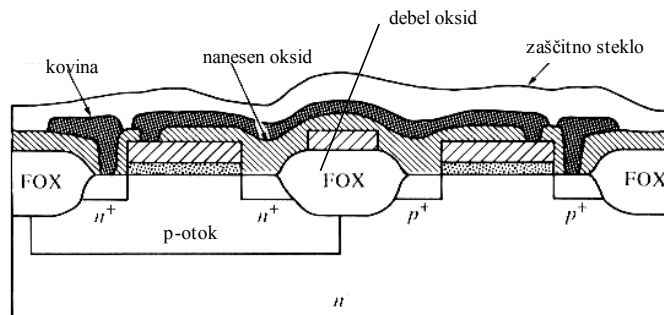


Slika 2.19: CMOS tehnologija (nadaljevanje slike 2.18)

Tehnologija s p-otoki je zelo podobna predhodni. Potrebno je zamenjati vsa p-področja z n-in obratno.



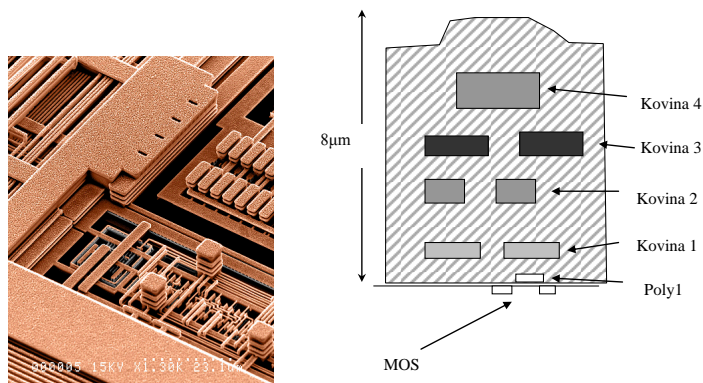
Slika 2.20: Presek CMOS invertorja, napravljenega v dveh različnih tehnologijah: tehnologija z n-otoki (a) in tehnologija s p-otoki (b). Vir: [WESTE,2005].



Slika 2.21: Realnejša slika prereza CMOS invertorja [ALLEN,2002].

Razen predhodno obravnavane CMOS tehnologije obstajajo še druge²⁸. Omenili bomo samo nekatere:

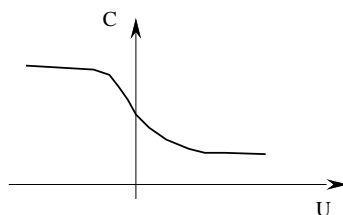
- HMOS (High performance MOS) - izvira iz NMOS tehnologije,
- dvojni otoki (twin-tub proces) - za vsako vrsto tranzistorja imamo svoj otok,
- SOI (Silicon On Insulator) - MOS tranzistorji, ko so napravljeni na izolacijskem substratu.



Slika 2.22: V novejših tehnologijah ima načrtovalec na razpolago več povezovalnih nivojev. Na levi je IBM-ov čip s šestimi povezovalnimi nivoji iz bakra in enim iz volframa²⁹.

2.4.2. CV MERITEV

Tehnologe seveda zanima, kolikšne so dejanske vrednosti nekaterih pomembnih parametrov (npr. debelina tankega oksida). Na rezini si zato vedno rezervirajo delček³⁰, kjer imajo svoje testne strukture. Z meritvijo le-teh določijo prej omenjene parametre. Omenili bomo samo eno izmed najpogosteje uporabljenih, to je CV meritev³¹. V bistvu gre za meritev karakteristike nelinearnega kondenzatorja $C = f(U)$, ki ga tvorita polikristalni silicij in substrat, dielektrik je pa tanek oksid. Iz določenih točk na karakteristiki (glej sliko 2.23) in iz površine kondenzatorja lahko z enostavnimi izračuni določimo naslednje parametre: pragovno napetost MOS tranzistorjev, debelino tankega oksida in koncentracijo primesi v substratu.



Slika 2.23: Karakteristika nelinearnega MOS kondenzatorja [ONG,1986]

Z meritvijo dinamičnih lastnosti tega testnega kondenzatorja (CT meritev) lahko določimo tudi nekatere dinamične lastnosti MOS tranzistorjev.

²⁸ Podrobneje so opisane v [WESTE,2005] in [ONG,86].

²⁹ Vir: <https://www.ibm.com/ibm/history/ibm100/us/en/icons/copperchip/>, dostop 6.8.2022.

³⁰ PED (Process Evaluation Devices).

³¹ Capacitance-voltage plot.

2.5. NAČRTOVANJE GEOMETRIJSKE STRUKTURE

Kot smo spoznali v predhodnih poglavjih, potrebuje tovarna, ki izdeluje čipe, dimenzije vseh mask. Z maskami so definirane lastnosti tranzistorjev in drugih elementov, njihov položaj ter povezave. Po izdelavi električne sheme čaka načrtovalca pretvorba logičnega opisa v fizičnega. To pretvorbo imenujemo *načrtovanje geometrijske strukture* (layout design). Slabo načrtovana geometrija v najbolj ugodnem primeru samo degradira pričakovane lastnosti vezja ali pa ga podraži. V večini primerov pa vezje sploh ne deluje. Zelo pomembno vlogo ima tudi površina silicija, ki je potrebna za izdelavo čipa. Stroški proizvodnje čipa (brez načrtovanja) so odvisni predvsem od **površine silicija** in ne od količine tranzistorjev oziroma zahtevnosti funkcije, ki naj jo čip izvaja. Stroški tiskanja knjig sledijo podobni zakonitosti, saj so odvisni predvsem od števila strani in prav nič od vsebine.

Načrtovalec geometrijske strukture mora zelo dobro poznati strukturo osnovnih elementov ter določena pravila, ki so odvisna od izbrane tehnologije. Problemi, ki nastopajo pri načrtovanju, so delno podobni tistim, ki jih srečamo pri načrtovanju tiskanega vezja. Najprej je treba elemente ustrezno razmestiti, nato pa jih povezati. Ker je to delo zelo naporno, so že v začetni dobi zgodovine integriranih vezij stekle raziskave v smeri računalniških orodij³², ki naj bi ta korak učinkovito podprla. Na tržišču obstajajo tudi posebni prevajalniki³³, ki prevedejo logični opis v fizičnega. Kljub velikemu napredku je splošno mnenje, da izkušen načrtovalec porabi manjšo površino, kot je ta, ki jo dobimo s pomočjo računalnika. Zraven nižjih stroškov izdelave pomeni manjša površina tudi večjo hitrost. Dilemo, ali načrtovati ročno ali s pomočjo računalnika, reši stroškovna analiza oziroma kompleksnost vezja. Če na oba načina dosežemo zadostno hitrost vezja, je pri odločitvi treba najti kompromis med stroški načrtovanja geometrije in stroški proizvodnje (več o tem bo v posebnem poglavju *Načrtovalski pristopi*).

V nadaljevanju si bomo najprej pogledali, kako lahko prikazujemo geometrijske strukture in nekatere načine boljšega izkoriščanja površine (združevanje, prestrukturiranje in zlivanje). Nato bomo obravnavali konkretna navodila za risanje.

2.5.1. PRIKAZOVANJE GEOMETRIJSKIH STRUKTUR

Pogosto se mora načrtovalec spustiti do nivoja mask, da bi lahko popolnoma razumel problematiko, ki je značilna za ta nivo in vezje ustrezno optimiziral. Ker so vertikalne dimenzije za načrtovalca konstantne in ker nanje ne more vplivati, ga večinoma zanimajo samo dimenzije v vodoravnih smereh. Zato tudi prikazovanje preseka, ki je zelo uporabno pri študiju struktur, odpade. Ta problem rešujemo na dva načina (slika 2.25):

- s primernim prikazovanjem plasti ali
- s prikazovanjem mask.

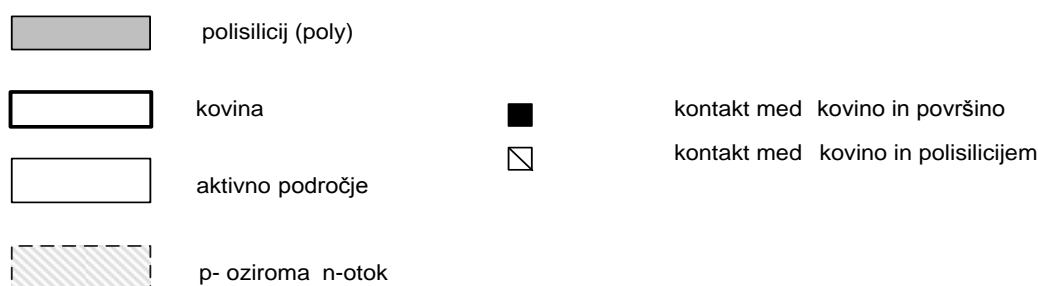
Prvi pristop je sicer preglednejši, vendar se večinoma uporablja le v pedagoške namene. V bistvu prikazujemo končno podobo elementa. Ker so nekateri deli strukture zaradi tega zakriti, takšen prikaz ne daje popolnega vpogleda v narisano strukturo. Z drugim pristopom, to je s prikazovanjem mask, se prej omenjenemu problemu izognemo. Takrat se tudi postavimo v

³² Npr. autorouter.

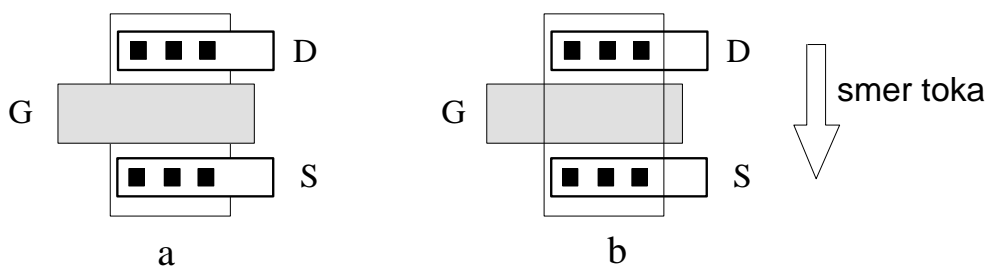
³³ Silicon compiler.

vlogo načrtovalca geometrije, ki z dimenzijami mask definira element, ki bo nastal kasneje pri procesiranju. Ker se mnoge maske prekrivajo, so tako narisane strukture trd oreh za začetnika.

Oba pristopa zahtevata neki dogovor o grafičnem označevanju posameznih plasti oziroma mask. Na razpolago imamo barvni sistem ali pa sistem šrafiranja. Namesto šrafiranja lahko označujemo maske tudi z različnimi črtami (npr. kovina je črtna črta, polikristalni silicij polna črta ipd.). Zaradi tehničnih vzrokov se bomo odločili za sistem označevanja, ki ga prikazuje slika 2.24. Pri nekaterih tehnologijah imamo na razpolago več povezovalnih plasti, npr.: dva nivoja polikristalnega silicija (poly1 in poly2) in več kovinskih (slika 2.22). Prikazovanje tovrstnih struktur je za začetnika izredno nepregledno. Ker bodo v nadaljevanju obravnavane strukture zelo enostavne, nam bo zadoščal poenostavljen sistem s slike 2.24. Na sliki 2.25 sta prikazana oba načina označevanja.



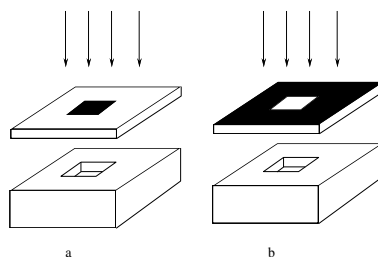
Slika 2.24: Označevanje plasti oziroma mask. Vir: lasten.



Slika 2.25: Če je substrat p, je prikazan n-kanalni MOS tranzistor. (a) prikazan s primernim prekrivanjem plasti in (b) s prekritimi maskami. Geometrija tranzistorja je orientirana³⁴ v smeri sever – jug. Vir: lasten.

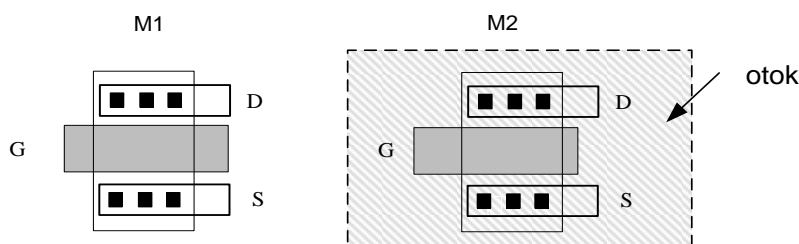
Liki, katerih obliko prenesemo na silicijev dioksid, so lahko potemnjeni na zunanji ali pa na notranji strani. Ker je položaj potemnjenosti odvisen od vrste fotorezista (glej sliko 2.26), pri maskah rišemo samo konturo lika. Glede na vrsto fotorezista lahko govorimo o pozitivnih oziroma negativnih maskah (npr. na sliki 2.18 so prikazane pozitivne maske).

³⁴ Orientacijo določa smer toka.



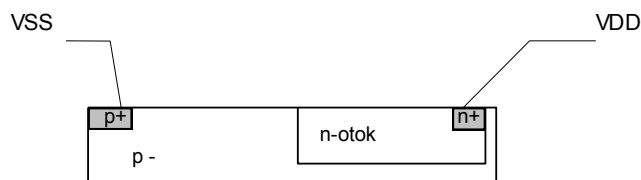
Slika 2.26: Potemtnjenost maske pri negativnem (a) in pri pozitivnem (b) fotorezistu.
Vir: [WESTE,2005].

V CMOS tehnologiji se pojavljata obe vrsti tranzistorjev, kar seveda še bolj zaplete prikazovanje struktur. V eni vrsti substrata lahko izdelamo samo eno vrsto MOS tranzistorja: v n-substratu PMOS in v p-substratu NMOS. Če želimo imeti obe vrsti tranzistorjev, moramo za drugo vrsto tvoriti posebno območje, ki je nasprotno vrste kot substrat. Takemu področju pravimo otok (well, tub). Označili ga bomo s črtastim okvirjem. Na sliki 2.27 sta prikazana dva komplementarna tranzistorja. Glede na sistem označevanja s slike nikakor ne moremo ugotoviti, kateri vrsti tranzistorja pripada posamezna struktura. Vse, kar lahko ugotovimo, je, da sta nasprotno vrste (komplementarna). Za konkretno določitev moramo poznati tudi vrsto substrata, ki je odvisen od izbrane tehnologije³⁵.



Slika 2.27: Če je substrat p, je otok n. V tem primeru je tranzistor M1 n-kanalni in M2 p-kanalni MOS. Vir: lasten.

Če je možno, namestimo več tranzistorjev v skupni otok. Tako prihranimo del površine. Za pravilno delovanje krmilne elektrode morata biti **substrat in otok vezana na ustrezen potencial**, ki je takšne polaritete in višine, da so pn-spoji difuzijskih območij vedno polarizirani zaporno (glej sliko 2.28)³⁶. Zaradi preglednosti ti priključki na sliki 2.27 niso narisani.



Slika 2.28: Za pravilno delovanje mora biti n otok (glej tudi sliko 2.27) vezan na VDD, substrat p pa na VSS! Vir: [WESTE,2005].

³⁵ Pri načrtovanju je ta podatek vedno znan.

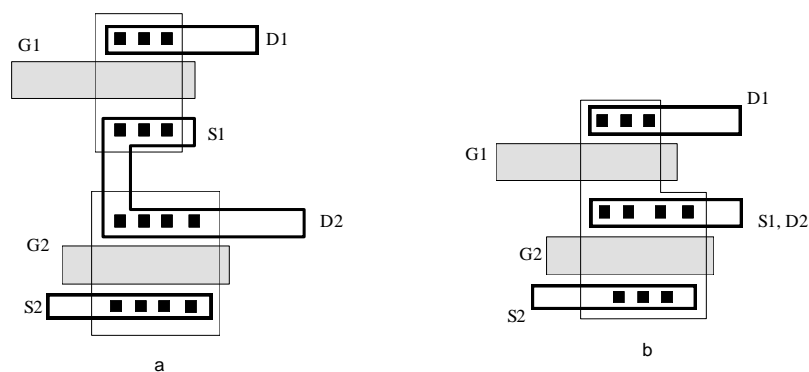
³⁶ Več o tem je na str. 43.

Pri načrtovanju geometrije skušamo elemente namestiti na čim manjši površini. V nekaterih primerih lahko potrebno površino zmanjšamo tudi z združevanjem oziroma z ustreznim prestrukturiranjem elementov.

2.5.2. DELNO ZDRUŽEVANJE ELEMENTOV

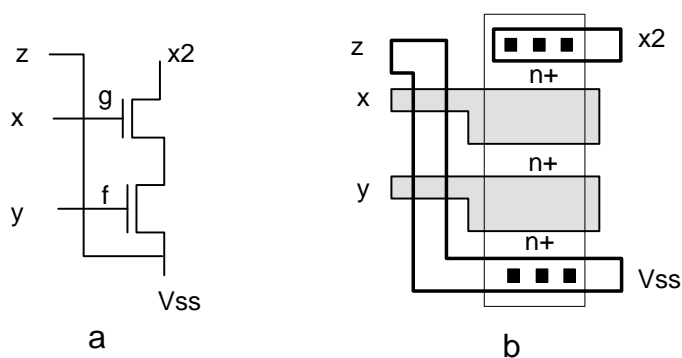
Pri nekaterih primerih lahko določene skupne dele tranzistorjev združimo in prihranimo pri površini. Zdrževanje tranzistorjev bomo ilustrirali z dvema zgledoma.

Zgled 1 Na sliki 2.29 a je prikazan del vezja. Ker sta S1 in D2 povezana, ju lahko združimo, tako da imata skupno področje difuzije (glej 2.29 b).



Slika 2.29: Z združitvijo S1 in D2 smo prihranili pri površini. Vir: lasten.

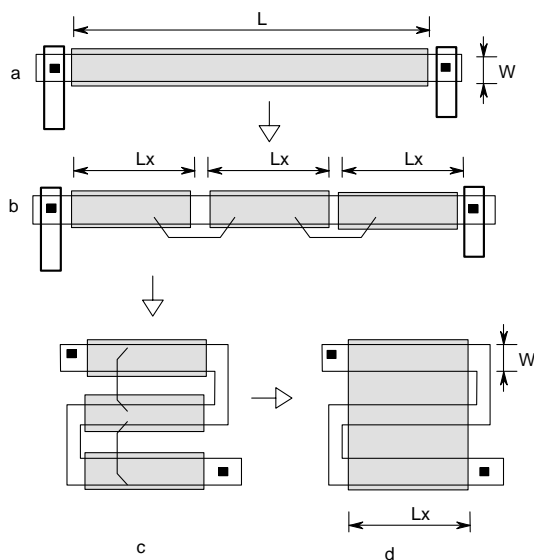
Zgled 2 Podoben način združevanja si bomo pogledali na vezju, ki ga prikazuje slika 2.30. Recimo, da je povezava $z - V_{SS}$ speljana preko povezav $x-g$ in $y-f$. Ena izmed možnih geometrijskih struktur je prikazana na desni strani.



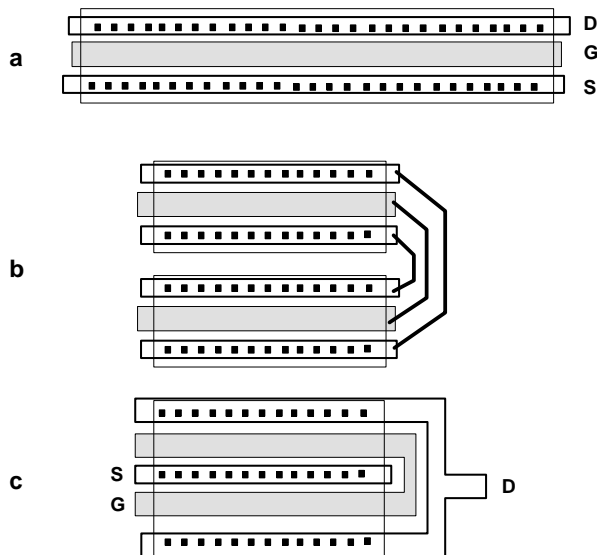
Slika 2.30: Prikaz geometrijske strukture (b) za vezje na levi (a). Vir: lasten.

2.5.3. PRESTRUKTURIRANJE TRANZISTORJEV

Tranzistor, pri katerem ena izmed dimenzij izrazito izstopa, je včasih nemogoče namestiti v prostor, ki ga imamo na razpolago. V takšnih primerih je treba geometrijo ustrezno preoblikovati in pri tem ohraniti razmerje W/L . Zelo dolg tranzistor z dolžino L lahko prikažemo kot povezavo več tranzistorjev. Vsak ima širino W in dolžino L_x . Vsota L_x je enaka L (glej sliko 2.31). Tranzistor, ki je izrazito širok, lahko razstavimo na več paralelno vezanih tranzistorjev.



Slika 2.31: Prestrukturiranje tranzistorja z dolgim kanalom [ALLEN,2002].



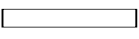





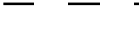



















Slika 2.32: Prestrukturiranje širokega tranzistorja (W je velik) [ALLEN,2002]

2.6. SCNA TEHNOLOGIJA

Kot smo ugotovili v predhodnem podpoglavju, je treba pri konkretnem risanju mask s CAE programskim paketom narisati še več mask, kot jih zahteva osnovni tehnološki postopek. Za zgled pogledjmo SCNA tehnologijo³⁷, ki uporablja 13 mask (glej tabelo 2.1).

Tabela 2.1: Označevanje mask (SCNA tehnologija). Vir: [UYEMURA,95].

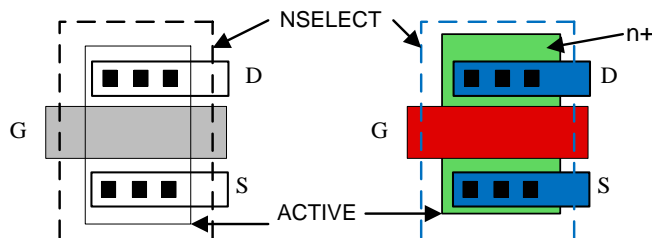
	opis maske	akronim	GDS ³⁸	barvni prikaz	črno-beli prikaz	barvni prikaz ³⁹
1	n-otok	NWELL	42	rumenorjav okvir		
2	aktivno področje	ACTIVE	43	zelena		
3	polikristalni silicij	POLY1	46	rdeča		
4	ionska implantacija p ⁺	PSELECT	44	siv okvir		
5	ionska implantacija n ⁺	NSELECT	45	moder okvir		
6	kovinska povezava	METAL1	49	modra		
7	kontaktna odprtina za povezavo kovinske plasti s polisilicijem	POLY CONTACT	47	črna	 ali 	 ali 
8	kontaktna odprtina, ki sega do n ⁺ oziroma p ⁺	ACTIVE CONTACT	48	črna	 ali 	 ali 
9	odprtina skozi steklo do kontaktne blazinice	OVER-GLASS	52	vijoličasta šrafura		
10	Povezava med METAL1 in odprtino v steklu	VIA	50	bela		
11	dodatna kovinska plast	METAL2	51	siva		
12	povezava med METAL1 in METAL2	VIA		bela		
13	dodatna plast polikristalnega silicija	POLY2	56	rumenorjava		
14	upor (n-otok)	Resistor ID		šrafirana bela ali bela s črkami R		

³⁷ Scalable CMOS n-well Analog [UYEMURA,95].

³⁸ GDS (Graphic Database System) je standardizirana koda označevanja mask.

³⁹ Barvni prikaz in izbor barve ter šrafiranja je odvisen od nastavitvev v grafičnem urejevalniku.

Tam, kjer potrebujemo n^+ oziroma p^+ , moramo dodati masko za NSELECT oziroma PSELECT (slika 2.33). Tudi upor je potrebno dodatno označiti z identifikacijsko masko *Resistor ID*.



Slika 2.33: Pri NMOS tranzistorju z maskama ACTIVE in NSELECT definiramo n^+ področje. Levo je črno-beli in desno barvni prikaz⁴⁰.

2.7. OSNOVNA NAČRTOVALSKA PRAVILA

Zaradi omejitev, ki jih postavlja tehnologija, se moramo držati določenih načrtovalskih pravil, ki točno definirajo prekrivanje mask in druge tehnološke omejitve. Ker želimo čim večjo gostoto elementov, so za načrtovalca zanimive predvsem minimalne razdalje. Te lahko podamo na dva načina:

- z absolutnimi razdaljami (mikronsko pravilo) ali
- z λ -pravilom.

Sistem *absolutnih razdalj* je zelo kompleksen, saj mora opisati mnogo možnih variant. Ker tehnologija iz leta v leto napreduje, se je treba teh pravil vedno znova naučiti. Učenje odpade, če imamo posebno programsko opremo, ki podpira načrtovanje geometrije in ima vsa ta pravila že vgrajena. Računalnik⁴¹ lahko sam preverja ali neka geometrijska struktura ustreza pravilom ali ne.

λ -pravilo je enostavnejše. Princip je naslednji: **vse razdalje morajo biti izražene z mnogokratnikom λ** . To je konstanta, ki pomeni tudi razdaljo nevidne mreže, na kateri načrtujemo geometrijo. Ker si je treba zapomniti samo mnogokratnike, je to pravilo enostavnejše. Med karakterističnim imenom tehnologije, ki označuje minimalno dolžino kanala, in λ obstaja povezava⁴². Npr. za 2 μm tehnologijo je $\lambda = 1 \mu\text{m}$. Mikronsko pravilo v primerjavi z λ -pravilom omogoča boljšo izkoriščenost silicijeve površine.

Kljub tem poenostavitvam so ta pravila še vedno zelo obsežna. Za enostavno načrtovanje geometrijskih struktur, ki ga bomo izvajali v okviru tega predmeta, bodo zadostovala enostavna pravila, ki jih bomo kar sami postavili. Za osnovo bomo vzeli SCNA proces (n-otoki), ki naj ima samo eno kovinsko in eno polikristalno plast. To pomeni, da bomo uporabljali samo 9 mask (glej tabelo 2.1).

⁴⁰ [UYEMURA,95]

⁴¹ Takšen program se običajno imenuje DRC (Design Rule Check).

⁴² λ je polovica karakteristične dimenzije. Za submikronske tehnologije ta enostavna relacija več ne velja.

Za tipični proces, veljajo naslednja λ -pravila:

Najpomembnejše minimalne razdalje⁴³

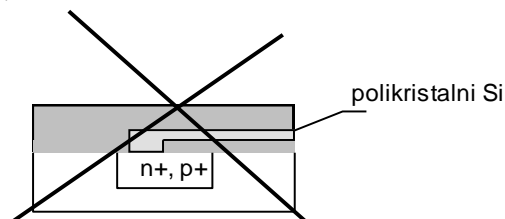
- dimenzije kontakta: $2\lambda \cdot 2\lambda$
- minimalna širina polikristala: 2λ
- minimalna širina kovine: 3λ
- minimalna širina in dolžina aktivnega področja oziroma difuzije: 3λ
- minimalna razdalja med sosednjimi maskami: 2λ
- minimalna dolžina vrat: 2λ
- minimalna širina vrat: 3λ

Kontakti

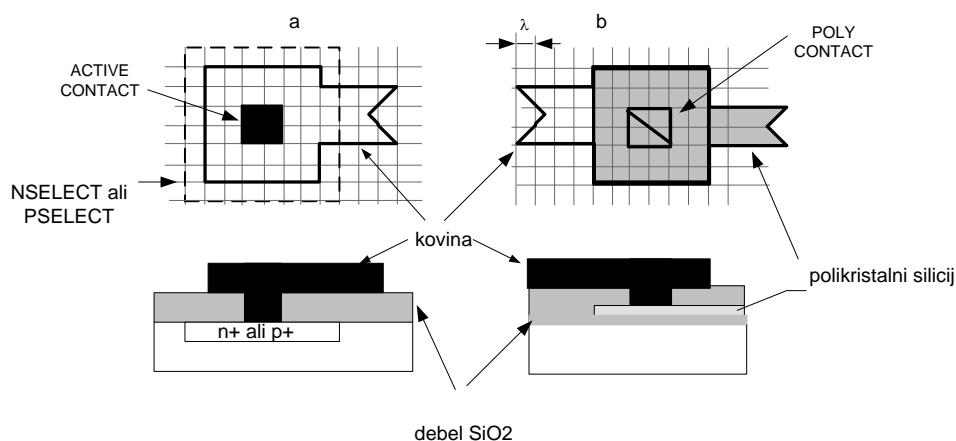
Pri tej tehnologiji obstajata samo dve vrsti kontaktov (glej sliko 2.35):

- kovina - aktivna površina (maska: ACTIVE CONTACT),
- kovina - polikristalni silicij (maska: POLY CONTACT).

Kontakta polikristalni silicij-aktivna površina s to tehnologijo ni mogoče realizirati (slika 2.34). Sam ugotovi, zakaj je tako.



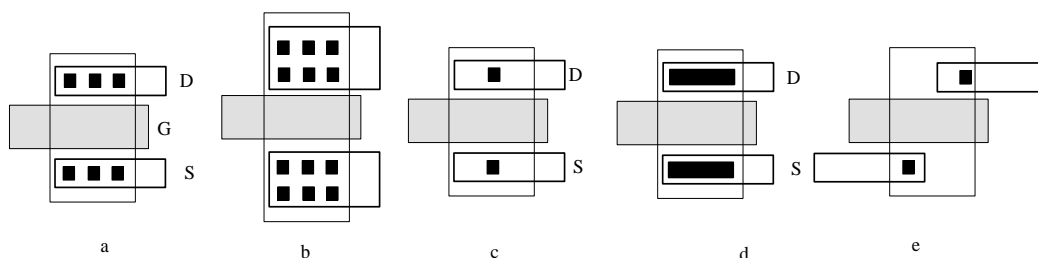
Slika 2.34: Ta kontakt (poly, n+) v tipični tehnologiji ne obstaja. Vir: lasten.



Slika 2.35: Minimalne dimenzije dveh vrst kontaktov (a. kovina na površino in b. kovina na polikristal). Stranica kvadratka v mreži je dolga λ . Vir: lasten.

⁴³ Minimalne razdalje so odvisne od tehnologije.

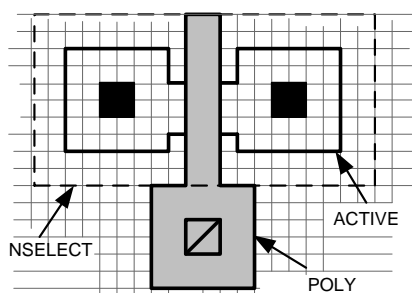
Posebno pozornost je treba posvetiti velikosti in številu kontaktnih odprtin. Ker povzročajo dodatno parazitno upornost, naj bodo čim večje. Z velikostjo odprtine naraste parazitna kapacitivnost in nevarnost, da se bo kovina na robovih slabo oprijela podlage. Izkušnje so pokazale, da se najbolje obnese veliko število minimalnih kontaktnih odprtin (glej sliko 2.36 a in b). Število kontaktnih odprtin je odvisno od dovoljene tokovne obremenljivosti posameznega kontakta in toka, ki teče skozi tranzistor.



Slika 2.36: Risanje kontaktnih odprtin: a in b pravilno, c, d in e nepravilno. Vir: lasten.

2.7.1. RISANJE MOS TRANZISTORJA

Na podlagi teh pravil lahko narišemo minimalni MOS tranzistor, ki je prikazan na sliki 2.37. Narisano je samo področje difuzije oziroma aktivno področje, kontakti in del krmilne elektrode.



Slika 2.37: Minimalne dimenzije MOS tranzistorja so $3/2$ oziroma $W=3\lambda$ in $L=2\lambda$. Celotna površina je $16\lambda \cdot 16\lambda = 256\lambda^2$. Vir: lasten.

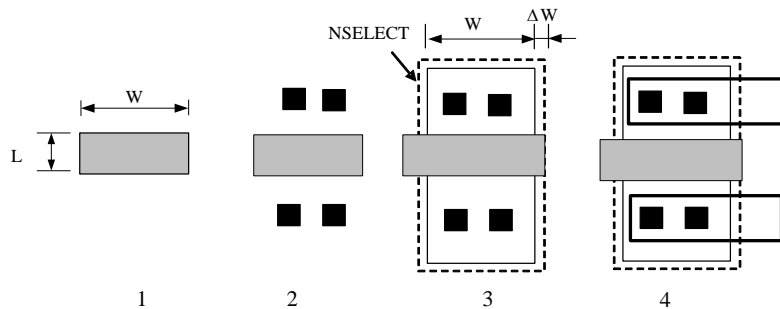
Risanje NMOS tranzistorja⁴⁴ (glej sliko 2.38):

Predpostavimo, da imamo p-substrat.

1. Odločimo se za orientacijo geometrijske strukture (sever – jug ali vzhod – zahod).
2. Narišemo vrata, ki imajo zahtevane dimenzije (POLY).
3. Razmestimo kontaktne odprtine.

⁴⁴ Vrstni red korakov pri risanju ni pomemben. Rišemo lahko tudi v drugem zaporedju, npr. tako kot si sledijo tehnološki koraki.

4. Narišemo aktivno področje (ACTIVE) in ga obkrožimo z difuzijsko masko (NSELECT) – ker morajo vrata segati preko aktivnega področja, jih ustrezno povečamo.
5. Narišemo kovinske povezave.

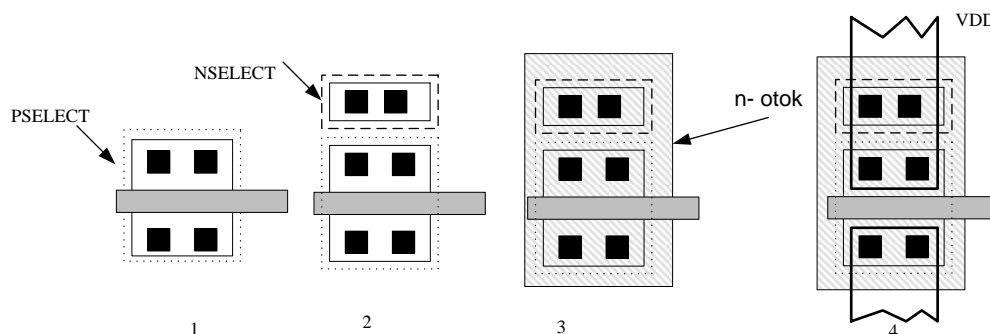


Slika 2.38: Risanje NMOS tranzistorja z dimenzijami 3/1, ki je orientiran v smeri sever – jug.
Vir: lasten.

Risanje PMOS tranzistorja (glej sliko 2.39):

Za PMOS tranzistor potrebujemo n-otok, ki ga moramo tudi ustrezno polarizirati.

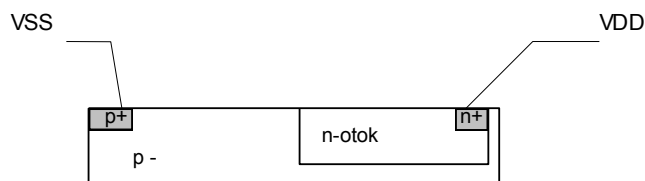
1. Začnemo enako kot pri NMOS (koraki 1 do 4) s to razliko, da aktivno področje PMOS tranzistorja obkrožimo z drugačno difuzijsko masko (PSELECT).
2. Dodamo kontakte za priključitev otoka na napajalno napetost in jih obkrožimo z NSELECT.
3. Narišemo masko za n-otok (NWELL),
4. Narišemo kovinske povezave.



Slika 2.39: Risanje PMOS tranzistorja. Vir: lasten.

Pri načrtovanju ne smemo pozabiti tudi na pravilno polarizacijo substrata oziroma otokov (slika 2.40). Na sliki 2.39 je prikazano risanje tranzistorja, ki ima izvor priključen na napajalno

napetost VDD. Da bi preprečili tiristorski pojav⁴⁵, ki v večini primerov vodi v uničenje čipa, vedno uporabimo večje število kontaktov vezanih na napajalno napetost.



Slika 2.40: VDD mora biti vedno večja od VSS, sicer se struktura n-otok/p-substrat spremeni v diodo, ki prevaja! Vir: lasten.

2.7.2. OSNOVNI NAPOTKI ZA NAČRTOVANJE GEOMETRIJSKIH STRUKTUR

Pri načrtovanju geometrije moramo fizično opisati vezje na čim manjši površini. Dolgotrajne izkušnje, vztrajnost ter iznajdljivost so tiste lastnosti, ki jih mora imeti načrtovalec geometrije. Za začetek (za načrtovanje preprostega analognega čipa) bodo zadostovali naslednji napotki, ki so na sliki 2.41.

Poenostavljena načrtovalska pravila

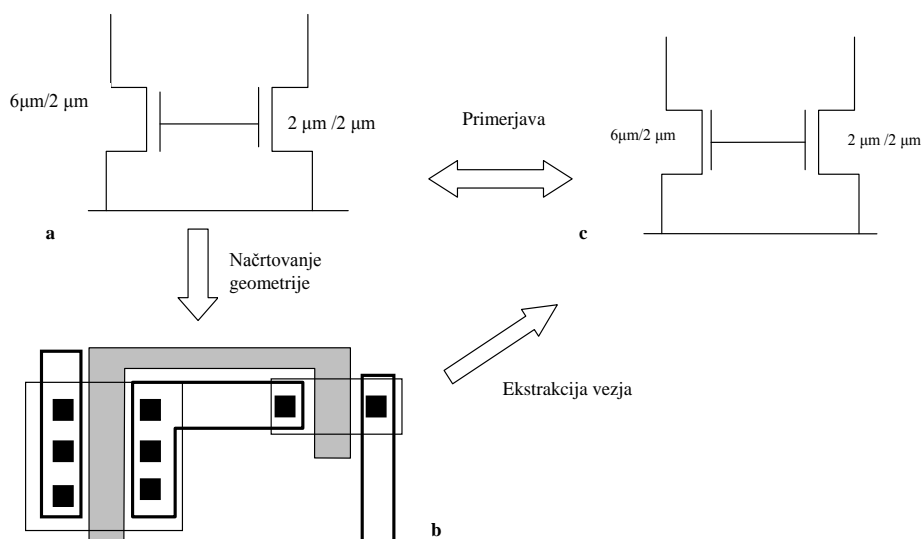
1. Določimo shemo vezja in dimenzije elementov.
2. Določimo položaj zaključenih funkcionalnih enot (npr. podsistemov) in jih ustrezno povežemo. Položaj podsistemov določimo glede na ustrezne kriterije - npr. vhodna stopnja diferenčnega ojačevalnika ne sme ležati blizu izhodne (vpliv temperature na vhod, šum, povratna vezava!).
3. Narišemo geometrijsko strukturo gradnikov in če je treba, jih namestimo v otoke. Nato gradnike med seboj povežemo.
4. Otoke priključimo na čim več mestih na ustrezne potenciale (npr. p-otoke na V_{SS}).
5. Substrat na čim več mestih priključimo na ustrezen potencial (npr. n-substrat na V_{DD}).
6. Širino povezav prilagodimo tokovni obremenitvi.
7. Nato geometrijsko strukturo optimiziramo glede na površino - zapolniti skušamo vsak prazen prostor.
8. Preverimo skladnost narisane strukture z načrtovalskimi pravili (DRC program) in skladnost s shemo (LVS program).

Slika 2.41: Poenostavljena načrtovalska pravila

⁴⁵ Problem [tiristorskega pojava](#) bo obravnavan kasneje.

2.7.3. EKSTRAKTOR

Kadar je pretvorba logične sheme v geometrijsko ročna, se lahko zgodi, da smo kakšen element pozabili narisati ali pa ga napačno povezali. Skladnost geometrijske strukture z logično shemo preverjamo z inverzno pretvorbo⁴⁶. Z analizo geometrijske strukture tvorimo listo povezav, ki ustreza narisani geometrijski strukturi. Če dobimo enako listo kot jo ima shema, potem je bila pretvorba v geometrijsko strukturo pravilna. To naporno delo lahko opravi tudi poseben računalniški program, ki mu pravimo ekstraktor⁴⁷. Ker gre za prepoznavanje dvodimenzionalnih likov, problem v splošnem ni enostavno rešljiv. Zato računalniku pomagamo z dodatnimi informacijami o strukturi, ki smo jo narisali. Npr. ko rišemo upor, ga prekrijemo s prevleko, ki je določena samo za upore. Takšne prevleke bomo imenovali *identifikacijske prevleke*. Predvsem od sposobnosti programske opreme je odvisno, katere elemente moramo dodatno opremiti z identifikacijskimi prevlekami. Identifikacijskih prevlek v nadaljnjih ilustracijah geometrijskih struktur praviloma ne bomo risali, saj precej otežujejo preglednost.



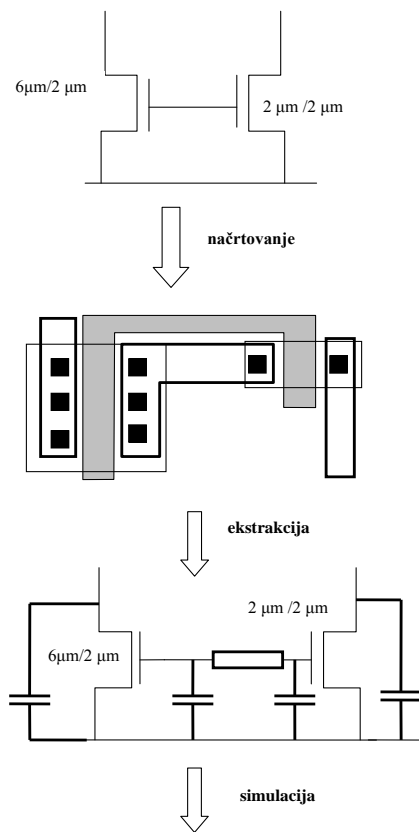
Slika 2.42: Preverjanje skladnosti geometrijske strukture s shemo⁴⁸. Vir: lasten.

Z večanjem hitrosti signalov se večja tudi vpliv parazitnih elementov. Od ekstraktorja lahko tudi zahtevamo, da izračuna parazitne upornosti in kapacitivnosti povezav in jih vključi v listo povezav. S simulacijo tako dobljenega vezja lahko zelo dobro ocenimo obnašanje vezja, ki bi ga sicer dobili šele z meritvijo.

⁴⁶ Tipično ime tega programa je LVS (Layout Versus Schematic).

⁴⁷ V angleščini *extraktor*.

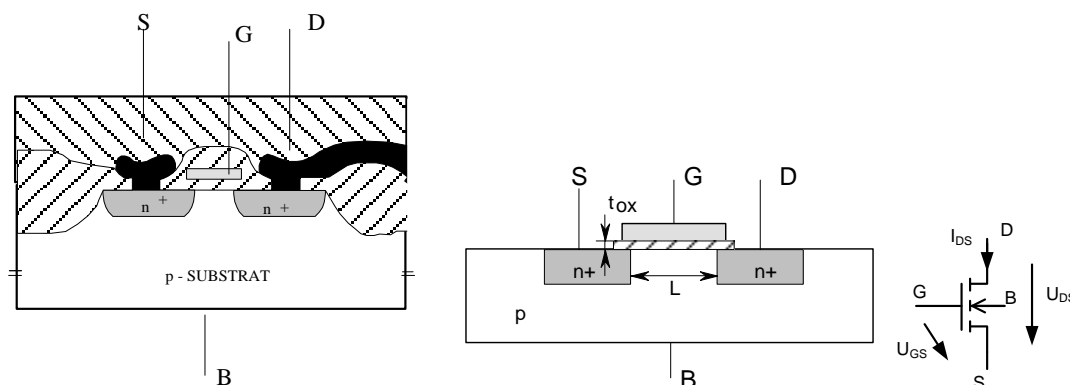
⁴⁸ Na sliki je zaradi lažje razumljivosti prikazano, kakor da ekstraktor nariše shemo.



Slika 2.43: Zgled za ekstrakcijo vezja iz geometrijske strukture. Ekstraktor lahko izračuna in tudi doda k vezju parazitne kapacitivnosti in upornosti povezav ter kontaktov. Vir: lasten.

2.8. STATIČNE KARAKTERISTIKE MOS TRANZISTORJA

V tem poglavju bomo poiskali povezavo med geometrijsko strukturo MOS tranzistorja in njegovimi lastnostmi⁴⁹. Na sliki 2.44 je prikazan prečni prerez n-kanalnega MOS tranzistorja. V nadaljevanju bomo prerez poenostavili in prikazovali samo tiste podrobnosti, ki bodo za dano razlago potrebne.



Slika 2.44: Dejanski prečni prerez (levo) n-kanalnega MOS tranzistorja. Na sredini je poenostavljen in idealiziran prečni prerez in na desni je simbol. Vir: [ALLEN,2002].

MOS tranzistor je štiripolni element, saj ima v bistvu štiri priključke. Ker je četrta sponka B (bulk) pri diskretnih tranzistorjih povezana z izvorom S, mnogi MOS tranzistorje uvrščajo med tropole. V integriranih vezjih je večinoma priključena na napajalno napetost (za NMOS na V_{SS} oziroma za PMOS na V_{DD}). Za zdaj bomo predpostavljali, da je napetost $U_{SB} = 0$. Šele kasneje, ko bomo podrobneje spoznali karakteristike MOS tranzistorja, bomo tudi razložili vpliv napetosti U_{SB} na karakteristiko tranzistorja.

Glede na vrsto kanala razvrščamo MOS tranzistorje v dve veliki skupini: n-kanalni in p-kanalni MOS tranzistorji. Oboji so lahko glede strukture kanala:

- MOS tranzistorji z induciranim kanalom⁵⁰ ali
- MOS tranzistorji z vgrajenim kanalom⁵¹.

Za vse vrste MOS tranzistorjev velja, da je krmilna elektroda⁵² (vrata) na izolatorju, ki ne prevaja. Ker vedno velja, da je $I_{GS} = 0$, vhodne karakteristike nikoli ne rišemo. Izhodni tok I_{DS} je odvisen od dveh napetosti (glej sliko 2.44):

$$I_{DS} = f_2(U_{GS}, U_{DS}) \quad (2.1)$$

⁴⁹ Glede na to, da je bilo fizikalno delovanje MOS tranzistorja podrobno obravnavano pri predhodnih predmetih, se bomo tukaj omejili samo na tiste lastnosti, ki so pomembne za kasnejša poglavja. V bistvu gre za kratko ponovitev.

⁵⁰ Angleško: enhancement type MOS

⁵¹ Angleško: depletion type MOS

⁵² Angleško: gate.

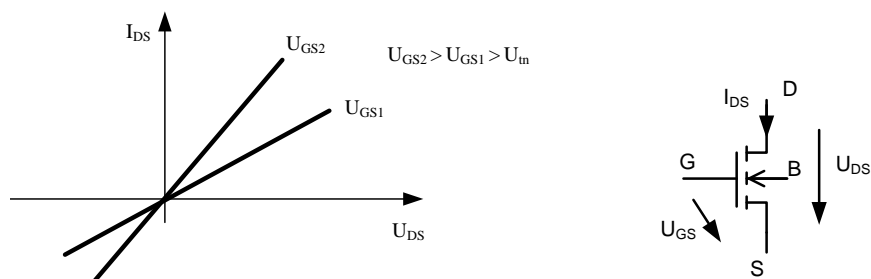
Ker funkcije z dvema argumentoma ni enostavno grafično upodabljati, si izberemo enega izmed argumentov za parameter. Če izberemo U_{GS} za parameter, dobimo funkcijo, kjer nastopata **dve izhodni veličini**, to sta I_{DS} in U_{DS} . Ker gre za izhodne veličine, jo imenujemo **izhodna karakteristika**. Če pa izberemo za parameter U_{DS} , dobimo odvisnost med izhodno (I_{DS}) in vhodno veličino (U_{GS}). Tako smo dobili **prenosno karakteristiko**. Karakteristika f_2 ni definirana samo z eno enačbo, ampak je sestavljena iz treh funkcij, ki opisujejo tri področja delovanja:

- zaporno področje,
- linearno področje (imenovano tudi triodno) in
- področje nasičenja (imenovano tudi pentodno).

2.8.1. MOS TRANZISTORJI Z INDUCIRANIM KANALOM

Za razlago bomo izbrali n-kanalni MOS, katerega poenostavljena struktura je na sliki 2.44. Če ne priključimo nobene napetosti med sponkama B in G, tranzistor kljub visoki U_{DS} ne more prevajati, saj sta oba spoja⁵³ polarizirana zaporno. Pozitivni potencial na krmilni elektrodi pritegne nasprotno polarizirane nosilce - v našem primeru elektrone. Če je napetost U_{GS} dovolj visoka, se pod krmilno elektrodo ustvari (*inducira*) tanka prevodna plast, v kateri prevladujejo elektroni. Tej napetosti U_{GS} pravimo pragovna napetost in jo bomo označevali z U_T . Ker imata n-kanalni in p-kanalni tranzistor različne pragovne napetosti, bomo še dodali ustrezen indeks - npr. U_{tn} za n-kanalnega. Področje, v katerem MOS tranzistor ne prevaja, imenujemo *zaporno področje*.

V bistvu je pri pozitivnem potencialu na krmilni elektrodi pod njo nastala tanka n-plast. Ker sta izvor in ponor vrste n^+ ter kanal n, lahko steče tok I_{DS} , ko priključimo napetost U_{DS} . Če je napetost $U_{DS} \ll U_{GS} - U_{tn}$, potem je ta odvisnost približno linearna. Z večanjem krmilne napetosti se kanal bogati in njegova prevodnost se veča (glej sliko 2.45).

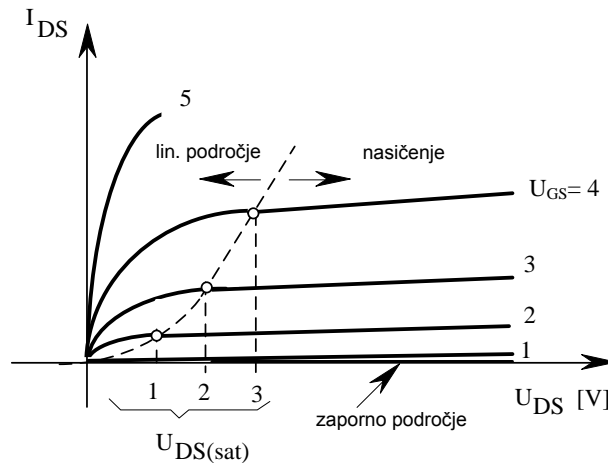


Slika 2.45: Izhodna karakteristika n-kanalnega MOS tranzistorja pri majhni U_{DS} . Za večjo U_{DS} glej sliko 2.47. Vir: lasten.

⁵³ Prvi spoj je izvor (n^+) - podloga (p) in drugi je podloga (p) - ponor (n^+).

Z večanjem U_{DS} se začne rast I_{DS} počasi manjšati (slika 2.47). Karakteristika postaja čedalje bolj nelinearna. V točki $U_{DS} = U_{GS} - U_m$ se kanal zadrigne in tok zelo počasi narašča, kljub večanju U_{DS} . To področje imenujemo **področje nasičenja** oziroma pentodno območje. Napetost, pri kateri se kanal zadrigne, bomo označili z $U_{DS(sat)}$:

$$U_{DS(sat)} = U_{GS} - U_m \quad (2.46)$$



Slika 2.47: Celotna delno poenostavljena izhodna karakteristika n-kanalnega MOS tranzistorja z induciranim kanalom ($U_m = 1V$) je sestavljena iz treh področij. Vir: lasten.

Pri analizi MOS tranzistorja imamo na razpolago več modelov, ki se med seboj razlikujejo po natančnosti in omejitvah⁵⁴. Bolj so natančni, večja je njihova kompleksnost. Za enostavno analizo in načrtovanje zadostuje preprost model, ki temelji na preprostih parabolah. Analizo otežuje dejstvo, da karakteristika ni opisana samo z eno enačbo, ampak s tremi. Izhodna karakteristika je torej razdeljena na tri področja: **zaporno področje** (2.2), **linearno področje** (2.3) in **področje nasičenja** (2.4):

$$I_{DS} \approx 0 \quad ; \quad 0 \leq U_{GS} < U_m \quad (2.2)$$

$$I_{DS} = k_n' \frac{W}{L} \left[(U_{GS} - U_m) U_{DS} - \frac{U_{DS}^2}{2} \right] (1 + \lambda_n U_{DS}) \quad ; \quad 0 < U_{DS} < U_{GS} - U_m \text{ in } U_{GS} \geq U_m \quad (2.3)$$

$$I_{DS} = \frac{k_n' \cdot W}{2L} (U_{GS} - U_m)^2 (1 + \lambda_n U_{DS}) \quad ; \quad U_{DS} \geq U_{GS} - U_m \text{ in } U_{GS} \geq U_m \quad (2.4)$$

Pri analizi nastopi problem, katero enačbo je treba uporabiti. Najprej skušamo ugotoviti, ali tranzistor prevaja, nato pa, ali je v nasičenju ali pa v linearnem področju. V mnogih primerih

⁵⁴ Tipični parameter, ki zelo vpliva na izbor modela, je dolžina vrat. Meja je pri 1 μm . Simulator SPICE pozna več vrst MOS modelov. Enačbe (2.2), (2.3) in (2.4) predstavljajo Shichman-Hodgesov model in so implementirane v modelu LEVEL = 1.

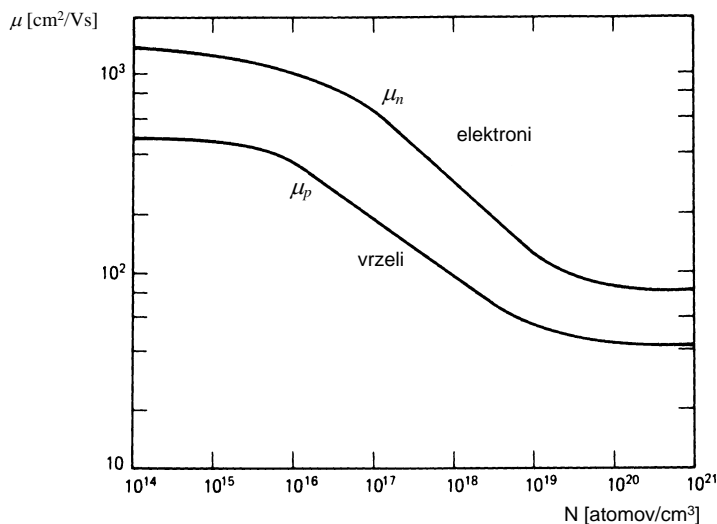
lahko enačbe poenostavimo s tem, da člen $(1 + \lambda U_{DS})$ zanemarimo⁵⁵. Pri visokih napetostih oziroma tokovih ali pri zelo kratkih kanalih postane ta model premalo natančen. k'_n je konstanta⁵⁶, ki je odvisna od mobilnosti nosilcev naboja v kanalu, označenem z μ , (za n-kanalni tranzistor so to elektroni), od dielektrične konstante izolacijske plasti pod krmilno elektrodo ϵ_{ox} in od njene debeline t_{ox} :

$$k'_n = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad (2.5)$$

Ker so te tri spremenljivke značilne za določeno tehnologijo, so za načrtovalca konstante, ki jih ne more spreminjati. Konstanto k'_n imenujemo tudi **procesno konstanto**⁵⁷. Tipično območje za t_{ox} je od 10 nm do 100 nm⁵⁸. Dielektrična konstanta je odvisna od vrste dielektrika (za silicijev dioksid, ki ima relativno konstanto 3,9, znaša $\epsilon_{ox} = 3,45 \cdot 10^{-13}$ F/cm).

Tok I_{DS} oziroma potek izhodne karakteristike lahko načrtovalec enostavno spreminja z ustreznim razmerjem širine (W) kanala proti njegovi dolžini (L).

Ker je mobilnost elektronov 2 do 4-krat večja kot mobilnost vrzeli, je konstanta k'_n za enak faktor večja od k'_p . Kot vidimo iz enačb MOS tranzistorja, je tok proporcionalen procesni konstanti. Če imamo dva tranzistorja, enega p-kanalnega in drugega n-kanalnega in imata enako površino, lahko n-kanalni zagotovi 2- do 3-krat večji tok. Zaradi večje mobilnosti elektronov je n-kanalni tudi hitrejši. Dimenzijska enota za k' je A/V^2 oziroma $\mu A/V^2$. Zaželeno je, da je procesna konstanta čim večja. Tipične vrednosti so prikazane v tabeli 2.2.



Slika 2.48: Mobilnost nosilcev v odvisnosti od koncentracije primesi⁵⁹

⁵⁵ To velja predvsem za načrtovanje.

⁵⁶ Pogosto se izraz $k'W/L$ označuje z β .

⁵⁷ Process gain factor [WESTE,2005].

⁵⁸ Konkreten zgled: $t_{ox}=15\text{nm}$ za $0,8\mu\text{m}$ CMOS tehnologijo z n-otoki [GRAY,93].

⁵⁹ [ONG,1986]

Tabela 2.2: Tipične vrednosti⁶⁰ procesne konstante k'

	Območje ⁶¹	3 μm : p-otoki	1,2 μm : n-otoki ⁶²	0,8 μm : n-otoki ⁶³
NMOS	40-200 $\mu\text{A}/\text{V}^2$	43 $\mu\text{A}/\text{V}^2$	70 $\mu\text{A}/\text{V}^2$	110 $\mu\text{A}/\text{V}^2$
PMOS	15-70 $\mu\text{A}/\text{V}^2$	16 $\mu\text{A}/\text{V}^2$	25 $\mu\text{A}/\text{V}^2$	50 $\mu\text{A}/\text{V}^2$

Tabela 2.3: Tipični podatki za 0,8 μm tehnologijo (Si substrat n-otoki CMOS)⁶⁴

Parameter	NMOS	PMOS	enota	ime
U_t	0,7 \pm 0,15	-0,7 \pm 0,15	V	pragovna napetost
k' (v nasičenju)	110 \pm 10 %	50 \pm 10 %	$\mu\text{A}/\text{V}^2$	transkonduktanca, procesna konstanta
γ	0,4	0,57	$\text{V}^{1/2}$	prag substrata
λ	0,04 (L=1 μm)	0,05 (L=1 μm)	V^{-1}	modulacijski faktor dolžine kanala
	0,01 (L=2 μm)	0,01 (L=2 μm)		
$2 \Phi_F $	0,7	0,8	V	površinski potencial

Tabela 2.4: Tipični podatki za 5 μm tehnologijo (Si substrat n-otoki CMOS)⁶⁵

Parameter	NMOS	PMOS	enota
U_t	1 \pm 0,2	-1 \pm 0,2	V
k' (v nasičenju)	17 \pm 10 %	8 \pm 10 %	$\mu\text{A}/\text{V}^2$
γ	1,3	0,6	$\text{V}^{1/2}$
λ	0,01 (L=10 μm)	0,02 (L=10 μm)	V^{-1}
	0,04 (L=20 μm)	0,008 (L=20 μm)	
$2 \Phi_F $	0,7	0,6	V

S parametrom⁶⁶ λ , ki ga določimo empirično, je modelirana rahla nagnjenost karakteristik v področju nasičenja. S tem parametrom je tudi povezana izhodna upornost. Če ga zanemarimo ($\lambda = 0$), se enačbi 2.3 in 2.4 precej poenostavita. Ta poenostavitev je zelo koristna predvsem pri projektiranju. Ker ima tranzistor pri $\lambda = 0$ v področju nasičenja neskončno izhodno upornost, lahko nastopijo pri analizi ali simulaciji določene težave (npr. rešitev, ki jo išče simulator, ne konvergira). Tipične vrednosti so od 0,01 V^{-1} do 0,04 V^{-1} .

⁶⁰ Na str. 302 v [WESTE,2005] je primerjava med različnimi procesi za območje od 2 μm do 180 nm.

⁶¹ [UYEMURA,1995]

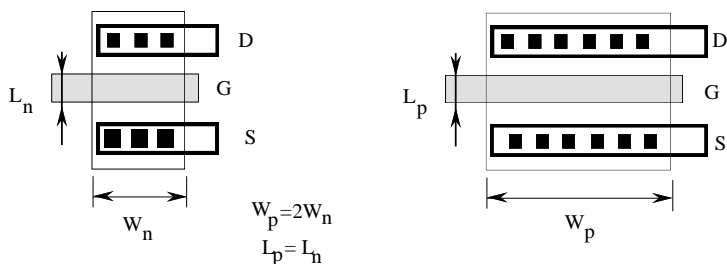
⁶² Lojze Trontelj: "Mikroelektronske tehnologije", 1. izd. – Ljubljana, Fakulteta za elektrotehniko, 1998 (Ljubljana : Formatisk).

⁶³ [ALLEN,2002]

⁶⁴ [ALLEN,2002]

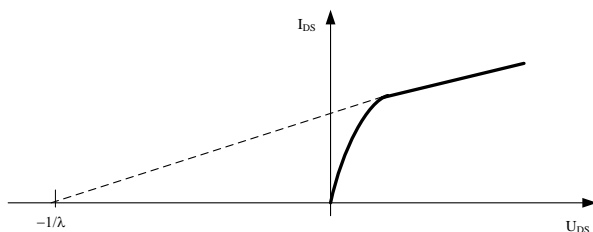
⁶⁵ [ALLEN,1987]

⁶⁶ Modulacijski faktor dolžine kanala, angl.: channel length modulation factor.

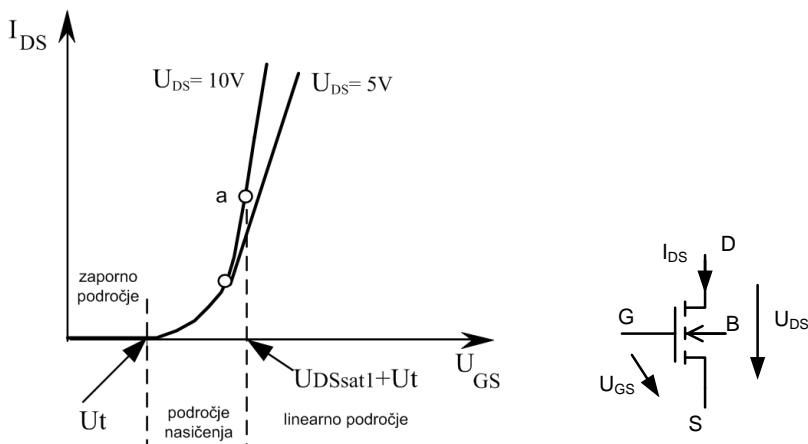


Slika 2.49: Da bi imel p-kanalni MOS približno enako enosmerno izhodno karakteristiko kot n-kanalni, mora biti pri enaki dolžini kanala, širina njegovih vrat približno dvakrat večja⁶⁷. Vir: lasten.

Prenosna karakteristika $I_{DS} = f(U_{GS})$ se običajno podaja za področje nasičenja (do točke a), kjer enačba (2.3) predstavlja parabolo (glej sliko 2.51). Če zanemarimo λ , je prenosna karakteristika v tem območju neodvisna od U_{DS} . V linearnem področju enačba (2.4) preide v premico, kar pomeni, da je tok I_{DS} linearno odvisen od krmilne napetosti U_{GS} - od tod tudi ime linearno področje.



Slika 2.50: Parameter λ je povezan z nagibom izhodne karakteristike. Zaradi lažjega risanja je prikazan pretiran nagib. Vir: [ALLEN,2002].



Slika 2.51: Celotna prenosna karakteristika n-kanalnega MOS tranzistorja z induciranim kanalom. Običajno se riše samo področje nasičenja in brez parametra U_{DS} . Vir: lasten.

⁶⁷ Velja, če je substrat iz silicija.

V primerjavi z bipolarnim tranzistorjem so enačbe, s katerimi je opisana odvisnost izhodnega toka I_{DS} , relativno enostavne, saj gre za parabole, medtem ko imamo pri bipolarnem tranzistorju opravka s transcendentnimi enačbami. Kljub enostavnim enačbam MOS tranzistorja moramo pri analizi vezij paziti na definicijska območja posameznih enačb.

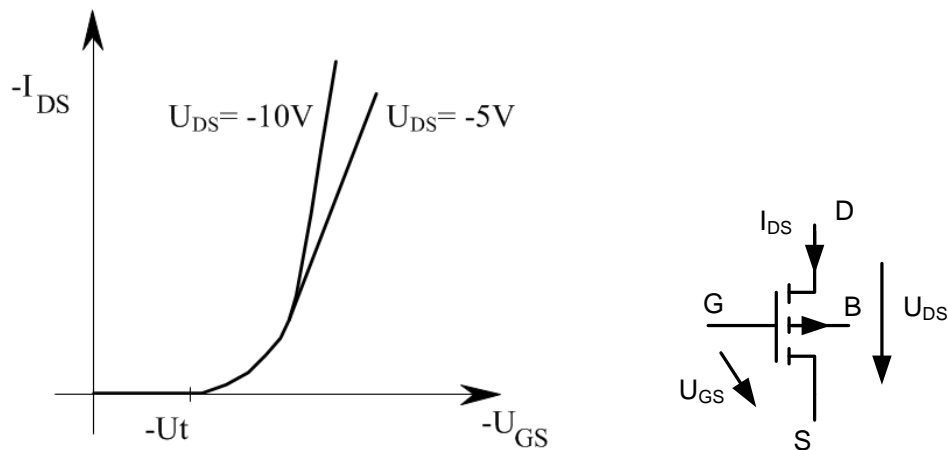
Za p-kanalni tranzistor veljajo podobne enačbe, le da je treba vsem napetostim (tudi pragovni napetosti) in tokovom zamenjati predznake. Za **n-kanalni** MOS z **induciranim** kanalom je konkretna vrednost pragovne napetosti **pozitivna**, za p-kanalnega pa **negativna**.

$$I_{DS} = 0 \quad ; \quad U_{GS} \geq U_{tp} \quad (2.6)$$

$$I_{DS} = -k'_p \frac{W}{L} \left[(U_{GS} - U_{tp}) U_{DS} - \frac{U_{DS}^2}{2} \right] (1 - \lambda_p U_{DS}) ; 0 < -U_{DS} < -U_{GS} + U_{tp} \text{ in } U_{GS} < U_{tp} \quad (2.7)$$

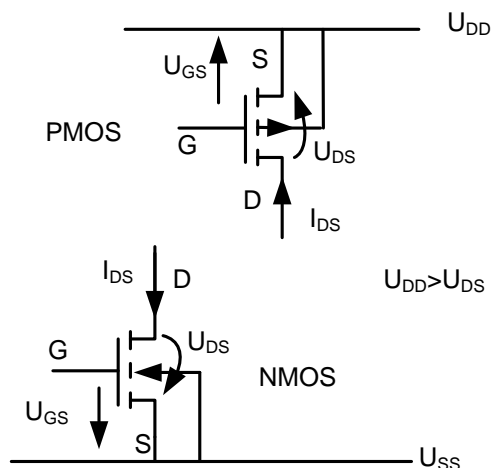
$$I_{DS} = -\frac{k'_p W}{2L} (-U_{GS} + U_{tp})^2 (1 - \lambda_p U_{DS}) \quad ; \quad -U_{DS} \geq -U_{GS} + U_{tp} \text{ in } U_{GS} < U_{tp} \quad (2.8)$$

Pazi, enačbe veljajo le za dogovorjeno označevanje smeri in tokov, ki je prikazano na slikah 2.52 in 2.53.



Slika 2.52: Prenosna karakteristika p-kanalnega MOS tranzistorja z induciranim kanalom. Glede na sliko 2.51 je to tudi komplementarni⁶⁸ tranzistor. Vir: lasten.

⁶⁸ Karakteristiki komplementarnih tranzistorjev se razlikujeta samo v predznakah napetosti in tokov.



Slika 2.53: Pravilno označevanje smeri tokov in napetosti. Vir: lasten.

Zgled

Predpostavimo, da imamo vezje, ki je na sliki 2.54 a. PMOS je v področju nasičenja. Njegova pragovna napetost naj bo $U_{tp} = -1V$, produkt $\frac{k'}{2} \cdot \frac{W}{L} \cdot R$ naj bo enak 1 ter U_{DD} naj bo 13V. Zanima nas, kolikšna je U_{GS} . Začnemo z zančno enačbo:

$$-U_{DD} - U_{GS} - I_{DS}R = 0$$

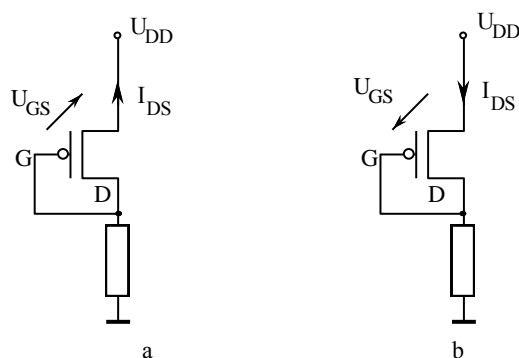
Za tranzistor vzamemo enačbo za nasičenje in upoštevamo dogovorne smeri toka in napetosti:

$$I_{DS} = -\frac{k'}{2} \frac{W}{L} (-U_{GS} + U_{tp})^2$$

$$-U_{DD} - U_{GS} + \frac{k'}{2} \frac{W}{L} (-U_{GS} + U_{tp})^2 \cdot R = 0$$

$$-U_{DD} - U_{GS} + (-U_{GS} - 1)^2 = 0$$

Ko rešimo kvadratno enačbo, dobimo dve rešitvi: $U_{GS} = -4V$ in $U_{GS} = 3V$. Ker skozi tranzistor teče tok, je edina možna rešitev $U_{GS} = -4V$. Edino ta leži na karakteristiki (glej sliko 2.52), saj je pri pozitivnih vrednostih U_{GS} tok enak nič. Če še izračunamo tok, dobimo: $I_{DS} = -90\mu A$. Negativni predznaki pomenijo, da so dejanske smeri ravno obratne.

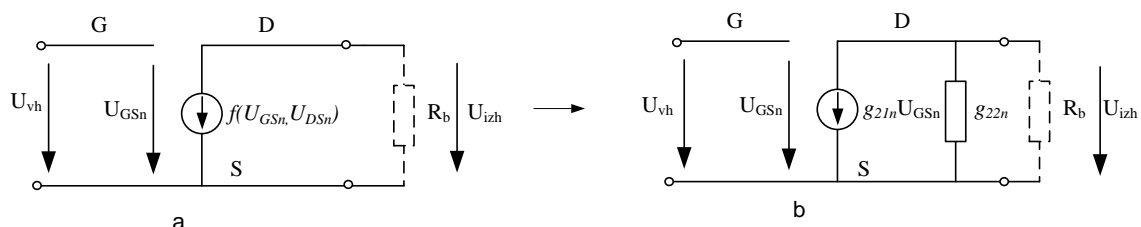


Slika 2.54: Dogovorne smeri (a) in dejanske smeri napetosti in tokov (b). Vir: lasten.

V obeh primerih smo izračunali enake vrednosti. Dvojno rešitev smo dobili, ker je funkcija, ki opisuje prenosno karakteristiko, parabola samo v enem delu abscise.

2.8.2. g PARAMETRI MOS TRANZISTORJA

Kadar MOS tranzistor krmilimo z majhnimi spremembami enosmerne napetosti ali nizkofrekvenčnimi signali, lahko analizo zelo poenostavimo, če nas zanima samo ojačenje, vhodna in izhodna upornost⁶⁹. Gre za pretvorbo nelinearnega modela (slika 2.55 a) v preprost linearni dvovhodni model, ki je definiran z g parametri (slika 2.55 b). Najprej izračunamo delovno točko, nato pa vrednosti parametrov izračunamo z ustreznimi odvodi v delovni točki, ki je lahko v linearnem področju ali pa v področju nasičenja. Ker sta g_{11} in g_{12} enaka nič, ostaneta samo g_{21} in g_{22} .



Slika 2.55: Nelinearni model, ki velja za poljubno velikost signalov (a) in linearni model MOS tranzistorja, ki se lahko uporablja le za majhne⁷⁰ signale (b). Vir: lasten.

Če leži delovna točka v področju nasičenja, je vrednost parametra⁷¹ g_{21} :

$$g_{21n} = \left. \frac{\partial I_{DSn}}{\partial U_{GSn}} \right|_{U_{GSn}=U_{GS0}} = k'_n \cdot \frac{W_n}{L_n} (U_{GSn0} - U_{tn}) \cdot (1 + \lambda U_{DSn0}) \approx k'_n \cdot \frac{W_n}{L_n} (U_{GSn0} - U_{tn}) \quad (2.9)$$

⁶⁹ Naštete so samo najpogostejše lastnosti. Zaradi poenostavitve ne moremo izračunati lastnosti, ki so vezane na velikost amplitude signalov (npr. maksimalno izhodno amplitudo).

⁷⁰ Obstaja več načinov izražanja odvisnosti med vhodnimi in izhodnimi veličinami dvovhodnega vezja. Nekateri tovrstno varianto označujejo z y parametri, s črko g pa inverzne hibridne parametre.

⁷¹ Nekateri ta parameter označujejo z g_m .

Zgornjo enačbo izrazimo v odvisnosti od delovne točke oziroma toka I_{DS0} :

$$g_{21n} = \sqrt{2I_{DS0} \cdot \frac{W_n}{L_n} \cdot k'_n} \quad (2.10)$$

Podobno storimo s parametrom⁷² g_{22n} , ki predstavlja izhodno prevodnost tranzistorja:

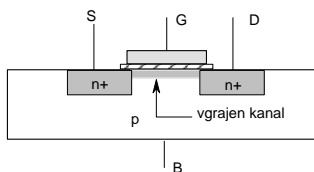
$$g_{22n} = \left. \frac{\partial I_{DSn}}{\partial U_{DSn}} \right|_{U_{DSn}=U_{DSn0}} = \frac{k'_n}{2} \cdot \frac{W}{L} \cdot (U_{GSn0} - U_t)^2 \cdot \lambda_n$$

$$g_{22n} \approx I_{DSn0} \cdot \lambda_n \quad (2.11)$$

Ne pozabi: vrednosti parametrov so odvisne tudi od delovne točke!

2.8.3. MOS TRANZISTORJI Z VGRAJENIM KANALOM

Če k standardnemu CMOS procesu dodamo še dodatni procesni korak, lahko ustvarimo MOS tranzistor z vgrajenim kanalom⁷³. Z ionsko implantacijo skozi tanek oksid vnesemo tik pod krmilno elektrodo določene primesi, s katerimi ustvarimo kanal, ki prevaja, ne da bi bila pritisnjena krmilna napetost (slika 2.56). Sedaj lahko kanal bogatimo ali siromašimo⁷⁴ - odvisno od krmilne napetosti U_{GS} . Če želimo, da pride delovna točka v področje zapore, mora biti napetost U_{GS} negativna. Zato ima **n-kanalni** MOS tranzistor z **vgrajenim** kanalom **negativno** pragovno napetost.



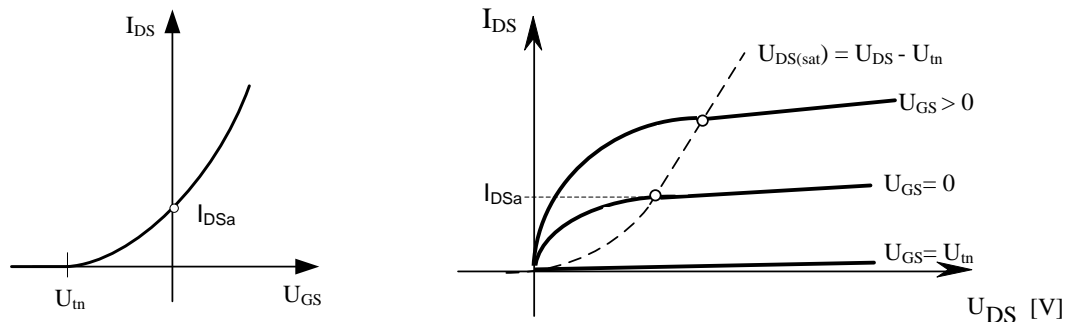
Slika 2.56: n-kanalni MOS z vgrajenim kanalom. Vir: lasten.

Za opis karakteristik NMOS tranzistorja z vgrajenim kanalom lahko uporabimo kar iste enačbe, kot veljajo za NMOS z induciranim kanalom. Pri tem ne smemo pozabiti, da je tokrat pragovna napetost **negativna**.

⁷² Nekateri ta parameter označujejo z g_{DS} .

⁷³ Angleško: depletion type MOS.

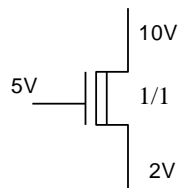
⁷⁴ Pri induciranjem kanalu ga lahko samo bogatimo.



Slika 2.57: Prenosna (levo) in izhodna karakteristika (desno) n-kanalnega MOS tranzistorja z vgrajenim kanalom. **Pragovna napetost U_{tm} ima negativno vrednost!** Vir: lasten.

Zgled:

Kolikšen tok teče skozi narisan tranzistor ($k' = 50 \mu\text{A}/\text{V}^2$, $\lambda = 0 \text{ V}^{-1}$, $U_{tm} = -1 \text{ V}$)?



Slika 2.58 Zgled tranzistorja

Ker je $U_{GS} \geq U_{tm}$ in $U_{DS} \geq U_{GS} - U_{tm}$, je delovna točka tranzistorja v področju nasičenja. Tok, ki teče skozenj, znaša:

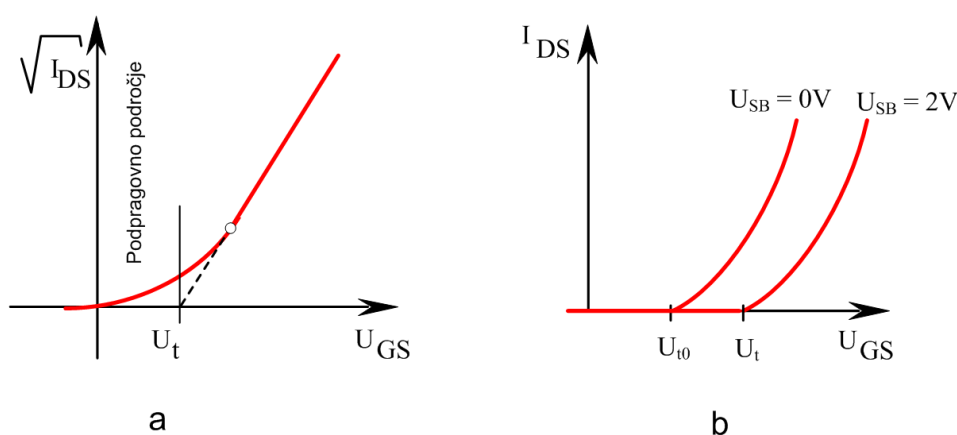
$$I_{DS} = \frac{k'_n}{2} \frac{W}{L} (U_{GS} - U_{tm})^2 = \frac{50 \cdot 10^{-6}}{2} \frac{1}{1} (3+1)^2 = 400 \mu\text{A}$$

2.8.4. PRAGOVNA NAPETOST

Z U_t smo označili pragovno napetost, pri kateri tranzistor začne oziroma neha prevajati. Prehod iz področja prevajanja v zaporo pa ni tako oster, kot je pri diodi oziroma bipolarnem tranzistorju. Z nižanjem U_{GS} se tok I_{DS} najprej zmanjšuje po kvadratni, nato pa po eksponentni funkciji (glej sliko 2.59 a). Po dogovoru je U_t točka, ki jo dobimo na presečišču abscisne osi, če rišemo $(\sqrt{I_{DS}}, U_{GS})$. To pomeni, da tranzistor v podpragovnem področju še vedno ojačuje, kljub temu da je $U_{GS} < U_t$. To lastnost s pridom izkoriščajo načrtovalci vezij, ki morajo obratovati z nizko napajalno napetostjo. Zaradi zahtev po čim nižji napajalni napetosti, naj bo pragovna napetost čim nižja. Začetne pragovne napetosti so bile nekaj voltov. Z

zamenjavo kovinskih vrat s polikristalnimi in s tanjšanjem oksida so uspeli U_t zelo znižati. Današnje tipične vrednosti ležijo v območju od 0,5 do 1V. Za podpragovno območje obstajajo posebni modeli⁷⁵, ki jih tukaj ne bomo obravnavali. Namesto tega bomo samo na kratko opisali kvalitativno odvisnost pragovne napetosti od nekaterih pomembnih parametrov:

- material, iz katerega je sestavljena krmilna elektroda,
- vrsta izolacijske plasti, ki je pod krmilno elektrodo,
- debelina izolacijske plasti t_{ox} (večja je debelina, večja je U_t),
- koncentracija primesi v kanalu (absolutna vrednost U_t se s koncentracijo manjša),
- napetost med okolico kanala in izvorom U_{SB} ,
- temperatura.



Slika 2.59: Določitev pragovne napetosti (a) in povečanje pragovne napetosti (b). Vir: lasten.

Ker je višina pragovne napetosti odvisna tudi od koncentracije primesi v kanalu, jo lahko z ionsko implantacijo relativno natančno nastavljam.

Dvig pragovne napetosti (body pojav). Označimo z U_{i0} pragovno napetost, ki jo ima tranzistor, ko je $U_{SB} = 0V$. Če je pri n-kanalnem tranzistorju $U_{SB} > 0$ (glej sliko 2.59 b in 2.60), potem se pragovna napetost poveča⁷⁶:

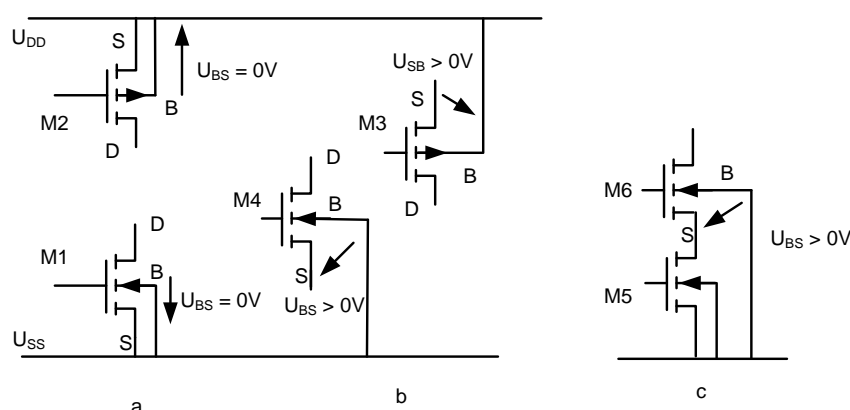
$$U_t = U_{i0} + \gamma \left(\sqrt{|2\Phi_F| + U_{SB}} - \sqrt{|2\Phi_F|} \right) \quad (2.12)$$

Ker je tipična vrednost površinskega potenciala $|2\Phi_F| \approx 0,6$ V, lahko za $U_{SB} \gg 0,6$ V izraz (2.12) poenostavimo:

$$U_t \approx U_{i0} + \gamma \sqrt{U_{SB}} \quad (2.13)$$

⁷⁵ Glej npr. [ALLEN,2002].

⁷⁶ Povečanje pragovne napetosti imenujemo tudi body pojav (angl. body effect).



Slika 2.60: V večini primerov je $U_{SB} = 0V$ (a). Kadar sponka S ni vezana na napajalno napetost, nastopi body pojav (b in c). Vir: lasten.

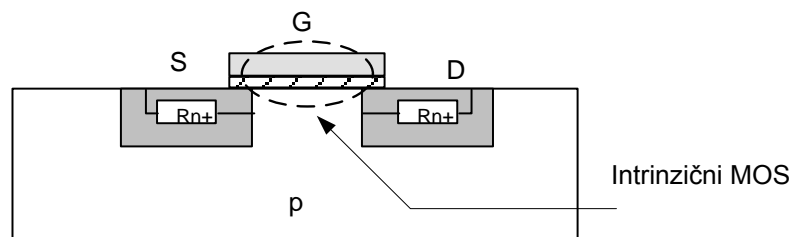
Ta pojav imenujemo **body pojav**. Z U_{t0} smo označili pragovno napetost pri $U_{SB} = 0V$. Tipične vrednosti [WESTE,1988] za γ ležijo v intervalu $0,4V^{1/2} - 1,2V^{1/2}$. Za p-kanalni tranzistor je potrebno enačbo (2.13) ustrezno preoblikovati:

$$U_t \approx -U_{t0} - \gamma \sqrt{U_{BS}} \quad (2.14)$$

Ker večinoma želimo čim nižjo pragovno napetost, je body pojav nezaželen.

2.8.5. PARAZITNI ELEMENTI MOS TRANZISTORJA

Vse enačbe, ki smo jih spoznali do sedaj, veljajo samo za področje kanala. To področje bomo imenovali **intrinzični MOS tranzistor**. Ker je intrinzični tranzistor direktno nedostopen, vodi do njega del n^+ področja. Upornost od kontakta do kanala predstavlja parazitno upornost (na sliki 2.61 je označena z R_{n^+}), ki jo je v posebnih primerih (npr. veliki tokovi) treba upoštevati.

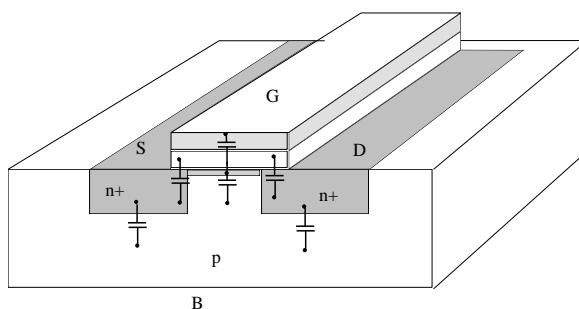


Slika 2.61: Rezistivni parazitni elementi MOS tranzistorja (R_{n^+}) in intrinzični MOS tranzistor. Vir: lasten.

Parazitne kapacitivnosti in upornosti upočasnjujejo hitrost delovanja tranzistorja. Pri relativno nizkih frekvencah in majhnih signalih, kjer lahko vezje lineariziramo, je analiza

relativno preprosta. Zaplete se, kadar linearizacija ni več možna oziroma ne daje dovolj natančnih rezultatov. Takrat si pomagamo z dodajanjem parazitnih kapacitivnosti, ki pa so večinoma nelinearne (odvisne od napetosti). Ker so tudi statične karakteristike nelinearne, je obravnava dinamičnih lastnosti zelo zahtevna⁷⁷. Zato bomo samo na kratko nakazali glavne kapacitivnosti.

Kondenzator nastane vsakič, ko se prekrivata dve prevodni plasti, ki sta med seboj izolirani oziroma med njima ni nosilcev (kapacitivnost pn-spoja). Na sliki 2.62 so prikazane najpomembnejše parazitne kapacitivnosti. Iz slike je razvidno, da lahko nekatere z ustrezno geometrijo zmanjšamo, drugih pa ne. Npr. zmanjšanje prekrivanja vrat preko n⁺ znižuje skupno kapacitivnost. Večanje površine vrat pomeni tudi večjo kapacitivnost. Večina parazitnih kondenzatorjev je nelinearnih, kar zelo otežuje enostavno analizo prehodnega pojava.



Slika 2.62: Parazitne kapacitivnosti MOS tranzistorja. Vir: [ALLEN,2002].

2.8.6. SIMULACIJSKI MODELI

Pravilnost načrtovanja preverjamo s simulacijo in meritvijo. Za simulacijo analognih vezij se najpogosteje uporablja simulator SPICE. Ker je natančnost prognoze obnašanja vezja odvisna predvsem od kakovosti modelov, s katerimi modeliramo električne elemente in povezave, bomo na kratko opisali problematiko modeliranja. Modeliranje integriranih primitivnih elementov je zelo zahteven proces. Le tovarna, ki izdeluje integrirana vezja in pozna svojo tehnologijo, lahko določi ustrezne parametre.

Tipični simulator SPICE ima vgrajene modele za bipolarni tranzistor, diodo, spojni FET in MOS tranzistor. Obnašanje električnega elementa je določeno z njegovimi dimenzijami in lastnostmi materiala.

Topološke in geometrijske lastnosti MOS tranzistorja opišemo z naslednjim stavkom:

```
M<referenčna oznaka> <D> <G> <S> <B> <ime modela> <L=vrednost>
+ W=vrednost> [<AD=vrednost> <PD=vrednost> <AS=vrednost>
+ <PS=vrednost>]
```

D, G, S, B: vozlišča, na katera je priključen ponor, vrata, izvor in okolica kanala (bulk)
ime modela: ime modela, ki definira karakteristiko tipičnega MOS tranzistorja

⁷⁷ Več o tem je v [ALLEN,2002].

L : dolžina vrat
W : širina vrat

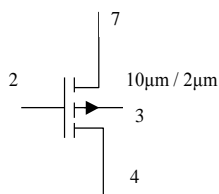
AD: površina ponora⁷⁸
PD: obseg ponora
AS: površina izvora
PS: obseg izvora

MOS model je opisan z identifikatorjem `.MODEL`

```
.MODEL <ime modela> <tip kanala> LEVEL=<varianta modela>
+ <niz parametrov>
```

ime modela : vsak model je potrebno poimenovati,
tip kanala : NMOS ali PMOS,
level : naravno število, s katerim izbiramo varianto modela,
niz parametrov: niz parametrov, ki so vezani na varianto modela.

Zgled:



Slika 2.63 Zgled MOS tranzistorja

```
M2 7 2 4 3 N_2 L=2U W=10U
.MODEL N_2 PMOS LEVEL=1 VTO=1.2 KP=35U TOX=40N LAMBDA=0.018827
+ CBD=20E-15 CBS=20E-15 CJ=2E-4
```

SPICE modeli

V prvem in najenostavnejšem modelu (`LEVEL = 1`) je karakteristika opisana s parabolami in premicami⁷⁹ in pod pragovno napetostjo je tok I_{DS} enak nič. Najpogosteje ga uporabljamo pri načrtovanju oziroma projektiranju. Pri simulaciji je uporaben za tranzistorje, katerih dimenzije so večje od $5 \mu\text{m}$. `LEVEL = 2` je izboljššan model, ki je uporaben za $1 \mu\text{m}$ tehnologije (slika 2.64). Za dimenzije do $0,8 \mu\text{m}$, je primeren `LEVEL = 3`, za tranzistorje s še krajšimi signali pa razni BSIM modeli.

Na sliki 2.65 je prikazana preprosta varianta (`LEVEL = 1`) modela za $0,8 \mu\text{m}$ tehnologijo, ki je sicer nenatančna in neprimerna za temeljito preverjanje, vendar dovolj dobra za potrebe projektiranja.

⁷⁸ Parametri AD, PD, AS in PS določajo parazitne upornosti in kapacitivnosti, ki jih prikazujeta sliki 2.61 in 2.62.

⁷⁹ Ta model je opisan v poglavju [Statične karakteristike MOS tranzistorja](#).

```

*****
* THESE ARE TYPICAL SCNA SPICE LEVEL 2 PARAMETERS
* Vir: UYEMURA
* MOSIS Orbit 2-micron CMOS n-well

.MODEL CMOSN NMOS LEVEL=2 LD=0.250000U TOX=417.000008E-10
+ NSUB=6.108619E+14 VTO=0.825008 KP=4.919000E-05 GAMMA=0.172
+ PHI=0.6 UO=594 UEXP=6.682275E-02 UCRIT=5000
+ DELTA=5.08308 VMAX=65547.3 XJ=0.250000U LAMBDA=6.636197E-03
+ NFS=1.98E+11 NEFF=1 NSS=1.000000E+10 TPG=1.000000
+ RSH=32.740000 CGDO=3.105345E-10 CGSO=3.105345E-10 CGBO=3.848530E-10
+ CJ=9.494900E-05 MJ=0.847099 CJSW=4.410100E-10 MJSW=0.334060
+ PB=0.800000
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is -0.25 um

.MODEL CMOSP PMOS LEVEL=2 LD=0.227236U TOX=417.000008E-10
+ NSUB=1.056124E+16 VTO=-0.937048 KP=1.731000E-05 GAMMA=0.715
+ PHI=0.6 UO=209 UEXP=0.233831 UCRIT=47509.9
+ DELTA=1.07179 VMAX=100000 XJ=0.250000U LAMBDA=4.391428E-02
+ NFS=3.27E+11 NEFF=1.001 NSS=1.000000E+10 TPG=-1.000000
+ RSH=72.960000 CGDO=2.822585E-10 CGSO=2.822585E-10 CGBO=5.292375E-10
+ CJ=3.224200E-04 MJ=0.584956 CJSW=2.979100E-10 MJSW=0.310807
+ PB=0.800000
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is -1.14 um

```

Slika 2.64: Zgled MOS modela (LEVEL = 2)

```

*0.8um tehnologija Silicon gate Bulk CMOS NWELL, poenostavljen model

.MODEL MN_08 NMOS LEVEL=1 VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04
+ PHI=0.7 MJ=0.5 MJSW=0.38 CGBO=700P CGSO=220P CGDO=220P CJ=770U
+ CJSW=380P LD=0.016U TOX=14N

.MODEL MP_08 PMOS LEVEL=1 VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05
+ PHI=0.8 MJ=0.5 MJSW=0.35 CGBO=700P CGSO=220P CGDO=220P CJ=560U
+ CJSW=350P LD=0.014U TOX=14N

```

Slika 2.65: Zgled MOS modela (LEVEL = 1)

2.9. DRUGI PRIMITIVNI ELEMENTI

Za načrtovanje logičnih vezij v večini primerov potrebujemo samo p in n-kanalne MOS tranzistorje. Tudi nekatera analogna vezja je mogoče zgraditi samo iz komplementarnih MOS tranzistorjev. V mnogih primerih pa potrebujemo pestrejšo množico gradnikov. Iz plasti, iz katerih sta sestavljena CMOS tranzistorja, je možno izdelati tudi druge elemente: navadne in Zenerjeve diode, upore, kondenzatorje in celo bipolarnе tranzistorje. V nadaljevanju bomo na kratko opisali primitivne elemente, ki jih lahko napravimo s klasično CMOS tehnologijo.

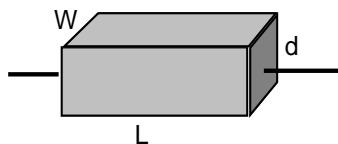
2.9.1. UPOR

Upor je najbolj enostaven in eden najcenejših gradnikov v diskretnih vezjih. Ko si izberemo primerno tehnologijo, so stroški izdelave integriranega vezja proporcionalni predvsem površini. Zato je le-ta odločilni faktor, ki določa ceno določenega gradnika. Tega se moramo zavedati tudi pri načrtovanju uporov, saj se lahko zgodi, da je neki upor lahko precej dražji kot tranzistor.

Upore lahko realiziramo na naslednje načine:

- z uporabo nanese plast (npr. polikristalni upor),
- z uporovno plastjo, ki je difuzijsko oz. implantirano področje (difundiran upor),
- z uporabo otoka (npr. upor n-otok),
- z MOS tranzistorjem,
- s preščipnjenim uporom,
- z zamenjavo upora s tokovnim generatorjem⁸⁰.

Vsaka izmed naštetih alternativ ima dobre in slabe lastnosti. Ključno merilo pri izbiri je potrebna površina, zahtevana linearnost in dodatni parazitni elementi. **V nekaterih primerih potrebujemo čim bolj linearen upor, katerega upornost je odvisna samo od razmerja dimenzij in ni odvisna od napetosti in tokov v vezju.** Prav te lastnosti imajo monolitni plastni upori.



Slika 2.66: Diskreten upor. Vir: lasten.

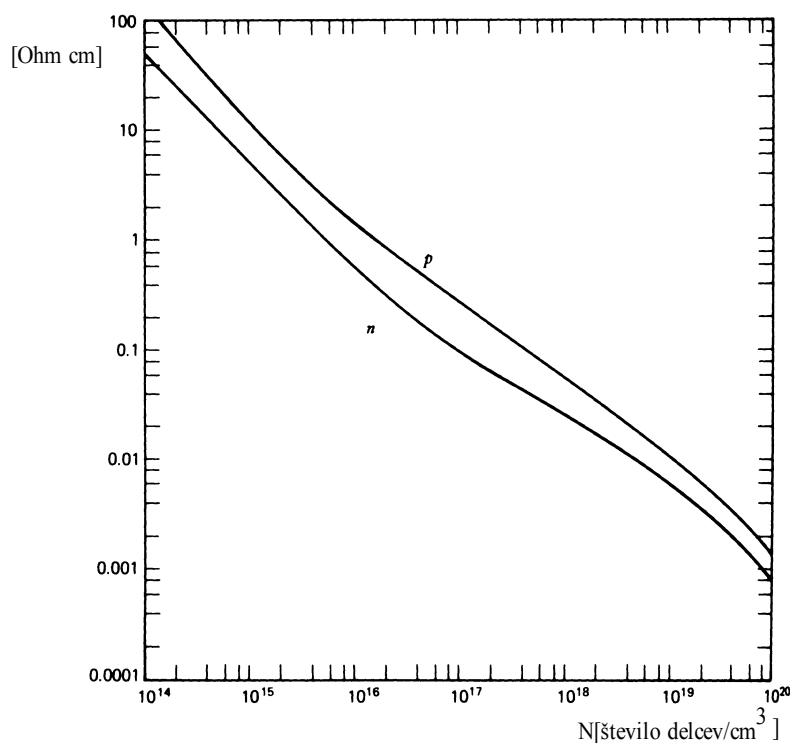
⁸⁰ Zadnji dve alternativni uporabljamo za realizacijo visokoomskih uporov. Tokovne generatorje bomo podrobno obravnavali v prihodnjih poglavjih.

2.9.1.1. Struktura monolitnih plastnih uporov

Najprej bomo obravnavali upor, ki je sestavljen iz dveh delov: iz uporovne plasti s specifično upornostjo ρ in dveh ali več kontaktov. Pri diskretnem uporju se kontakti prilegajo preseku uporovne plasti in običajno lahko njihovo upornost zanemarimo. Če upornost kontaktov zanemarimo, je upornost plastnega upora, ki je na sliki 2.66, definirana z enačbo:

$$R = \rho \frac{L}{d \cdot W} \quad (2.15)$$

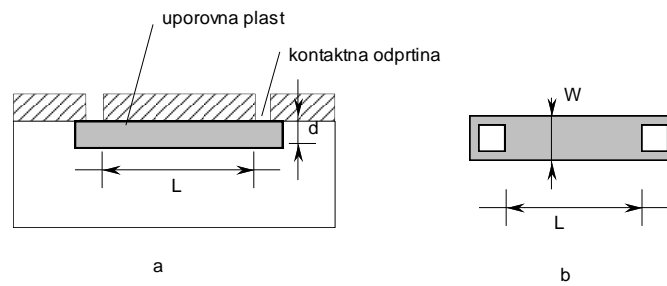
Čist polprevodnik je izolator, ki mu lahko prevodnost povečamo z dodajanjem ustreznih primesi. Prevodnost polprevodnika narašča s koncentracijo vnesenih primesi.



Slika 2.67: Specifična upornost dopiranega silicija v odvisnosti od koncentracije primesi.
Vir: [ALLEN,2002].

Na sliki 2.68 je prikazana struktura integriranega upora. Primerjava s sliko 2.66 pokaže, da se integrirani upor razlikuje od diskretnega v naslednjih podrobnostih:

- ρ v splošnem ni konstanten, ampak se spreminja z globino in
- kontakti so na zgornji strani - pravokotno na dolžino upora.



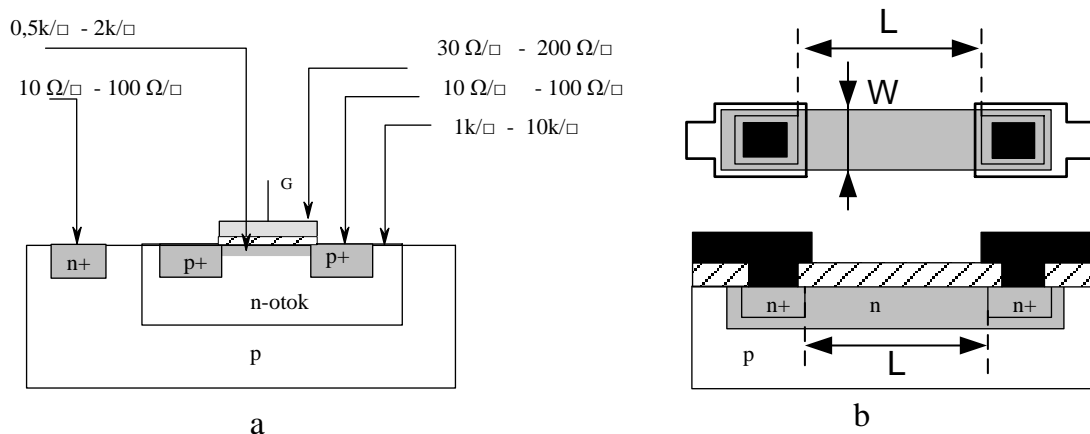
Slika 2.68: Preprosta geometrijska struktura monolitnega upora; (a) presek, (b) tloris.
Vir: lasten.

Specifična upornost ρ je neodvisna od globine samo za epitaksijsko plast. Za vse difuzijske plasti in za tiste, ki smo jih ustvarili z ionsko implantacijo, pa se njena vrednost spreminja z globino. Posledica tega so zahtevni izračuni, ki se jim lahko izognemo, če definiramo *plastno upornost* R_{SH} :

$$R_{SH} = \frac{\rho}{d} \quad (2.16)$$

Kljub temu da je R_{SH} upornost z dimenzijsko konstanto Ω , se v mikroelektroniki skoraj vedno uporablja Ω/\square . S kvadratom se želi poudariti, da gre za upornost testnega upora, ki ima obliko kvadrata. Če zanemarimo upornost kontaktov, preide enačba 2.15 v izraz:

$$R = R_{SH} \frac{L}{W} \quad (2.17)$$

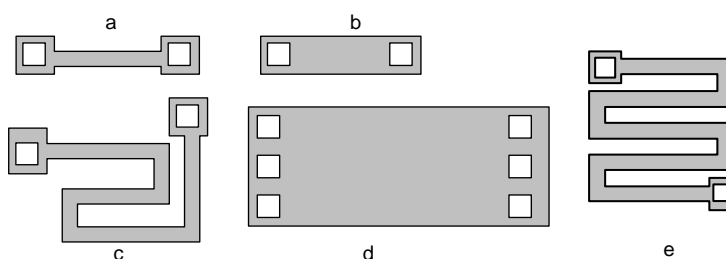


Slika 2.69: (a) Tipične plastne upornosti v 5 μm tehnologiji [ALLEN,1987] - enota je Ω/\square ; (b) presek upora, čigar uporovna plast je n-otok. Da bi dobili omski kontakt z n-plastjo, smo dodali dva n^+ -vložka. Vir: lasten.

Če strukturo upora razstavimo na zaporedno povezane kvadratke, lahko zelo enostavno izračunamo vrednost upora tudi tako, da preštejemo kvadratke. Ker ima vsak kvadrataček upornost enako R_{SH} , je skupna upornost n kvadratkov:

$$R = nR_{SH}$$

Če želimo upornost kontaktov zanemariti, moramo dodati močno dopirana vložka. V primeru n-plasti moramo obvezno dodati n⁺-vložka, ki omogočata omski kontakt med plastjo in kovino. Če je uporovna plast pripravljena z difuzijo, tako nastale upore imenujemo *difundirani (difuzijski) upori*. Na sliki 2.69 (b) je prikazan zgled za upor, čigar uporovna plast je n-otok. Če je za uporovno plast uporabljen polikristalni silicij, imenujemo tak upor *polikristalni upor*.

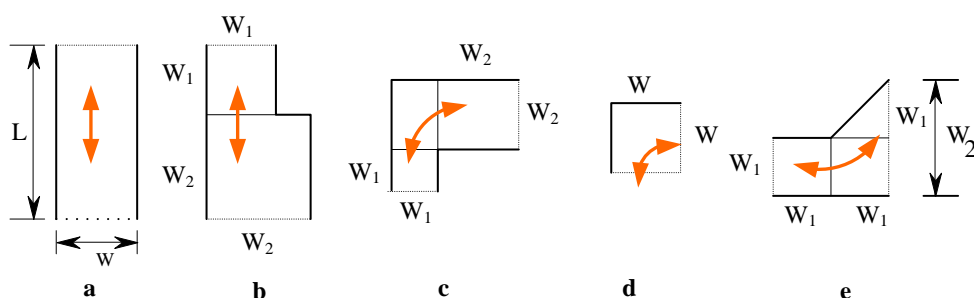


Slika 2.70: Različne geometrije uporov. Vir: [ALLEN,2002].

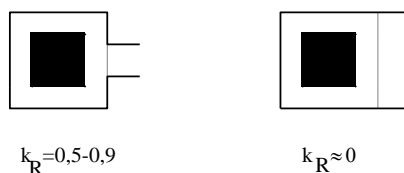
Načrtovalec projektira upor tako, da izbere ustrezno plast (glej sliko 2.69) in določi potrebno razmerje W/L . Konkretno vrednosti dimenzij določi glede na maksimalno disipacijo oziroma gostoto toka. Če ta ni problematična, potem je ena izmed dimenzij vedno minimalna dimenzija za ustrezno plast.

Tabela 2.5: Vrednosti faktorja k_R za najbolj pogoste segmente s slike 2.71 [WESTE,1988].

segment	W_2/W_1	K_R
a	-	L/W
b	1	1
b	1,5	2,1
b	2	2,25
b	3	2,5
b	4	2,65
c	1	2,5
c	1,5	2,55
c	3	2,75
d	-	0,5
e	1,5	1,45
e	2	1,8
e	3	2,3
e	4	2,65



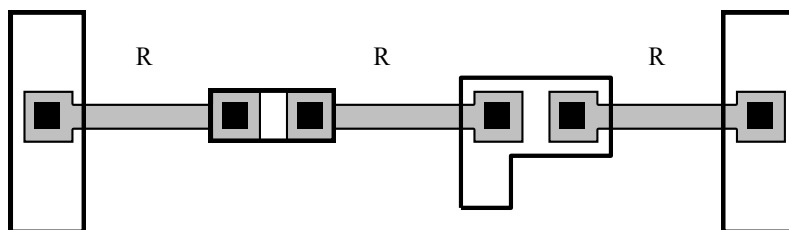
Slika 2.71: Najbolj pogosti segmenti. Tok teče med črtkanima stranicama v katerokoli smer. Vir: lasten.



Slika 2.72: Faktor k_R za kontakte. Vir: [WESTE,1988].

Če je le možno, se vedno odločimo za strukturo, ki ni lomljena (slika 2.70 a, b in d). Le kadar to ni možno⁸¹, se odločimo za lomljeno strukturo (glej sliko 2.70 c).

Natančen izračun upornosti splošnih lomljenih struktur je zelo zahteven. Kadar potrebujemo zelo natančno razmerje uporov, se raje izognimo lomljenim strukturam. Najbolj natančno razmerje uporov lahko dosežemo z zaporedno vezavo enako dolgih uporov (glej sliko 2.73).



Slika 2.73: Natančen uporovni delilnik (2:3) je sestavljen iz uporov, ki imajo enako geometrijo. Vir: lasten.

Pri izračunu parazitne upornosti natančnost pogosto ni tako pomembna. Takrat si pomagamo tako, da geometrijsko strukturo upora razstavimo na n **zaporedno** vezanih segmentov, katerih upornost lahko določimo s pomočjo tabele 2.5 in slike 2.71. Upornost i -tega segmenta dobimo tako, da pomnožimo faktor k_R s plastno upornostjo:

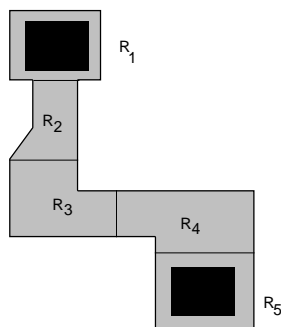
⁸¹ Npr. zaradi boljšega izkoriščenja površine.

$$R_i = k_R(i)R_{SH} \quad (2.18)$$

Ker so vsi segmenti vezani zaporedno, je njihova skupna upornost enaka vsoti:

$$R = \sum_{i=1}^n R_i = R_{SH} \sum_{i=1}^n k_R(i) \quad (2.19)$$

V splošnem moramo upoštevati še upornost kontaktov, ki je odvisna od površine kontakta in širine sosednjega segmenta. Če je ta približno tako širok kot kontakt, ali pa celo širši, lahko upornost kontakta zanemarimo. Če gre za upor z nizko upornostjo, ki se preveč približa upornosti kontakta (ta znaša približno 0,25 - 100 Ω [WESTE,2005]), potem je treba upornost kontakta upoštevati.



Slika 2.74: Nepravilno strukturo upora razstavimo na zaporedno vezane segmente R_i . Upornost upora je: $R = R_1 + R_2 + R_3 + R_4 + R_5$. Vir: lasten.

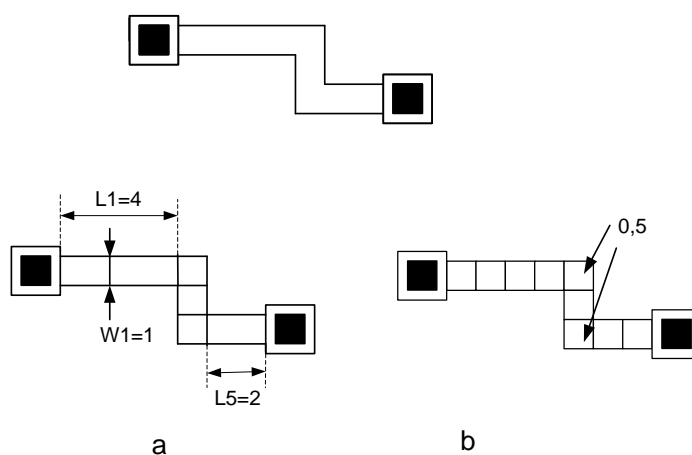
Tabela 2.6: Karakteristike uporov, ki jih je moč izdelati z 0,8 μm CMOS tehnologijo [ALLEN,2005]

	plastna upornost	absolutne tolerance	relativne tolerance	temperaturni koeficient	napetostni koeficient
polikristalni silicij	20-40 Ω/\square	$\pm 30\%$	0,4 %	1500ppm/ $^{\circ}\text{C}$	100ppm/V
n+ difuzija	50-80 Ω/\square	$\pm 35\%$	0,4 %	1500ppm/ $^{\circ}\text{C}$	200ppm/V
p+ difuzija	80-150 Ω/\square	$\pm 35\%$	0,4 %	1500ppm/ $^{\circ}\text{C}$	200ppm/V
n-otok ⁸²	1-2K Ω/\square	$\pm 50\%$		8000ppm/ $^{\circ}\text{C}$	10 000ppm/V

⁸² Če potrebujemo visoko upornost, je najprimernejši otok, vendar je njegova minimalna širina 6 λ .

Zgled:

Radi bi določili upornost narisane upor. $R_{SH} = 2K\Omega/\square$.



Slika 2.75 Geometrijska struktura nekega upora (zgoraj) in dva možna postopka reševanja (a in b)

Nalogo lahko rešimo na dva načina.

a. Upor razstavimo na znane segmente. Za kontakt vzamemo $k_R = 0,5$. Skupna upornost je:

$$R = R_{SH} \cdot (0,5 + 4/1 + 0,5 + 1 + 0,5 + 2/1 + 0,5)$$

$$R = 2K \cdot 9 = 18K$$

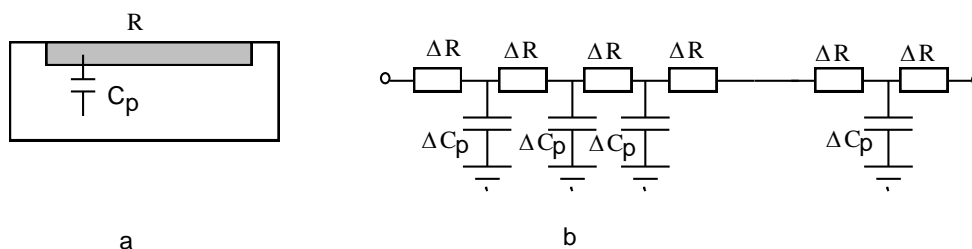
b. Strukturo razstavimo na niz kvadratkov in jih preštejmo. Vsak ima upornost $2K$ razen vogalnih in kontaktov.

2.9.1.2. Parazitna kapacitivnost uporov

Če želimo načrtati kakovosten upor, moramo izbrati ustrezno geometrijsko strukturo, ki bo imela majhno parazitno kapacitivnost in induktivnost. Obe sta snovno-geometrijski lastnosti. Kapacitivnost je odvisna od površine, debeline dielektrika (geometrijski lastnosti) in vrste dielektrika (snovna lastnost). Zato vsaka struktura, s katero realiziramo upor, vsebuje tudi

lastnosti, ki definirajo kondenzator. Ali drugače povedano: nikakor ne moremo realizirati upora, ki ne bi imel nobene parazitne induktivnosti oziroma kapacitivnosti⁸³.

Plast, v kateri je realiziran upor, in okolica tvorita parazitni kondenzator, ki ga lahko obravnavamo kot element s porazdeljeno kapacitivnostjo. Ker je parazitna kapacitivnost proporcionalna površini upora, izbiramo predvsem takšne geometrije, ki imajo čim manjšo površino (ozki upori).

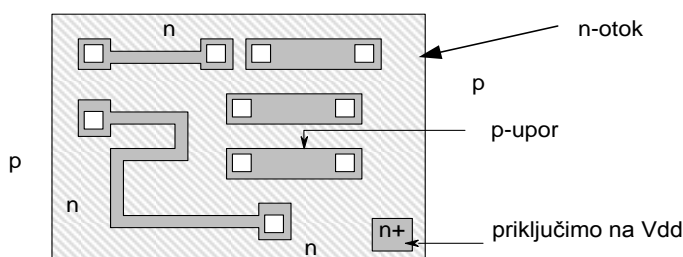


Slika 2.76: Parazitna upornost; (a) struktura upora, (b) nadomestni model. Vir: lasten.

2.9.1.3. Izolacija uporov

Pri difundiranih uporih je v večini primerov izolacija izvedena z reverzno polarizacijo, kar pomeni, da mora biti uporovna plast vedno nasprotne vrste kot okolica. Npr. p-upor mora ležati v n-področju. V bistvu imamo pn-spoj, ki mora biti vedno tako polariziran, da se ne spremeni v diodo, ki prevaja.

Čim več je plasti in čim več je področij, dobljenih z vnašanjem primesi, tem lažje je načrtovanje uporov. Če potrebujemo upore, ki so iste vrste kot substrat, jih je treba umestiti v poseben otok, ki ga priključimo na ustrezno napajalno napetost. Primer namestitve uporov v skupen otok prikazuje slika 2.77.



Slika 2.77: Če imamo p-substrat, p-upore namestimo v n-otok. Vir: lasten.

⁸³ Ker je tretja dimenzija (globina) zanemarljiva v primerjavi z ostalima dimenzijama, lahko parazitne induktivnosti pri integriranih vezjih zanemarimo.

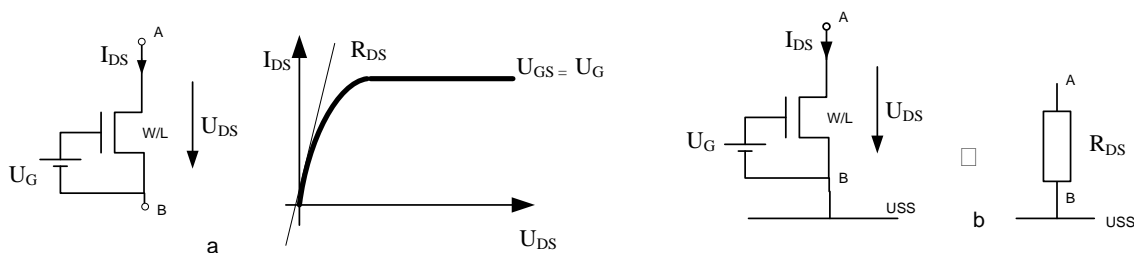
2.9.1.4. MOS upor

Upore lahko napravimo tudi s primerno vezavo MOS tranzistorja. V nadaljevanju bo opisanih nekaj variant MOS uporov.

Varianta 1 – linearen MOS upor. S primerno vezavo MOS tranzistorja lahko dosežemo, da bomo dobili dvopol, ki bo imel vsaj v začetnem delu karakteristike linearen potek. Če med vrata in izvor priključimo konstantno napetost U_G (glej sliko 2.78), v izhodni karakteristiki definiramo parameter U_{GS} . Dobljena karakteristika je sicer v celotnem področju nelinearna, vendar če zagotovimo, da bo U_{DS} majhen, lahko kvadratni člen v enačbi, ki opisuje triodno območje, zanemarimo.

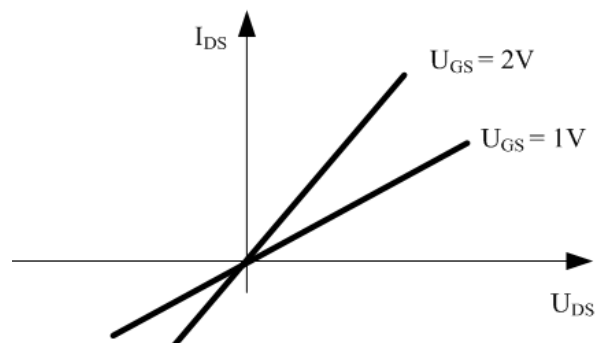
$$I_{DS} \approx k'_n \frac{W}{L} [(U_G - U_m)U_{DS}] = \frac{U_{DS}}{R_{DS}} \quad (2.20)$$

$$R_{DS} = \frac{1}{k'_n \frac{W}{L} (U_G - U_m)} \quad (2.21)$$



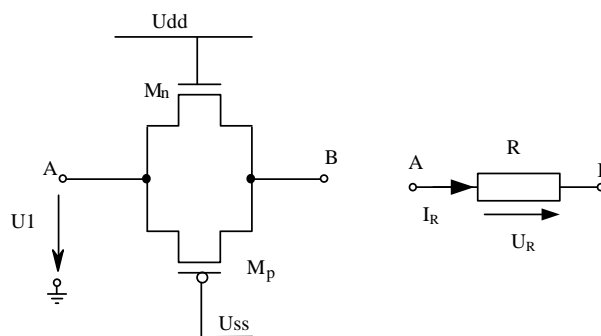
Slika 2.78: Prva varianta linearnega MOS upora. Ker je najlažje ustvariti referenčno napetost U_G proti masi ali pa proti napajalni napetosti, je sponka B stalno vezana na USS ali pa na UDD. Vir: lasten.

V bistvu smo dobili napetostno krmiljen upor $R_{DS} = f(U_{GS})$ (glej sliko 2.79), ki ga lahko uporabimo pri načrtovanju modulatorja, pri raznih regulacijah in kot napetostno krmiljeno stikalo. Prva slaba stran tega upora je, da ja njegova upornost odvisna od stabilnosti U_{GS} . Najbolj pogosta in preprosta izvedba vira U_G je z upornim delilnikom napetosti, kar pomeni, da je ena sponka upora vezana na USS ali UDD (2.78).



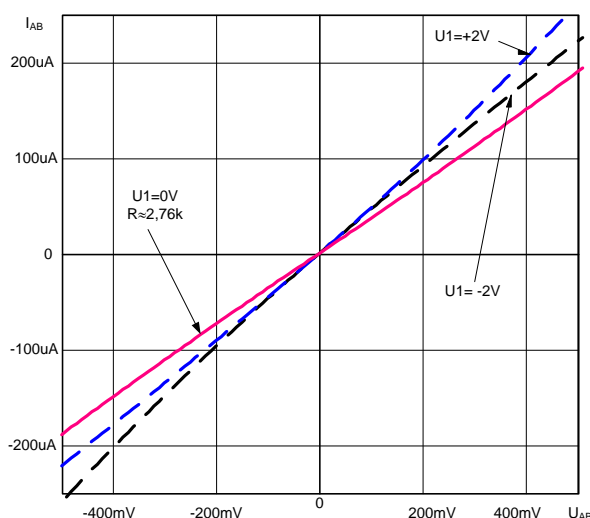
Slika 2.79: Za majhno napetost U_{DS} je karakteristika MOS upora s slike 2.78 približno linearna. Vir: lasten.

Varianta 2 - linearen MOS upor. Če se napetost na sponki A oziroma B ne bo bistveno spreminjala, lahko vrata vežemo kar na napajalno napetost. Področje linearnosti lahko razširimo s paralelno vezavo komplementarnega tranzistorja, ki nelinearno karakteristiko delno kompenzira. Komplementarni tranzistor dobimo s pomočjo PMOS tranzistorja, ki ima približno dvakrat večjo širino ali pa dvakrat krajšo dolžino. Na karakteristiko vpliva tudi potencial U_1 (slika 2.81) in body pojav. Pogosto se ta varianta uporablja⁸⁴ kot RC člen, kjer sta upor in kondenzator vezana v serijo. Ta člen se uporablja pri frekvenčni kompenzaciji ojačevalnika. Ker gre samo za dinamično upornost pri $I_R = 0$, je na sliki 2.82 narisana njena odvisnost od potenciala U_1 . Dinamična upornost je enaka paralelni vezavi dinamične upornosti MN in MP tranzistorja. Isto strukturo ima tudi CMOS stikalo, ki ga bomo obravnavali kasneje.

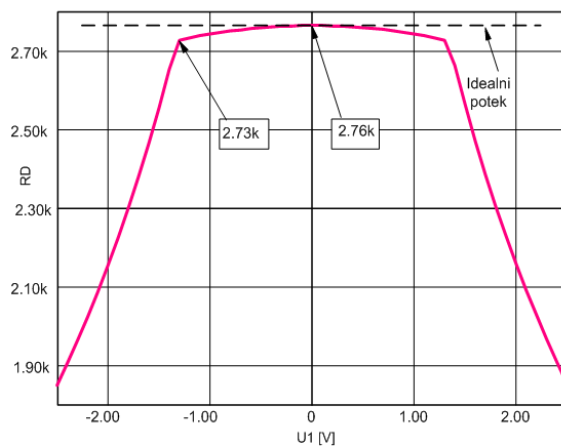


Slika 2.80: S povezavo NMOS in PMOS tranzistorja kompenziramo nelinearnost karakteristike. Obe sponki sta lahko na poljubnem potencialu znotraj U_{dd} in U_{ss} . Vir: [ALLEN,2002].

⁸⁴ Isto vezavo bomo uporabili pri MOS stikalu, ki bo podrobneje opisano v poglavju, ki sledi.

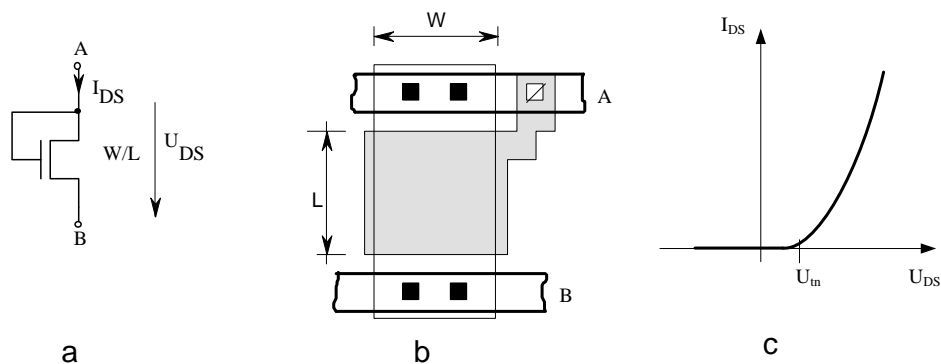


Slika 2.81: I-U karakteristika MOS upora s slike 2.80. ($W_n/L_n = 1$, $W_p/L_p = 3$, $k_n' = 120 \mu\text{A}/\text{V}^2$, $k_p' = 40 \mu\text{A}/\text{V}^2$, $U_{DD} = 2,5 \text{ V}$, $U_{SS} = -2,5 \text{ V}$). Vir: lasten.



Slika 2.82: Dinamična upornost MOS upora s slike 2.80 v točki $I_R = 0$ v odvisnosti od potenciala U_1 . Oster prehod v karakteristiki je posledica preveč enostavnega simulacijskega modela. Vir: lasten.

Varianta 3 - nelinearen MOS upor. Namesto na stalno napetost lahko priključimo vrata kar na ponor (glej sliko 2.83). Krmilna napetost U_{GS} je sedaj kar napetost U_{DS} . Ker je izpolnjen pogoj $U_{DS} \geq U_{GS} - U_m$, deluje tranzistor v področju nasičenja. **Dobljena karakteristika MOS upora je zelo nelinearna, saj je kvadratična.** Ker je podobna karakteristiki bipolarne diode, ji nekateri pravijo **MOS dioda**. Kljub nelinearnosti se MOS upor zelo pogosto uporablja. Pri NMOS tehnologiji je predstavljal celo edino možno realizacijo upora, saj nimamo, razen n^+ , na razpolago nobenih plasti z visoko plastno upornostjo.



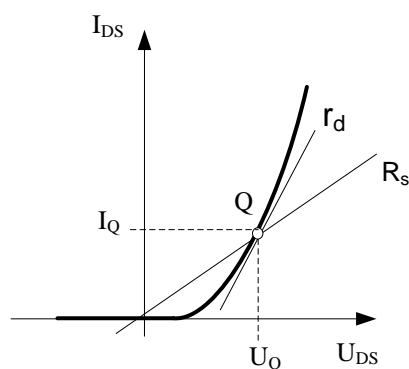
Slika 2.83: Nelinearni MOS upor; (a) vezje, (b) geometrijska struktura in (c) njegova karakteristika. Vir: lasten.

Karakteristiko MOS upora dobimo tako, da v enačbo, ki opisuje izhodno karakteristiko v področju nasičenja, vstavimo identiteto $U_{GS} = U_{DS}$:

$$I_{DS} = \frac{k'_n}{2} \frac{W}{L} (U_{DS} - U_m)^2 \quad (2.22)$$

Takoj vidimo, da je tok odvisen od kvadrata napetosti, kar pomeni, da je zelo nelinearen. MOS uporu pravimo tudi **aktivni upor** (active load), kljub temu da ta upor ne ustreza definiciji o aktivnosti rezistivnih elementov⁸⁵. Ime pač poudarja, da gre za upor, ki je napravljen iz aktivnega elementa (tranzistorja). **Ker je MOS upor nelinearen, obstaja statična in dinamična upornost. Obe sta odvisni od delovne točke in same karakteristike** (glej sliko 2.84).

Statična upornost v točki Q: $R_s = U_Q / I_Q$

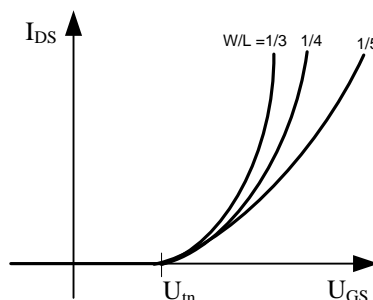


Slika 2.84: Statična (R_s) in dinamična upornost (r_d) nelinearnega MOS upora. Vir: lasten.

⁸⁵ Aktivni rezistivni elementi so sposobni dajati moč. Del njihove karakteristike je v 2. oziroma 4. kvadrantu.

Dinamična prevodnost v točki Q je vrednost odvoda:

$$g_d = \frac{\Delta I_{DS}}{\Delta U_{DS}} = \frac{\partial I_{DS}}{\partial U_{DS}} = k'_n \frac{W}{L} (U_{DSQ} - U_m) \equiv g_{21} \quad (2.23)$$



Slika 2.85: Karakteristika MOS upora s slike 2.83 v odvisnosti od razmerja dimenzij. Vir: lasten.

Kadar nas zanimajo odzivi na vzbujanje z majhnimi signali, uporabljamo dinamično upornost in tako analizo poenostavimo. Namesto statične upornosti lahko navedemo, kolikšen padec napetosti želimo pri izbranem toku.

Pri padcih napetosti, ki so precej večji od pragovne napetosti U_t , je bolje, da vežemo več uporov zaporedno. Slaba stran te rešitve je bode pojav in povečanje temperaturne odvisnosti. Vrednosti zaporedno vezanih uporov izberemo tako, da bodo padci na njih le malo večji od krmilne napetosti. Na ta način bomo porabili najmanj površine. Z naslednjim zgledom bomo omenjen problem podrobneje ilustrirali.

Zgled 1

Kolikšne naj bodo dimenzije MOS upora, če želimo, da bo pri toku $10 \mu\text{A}$ na njem padec 3 V . Podatki so naslednji: $k' = 40 \mu\text{A}/\text{V}^2$, $U_t = 1 \text{ V}$. Minimalna širina oziroma dolžina vrat je $1 \mu\text{m}$.

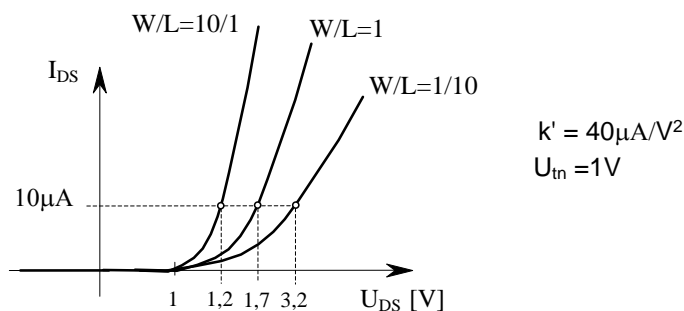
1. varianta: upor realiziramo z enim tranzistorjem.

Iz enačbe 2.22 izračunamo $W/L = 1 \mu\text{m}/8 \mu\text{m}$. Površina tranzistorja je malo večja⁸⁶ od $8 \mu\text{m}^2$.

2. varianta: upor realiziramo z več zaporednimi MOS tranzistorji.

⁸⁶ Pri izračunu celotne površine nismo upoštevali površine kontaktov.

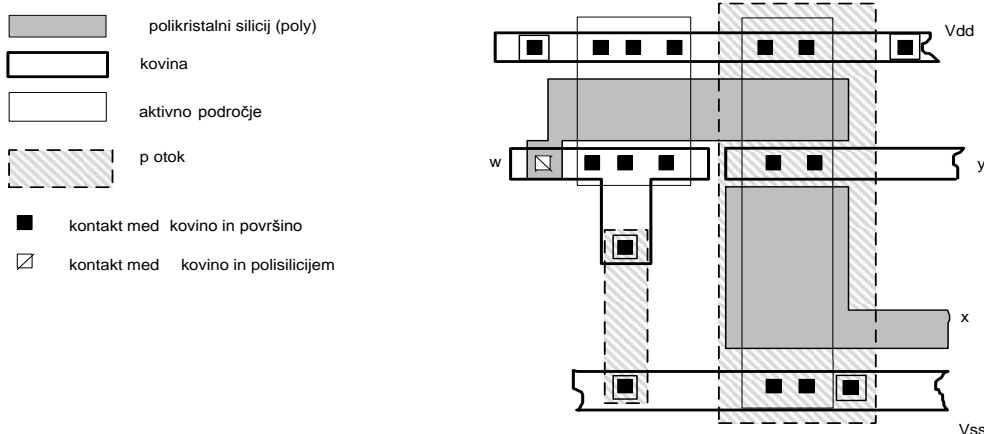
Iz enačbe 2.22 izračunamo, kolikšen je lahko padec napetosti na enem MOS uporu, ki ima minimalne dimenzije⁸⁷ (npr. $W/L = 1$). Za naš primer je to $U_{GS} = 1,7V$. Možnih je več rešitev. Ena je ta, da izberemo dva upora, pri katerih se na vsakem ustvari padec napetosti $1,5 V$ pri toku $10\mu A$. Iz enačbe 2.22 sedaj izračunamo dimenzije: $W/L = 2 \mu m/1 \mu m$. Površina obeh tranzistorjev bo malo večja od $4 \mu m^2$.



Slika 2.86: Povezava med dimenzijami oziroma površino MOS upora in padcem napetosti pri toku $10\mu A$. Vir: lasten.

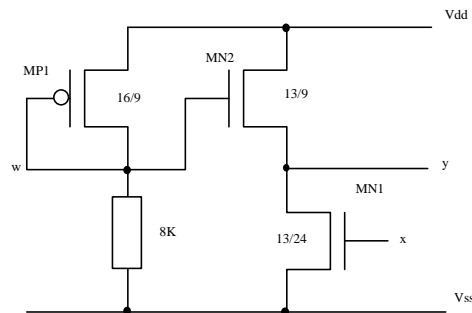
Zgled 2

Na sliki je prikazana struktura nekega hipotetičnega integriranega vezja. Nariši ustrezno električno shemo. Označi tudi približne dimenzije tranzistorjev in vrednosti plastnih uporov. Plastna upornost p-otoka je $R_{SH} = 2 K\Omega/\square$.



Slika 2.87: Struktura nekega hipotetičnega vezja. Vir: lasten.

⁸⁷ Minimalne dimenzije so odvisne od tehnologije.

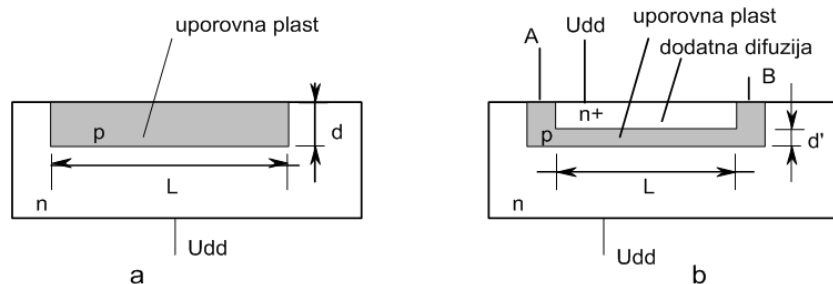


Slika 2.88: Ekvivalentno električno vezje, ki ustreza strukturi s slike 2.87. Dimenzije so približno izmerjene z ravnalom in zaokrožene. Vir: lasten.

Vrednost upora $R = R_{SH} \cdot L/W = 2 \cdot 16/4 = 8K$. Tranzistor MP1 je nelinearni MOS upor.

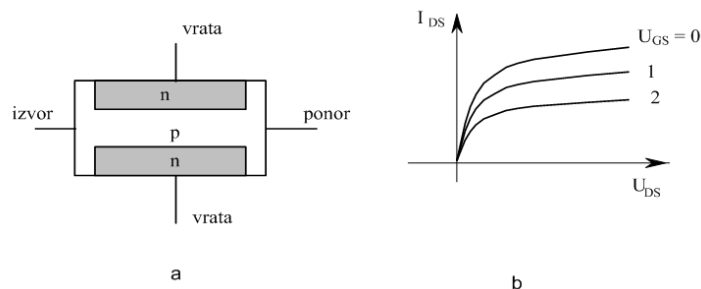
2.9.1.5. Preščipnjen upor

Visoke upornosti lahko dosegamo na dva načina: z ozkimi in ustrezno dolgimi upori in s plastmi, ki imajo visoko plastno upornost. Teoretično lahko s plastmi, ki jih imamo na razpolago, realiziramo poljubno visoko upornost. Ker je globina plasti d za načrtovalca konstanta, jo lahko zmanjšamo z dodatno plastjo oziroma difuzijo (glej sliko 2.89 b). V primeru p-otokov, uporabimo n^+ -difuzijo. Na ta način dobimo strukturo, ki jo imenujemo preščipnjen upor (pinch resistor). Če primerjamo dobljeno strukturo s spojnim FET-om (glej sliko 2.90 a), vidimo, da je preščipnjen upor v bistvu FET, ki ima na vrata priključeno stalno napetost (običajno je to napajalna napetost ali pa je krmilna elektroda povezana z izvorom - $U_{GS} = 0$). Njegova karakteristika je zelo nelinearna in podobna MOS uporu, ki ima na krmilno elektrodo priključeno konstantno napetost. Razlika med obema je v tem, da je U_{GS} pri MOS uporu obvezna⁸⁸, pri preščipnjenem pa je lahko kar nič (glej sliko 2.90 b). Hkrati z nelinearnostjo je njegova slabost tudi veliko tolerančno območje.



Slika 2.89: (a) p-upor; (b) preščipnjen upor. p-plast je stanjšana z n^+ -difuzijo oziroma ionsko implantacijo. Vir: [FURLAN2,1988].

⁸⁸ Izjema je MOS upor, napravljen s tranzistorjem, ki ima vgrajen kanal.



Slika 2.90: Poenostavljena struktura FET tranzistorja (a); izhodna karakteristika FET tranzistorja (b). Preščitnjen upor ima karakteristiko, ki ustreza $U_{GS} = 0$ ali pa $U_{GS} = U_{DD}$. Vir: lasten.

2.9.2. KONDENZATOR

V začetnem obdobju integriranih vezij so načrtovalci potrebovali kondenzatorje le pri analognih vezjih. Novejši pristopi, ki temeljijo na SC vezjih⁸⁹, dajejo kondenzatorju zelo pomembno vlogo tudi v digitalnih oziroma analogno-digitalnih vezjih, saj jih lahko zelo natančno izdelamo. Odlikujejo se tudi po zelo majhni temperaturni občutljivosti (približno 50ppm/°C), ki je približno 5-krat nižja kot pri uporih. **Med vsemi primitivnimi elementi je prav kondenzator element, ki ga lahko najbolj natančno izdelamo in ima najbolj stabilno karakteristiko.**

Kondenzator lahko napravimo na dva načina:

- uporabimo dve prevodni plasti, med katerima je dielektrik,
- uporabimo kapacitivnost pn-spoja⁹⁰.

Tabela 2.7: Približne vrednosti medplastnih kapacitivnosti v 0,8 μm CMOS procesu.
Vir: [ALLEN,2005]

	kapacitivnost	relativne tolerance	absolutne tolerance	temperaturni koeficient	napetostni koeficient
MOS kondenzator	2,2-2,7 fF/ μm^2	0,05 %	± 10 %	50 ppm/°C	50 ppm/V
Poy/poly	0,8 – 1,0 fF/ μm^2	0,05 %	± 10 %	50 ppm/°C	50 ppm/V
Kovina 1 /poly	0,021-0,025 fF/ μm^2	1,5 %	± 10 %	-	-
Kovina 2/kovina 1	0,021-0,025 fF/ μm^2	1,5 %	± 10 %	-	-

⁸⁹ Switched Capacitor Circuits.

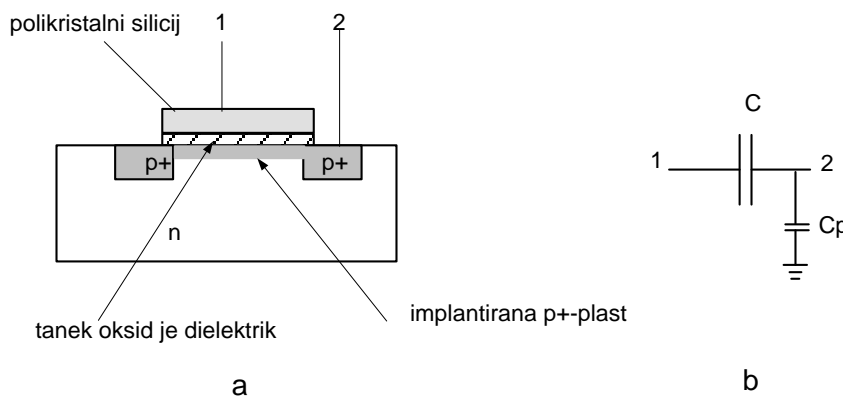
⁹⁰ Ker je nelinearna in ker zahteva negativno napetost, se danes redko uporablja.

Kondenzator z dielektrikom. Sestavljen je iz dveh prevodnih plasti, ki sta ločeni z dielektrikom. Njegovo kapacitivnost in geometrijske ter snovne lastnosti opisuje znana enačba:

$$C = \frac{\epsilon_{ox} \cdot S}{d} = C_{ox} \cdot S \quad (2.24)$$

Podobno kot pri uporih je kvocient ϵ_{ox}/d za določeno plast konstanten in ga zato imenujemo *plastna kapacitivnost* C_{ox} . Pri enostavni CMOS tehnologiji imamo na razpolago naslednje možnosti za realizacijo kondenzatorja:

- Zgornja plast je polikristalni silicij, dielektrik je tanek oksid, druga elektroda kondenzatorja je kanal. V bistvu gre za MOS tranzistor, ki mu z dodatno implantacijo⁹¹ pod tanek oksid vgradimo tanko prevodno plast (glej sliko 2.91). C_{ox} je približno⁹² $3\text{fF}/\mu\text{m}^2$ do $0,3\text{fF}/\mu\text{m}^2$. Slabost tega MOS kondenzatorja je tudi njegova nelinearnost, saj se kapacitivnost spreminja v odvisnosti od napetosti.
- Za obe prevodni plasti uporabimo polikristalni silicij⁹³ oziroma kovinske plasti. C_{ox} je približno $0,8$ do $1\text{fF}/\mu\text{m}^2$ [ALLEN,2002]. Tipični kondenzatorji so: polikristalni silicij-kovina ali polikristalni silicij 1 - polikristalni silicij 2.



Slika 2.91: Struktura MOS kondenzatorja (a) in njegov nadomestni model (b).
Vir: [ALLEN,2002].

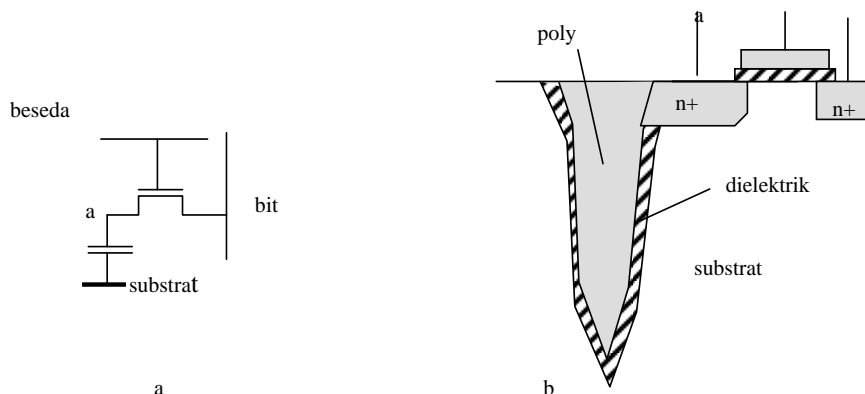
V obeh primerih se ne moremo izogniti dodatnemu parazitnemu kondenzatorju C_p , ki nastane med elektrodo kondenzatorja in substratom (glej sliko 2.91 b). Zaradi nizke plastne kapacitivnosti se moramo pri načrtovanju zadovoljiti z relativno nizkimi kapacitivnostmi. Npr. za kondenzator 1pF potrebujemo približno $2000\mu\text{m}^2$.

⁹¹ Dodaten procesni korak!

⁹² To območje dobimo, če je debelina tankega oksida (SiO_2) v intervalu 10nm do 100nm .

⁹³ Poly/poly capacitor.

Površino kondenzatorja lahko povečamo tudi tako, da je postavljen vertikalno (trench capacitor). Pri načrtovanju DRAM-ov je informacija shranjena na kondenzatorju, ki ima kapacitivnost 35-45fF. Ker ima kondenzator vertikalno strukturo, so s tem zelo prihranili na površini.

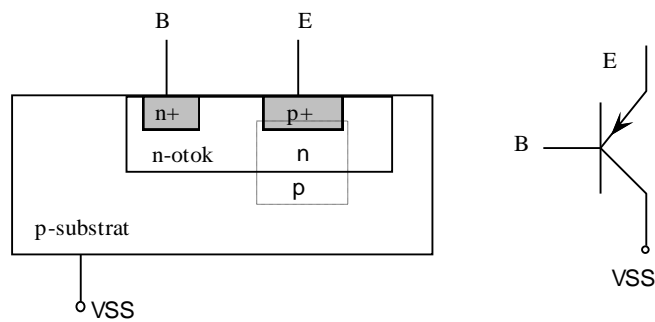


Slika 2.92: Pomnilna celica v DRAM-u (a) in presek strukture (b), ki pa ni narisan v ustreznem merilu. Struktura v obliki klina je vertikalni kondenzator. Vir: [UYEMURA,1995].

2.9.3. BIPOLARNI TRANZISTOR

Kljub temu, da je predhodno obravnavana CMOS tehnologija optimizirana za izdelavo MOS tranzistorjev, je z njo mogoče izdelati tudi bipolarne tranzistorje⁹⁴, vendar le takšne, ki imajo kolektor vezan na substrat. Če imamo n-otoke, lahko izdelamo PNP, sicer pa le NPN bipolarni tranzistor. Ker je kolektor (substrat) vezan na napajalno napetost, ga lahko uporabljamo le v orientaciji s skupnim kolektorjem (emitorski sledilnik). Temu tranzistorju pravimo tudi **substratni tranzistor**. Na sliki 2.93 je prikazan PNP tranzistor, ki ga lahko izdelamo s CMOS tehnologijo z n-otoki. Področje intrinzičnega bipolarnega tranzistorja je posebej označeno s črtkanim okvirjem. Ker so nosilci injicirani v bazo večinoma v vertikalni smeri, ga imenujemo **vertikalni tranzistor**. Ker je na sliki 2.93 točka, v kateri je kolektorska plast priključena na napajalno napetost oddaljena od intrinzičnega tranzistorja, so kolektorski tokovi razpršeni po substratu. Ti tokovi lahko povzročijo vklop parazitnega tiristorja, ki lahko vezje uniči (več o tem glej v nadaljevanju). Temu problemu se izognemo tako, da umestimo enega ali več priključkov čim bližje intrinzičnemu tranzistorju.

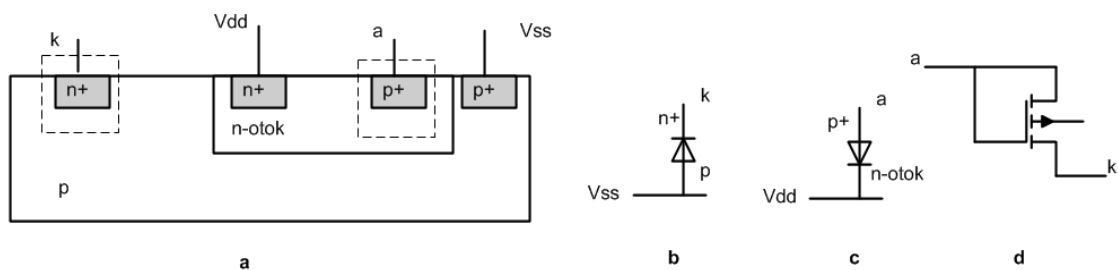
⁹⁴ Več o bipolarnem tranzistorju glej v poglavju [Bipolarna integrirana vezja](#).



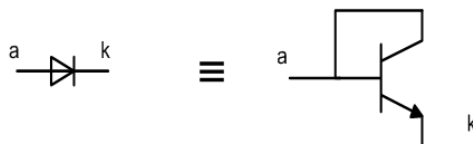
Slika 2.93: Bipolarni substratni tranzistor, ki ga je moč izdelati s CMOS tehnologijo. Vir: lasten.

2.9.4. DIODA

V CMOS tehnologiji ni možno izdelati bipolarnih diod z obema plavajočima elektrodama. Na razpolago imamo le diode, ki imata eno elektrodo vezano na napajalno napetost (slika 2.94 a, b in c). MOS upor je v bistvu dioda s kvadratno karakteristiko in pragovno napetostjo U_T (slika 2.94 d). V bipolarni oziroma v BiCMOS tehnologiji, ki bosta obravnavani kasneje, naredimo diodo z ustreznimi vezanimi bipolarnimi tranzistorjem (slika 2.95).



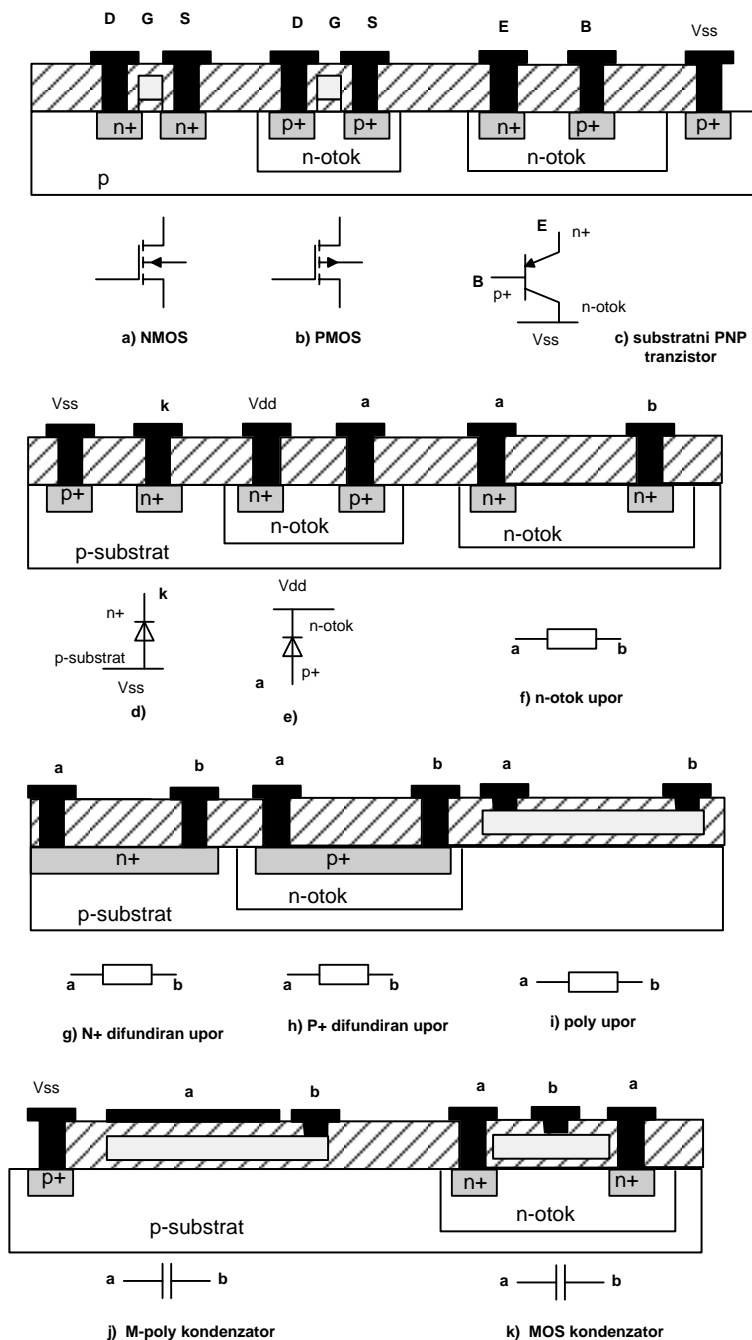
Slika 2.94: Razpoložljive diode v CMOS tehnologiji. Vir: lasten.



Slika 2.95: Realizacija diode v bipolarni tehnologiji. Vir: lasten.

2.9.5. Razpoložljivi elementarni gradniki – tehnologija CMOS N-OTOK

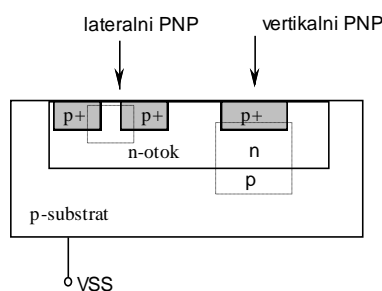
Pestrost gradnikov je za načrtovalca zelo pomembna lastnost določene tehnologije. Na sliki 2.96 je prikazan nabor elementarnih gradnikov, ki jih nudi predhodno obravnavana tehnologija CMOS n-otok, ki ima eno kovinsko in eno polikristalno plast. Največji nabor ima BiCMOS tehnologija, ki bo obravnavana kasneje. Ker lahko tuljavo z nekaj ovoji in nekvaliteten lateralni PNP napravimo prav z vsako tehnologijo, nista posebej narisana.



Slika 2.96: Razpoložljivi elementarni gradniki – tehnologija CMOS n-otok. Vir: lasten.

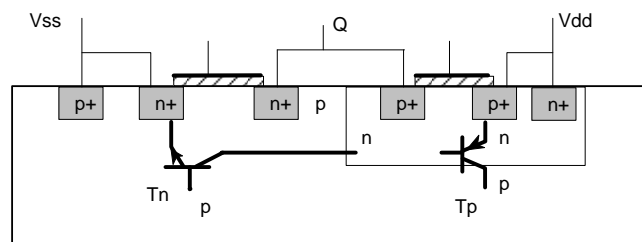
2.10. TIRISTORSKI POJAV V CMOS VEZJIH

Vsaka NPN oziroma PNP struktura je lahko parazitni bipolarni tranzistor. Glede na razdalje (širina baze) in koncentracijo primesi so nekateri parazitni tranzistorji tako slabe kakovosti, da jih pri analizi ni treba upoštevati. Pri določenih pogojih (npr. kadar so pn-spoji blizu drug drugega) lahko dobimo dobre bipolarne tranzistorje, ki lahko znatno oziroma pogubno vplivajo na delovanje vezja. Hkrati s parazitnim vertikalnim tranzistorjem se pojavlja tudi lateralni, to je takšen tranzistor, pri katerem injekcija nosilcev poteka predvsem v vodoravni smeri (glej sliko 2.97).



Slika 2.97: Lateralni in vertikalni bipolarni tranzistor. Vir: [WESTE,2005].

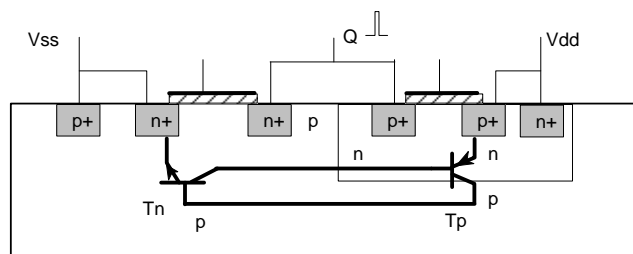
Na sliki 2.98 je prikazan presek CMOS invertorja. Takoj se vidi, da narisane strukture hkrati z dvema MOS tranzistorjema tvorijo tudi nekaj vertikalnih NPN in nekaj lateralnih PNP tranzistorjev. Narisana sta samo dva, ki bosta v nadaljevanju imela poseben pomen.



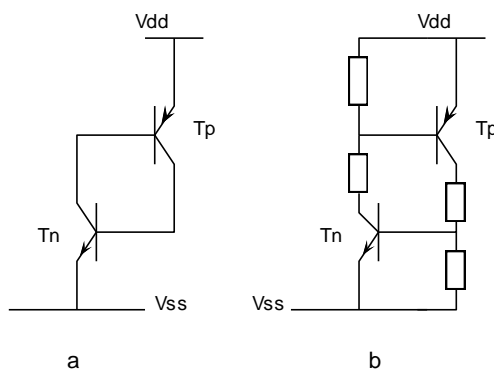
Slika 2.98: Dva izmed parazitnih bipolarnih tranzistorjev. Vir: [WESTE,2005].

Če med tranzistorjema vrišemo še povezave (glej sliko 2.99), vidimo, da sta povezana v vezavo, ki ustreza tiristorju (glej sliko 2.100 a). Tranzistor T_p ima veliko tokovno ojačenje ($h_{FE} = 80 - 500$), medtem ko je lateralni T_n precej slabši ($h_{FE} = 0,01 - 1$). Pri normalnem obratovanju so vsi pn-spoji zaporno polarizirani in oba tranzistorja sta zaprta. Recimo, da je izhod Q priključen na zunanjo napetost, ki za trenutek (npr. napetostna konica) naraste nad napetost V_{dd} za več kot 0,6 V. V tistem trenutku je spoj p^+ -substrat polariziran v prevodni smeri in proti V_{dd} v n-otoku steče tok, kar pomeni, da so v bazo T_p injicirane vrzeli. Zaradi tega se za trenutek za malenkost poveča kolektorski tok tranzistorja T_p , ki povzroči povečanje kolektorskega toka T_n . Kljub temu da je napetost na izhodu Q padla pod V_{dd} , se ta proces

nadaljuje, saj gre za pozitivno povratno vezavo, ki v trenutku povzroči, da oba tranzistorja začneta močno prevajati. Tako nastane skoraj kratek stik med obema napajalnima napetostima. **Posledica je katastrofalna - prevelik tok uniči vezje.** Ker lahko ta pojav modeliramo s tiristorskim modelom, ga imenujemo tiristorski pojav (latch-up). V smislu parazitnih elementov bi lahko govorili tudi o parazitnem tiristorju.



Slika 2.99: Parazitna tranzistorja sta med seboj povezana v vezavo, ki ustreza modelu tiristorja. Vir: [WESTE,2005].



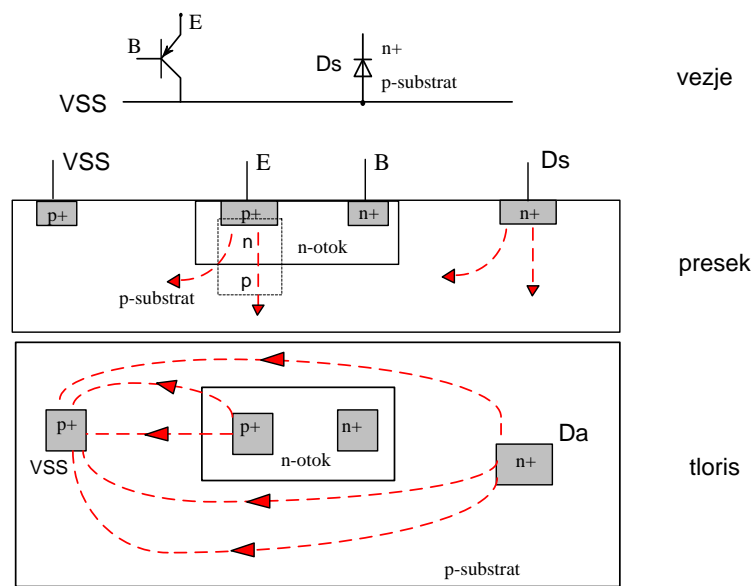
Slika 2.100: Električni model, ki ustreza vezavi parazitnih tranzistorjev; (a) poenostavljen, (b) z dodanimi parazitnimi upornostmi. Vir: [WESTE,2005].

Za zmanjšanje verjetnosti nastopa tiristorskega pojava uporabljamo vrsto pristopov, od katerih navajamo samo nekatere (več o tem glej v [WESTE,2005]):

1. povečanje razdalje med tranzistorji,
2. ustrezno dopiranje in dodatne plasti,
3. omejevanje toka v substratu (področje, v katerem teče tok v substratu, naj bo čim bolj omejeno),
4. varnostni obroči⁹⁵
5. zaščitne diode na vhodih in
6. električna ločitev PMOS tranzistorjev od NMOS.

Analiza električnega modela s slike 2.100 nam pove, da povratna vezava med T_p in T_n preide v pozitivno, če je produkt tokovnih ojačenj obeh tranzistorjev večji od 1. Mnoge rešitve zato temeljijo na zmanjšanju ojačenj obeh tranzistorjev. To lahko storimo s povečanjem širine baz in z večjo razdaljo med NPN in PNP tranzistorji.

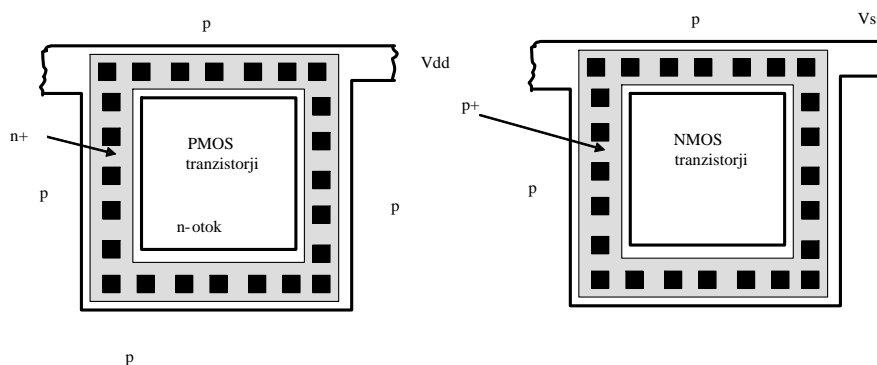
⁹⁵ Angl.: guard rings.



Slika 2.101: Če imamo substrat priključen samo v eni točki, se pojavijo substratni tokovi pri substratnem tranzistorju in substratni diodi D_s . Vir: [WESTE,2005].

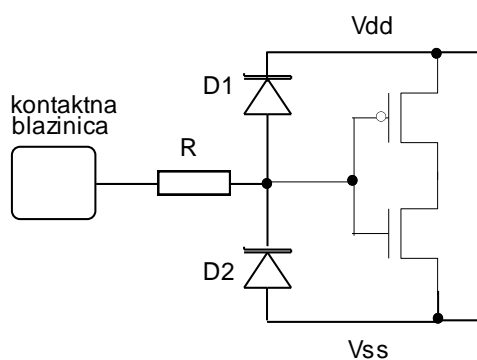
Naslednji pristop temelji na ideji, da je treba poloviti nosilce, ki so se preveč oddaljili od svojega vira. Posebej so nevarne diode, katerih ena elektroda je substrat oziroma otok in substratni tranzistor (glej sliko 2.101).

S priključevanjem substrata na napajalno napetost na čim več mestih prostorsko omejujemo tokove v substratu. Na podobni ideji temeljijo varnostni obroči. Tavajoče nosilce polovimo tako, da okrog p-otoka namestimo močno dopiran obroč, ki ga priključimo na V_{ss} (glej sliko 2.102). Le-ta pritegne nase vse pozitivne nosilce (vrzeli) in tako prepreči, da bi prišli v p-otok oziroma v bazo parazitnega PNP tranzistorja. Podobno lahko ogradimo tudi n-kanalne MOS tranzistorje in substratne diode. Ker parazitna upornost med napajalno napetostjo in obročem zmanjšuje uspešnost pobiranja blodečih nosilcev, priključimo obroč s čim več kontakti na kovinsko povezavo, ki je povezana z napajalno napetostjo.



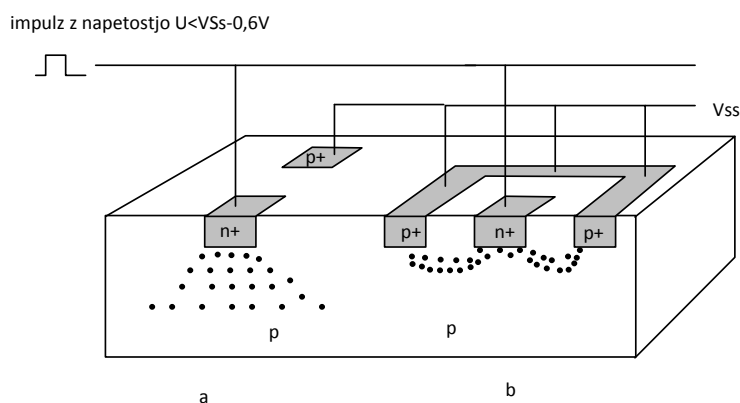
Slika 2.102: Varnostni obroči. Znotraj obroča so tranzistorji zaščiteni pred nosilci, ki tavajo po substratu. Vir: [UYEMURA,1995].

Vhodni tranzistorji v perifernem področju oziroma v vhodnih celicah ali gradnikih⁹⁶ so zelo izpostavljeni elektrostaticnemu naboju. Tipična zaščita je sestavljena iz upora R (polikristalni silicij) in dveh diod (glej sliko 2.103), ki sta vezani na napajalni napetosti. Pri napetosti, ki je višja od Vdd, začne prevajati D1, pri napetosti, ki je nižja od Vss pa D2. Tokovi, ki tečejo proti mestu, kjer je priključena napajalna napetost, so potencialni iniciatorji tiristorskega pojava. To nevarnost zmanjšamo z varnostnim obročem, ki ga namestimo okrog diod (glej sliko 2.104 b).



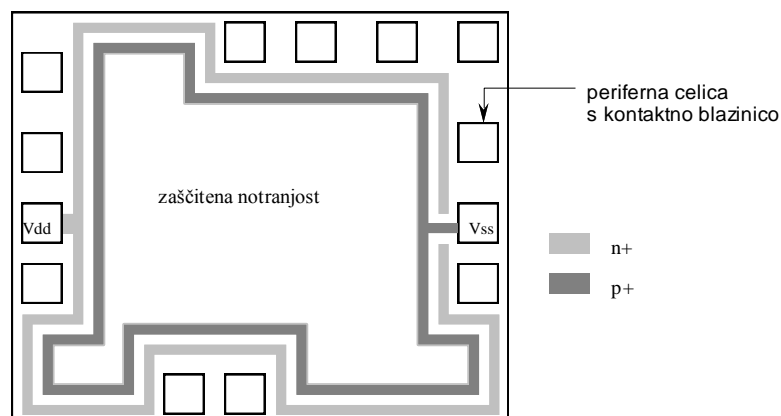
Slika 2.103: Vhodni del periferne celice v digitalnem vezju. Tipično zaščitno vezje tvorijo: R (polikristalni upor), D1 in D2. Vir: [UYEMURA,1995].

Tudi na izhodnih priključkih se lahko zgodi, da zunanja motnja preseže napajalno napetost. Ker so vhodne in izhodne celice najbolj izpostavljene tiristorskemu pojavu, jih posebej zaščitimo, notranjost čipa pa ogradimo z dvema zaščitnima obročema (glej sliko 2.105).



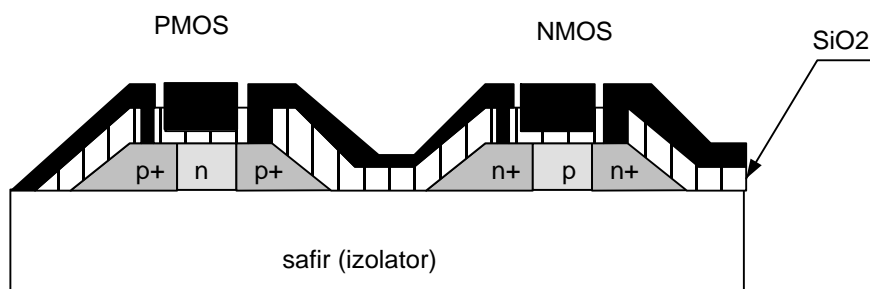
Slika 2.104: Dioda, ki generira tavajoče nosilce (a) in dioda z dodatnim obročem, ki prepreči tavanje nosilcev (b). Vir: [UYEMURA,1995].

⁹⁶ Vhodni oziroma izhodni gradniki (ali periferni gradniki) so posebni invertorji, ki povezujejo kontaktno blazinico z ostalim vezjem. Ker so na vhodu oziroma na izhodu, morajo ustrezati posebnim zahtevam.



Slika 2.105: Zaščitni obroči med perifernimi celicami in notranjostjo čipa. Vir: [UYEMURA,1995].

Pravkar opisani postopki samo zmanjšujejo verjetnost tiristorskega pojava. Najbolj uspešna in tudi najdražja je seveda metoda, pri kateri sta tranzistorja električno izolirana drug od drugega (glej sliko 2.106). Vsak načrtovalec se glede na izkušnje in zahtevano zanesljivost odloči, katere metode bo uporabil. Kljub temu da so varnostni obroči zelo uspešni, pogosto srečujemo kombinirane pristope.

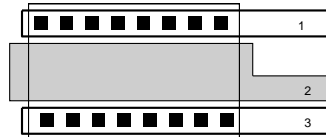


Slika 2.106: SOS CMOS tehnologija (Silicon On Sapphire CMOS)⁹⁷. Vir: O. Kononchuk, B-Y Nguyen: *Silicon-On-Insulator (SOI) Technology: Manufacture and Applications*, Elsevier, 2014.

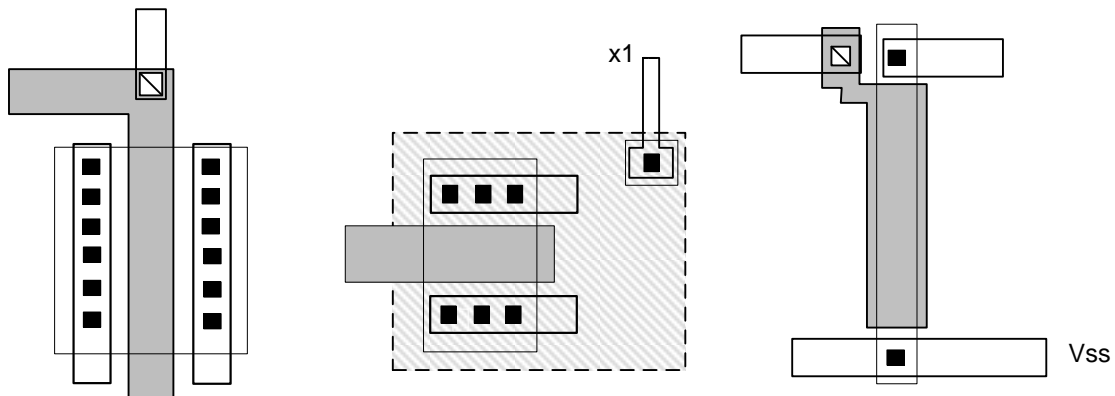
⁹⁷ Splošno ime za tehnologijo te vrste je SOI (Silicon On Insulator).

2.11. VPRAŠANJA IN NALOGE






1. Določi W/L za vsak tranzistor na slikah 2.25, 2.27, 2.29.
2. Nariši vse maske, ki so potrebne za izdelavo narisane PMOS tranzistorja (tehnologija p-otoki, polikristalna vrata).

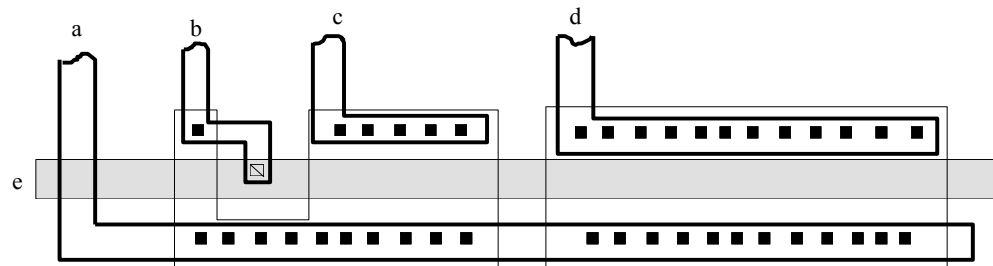


3. Nariši geometrijsko strukturo NMOS tranzistorja z dimenzijami $W/L = 1/3$ in $W/L = 3/1$. Geometrijska struktura naj bo orientirana v smeri vzhod – zahod. Substrat je p.
4. Nariši geometrijsko strukturo PMOS tranzistorja z dimenzijami $W/L = 2/5$. Geometrijska struktura naj bo orientirana v smeri sever – jug. Substrat je p.
5. Določi tip in dimenzije tranzistorjev, če je
 - a. substrat je p in
 - b. substrat je n.

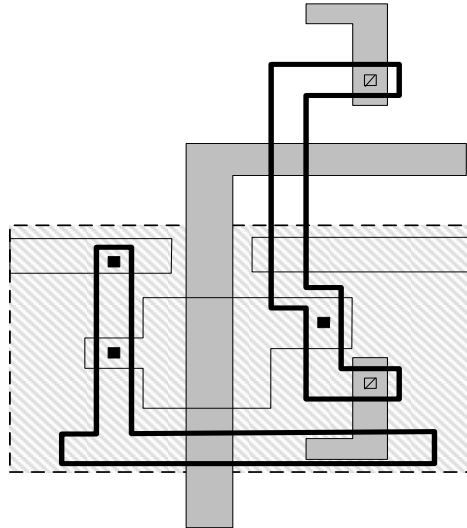


6. Nariši ustrezno električno shemo. Določi dimenzije tranzistorjev.

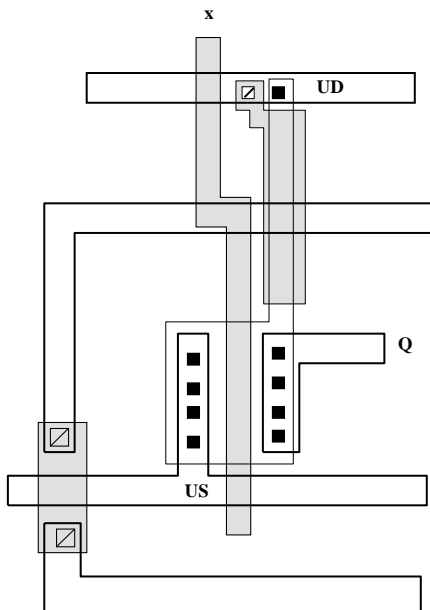
- Legenda:
-  poly
 -  difuzija
 -  metal
 -  kontakt
 -  p-otok



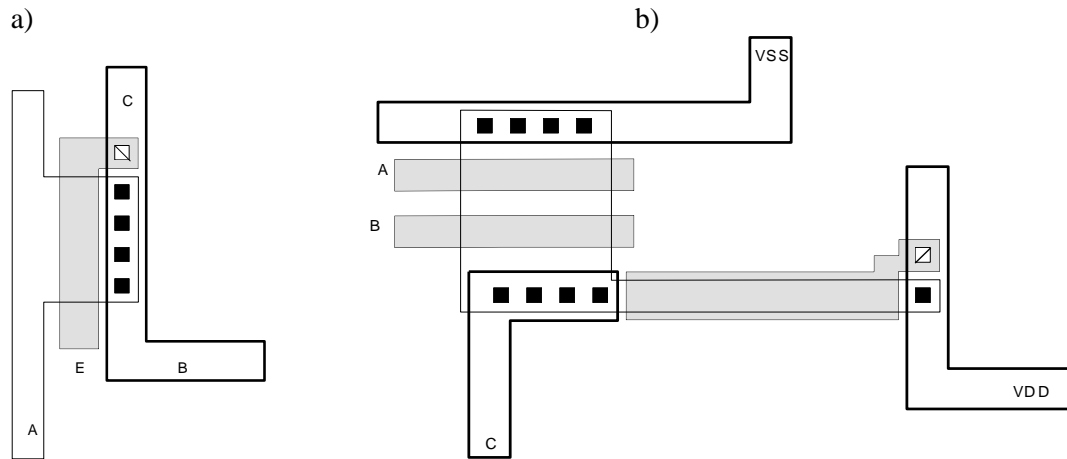
7. Nariši ustrezno električno shemo. Določi dimenzije tranzistorjev. (Substrat je n.)



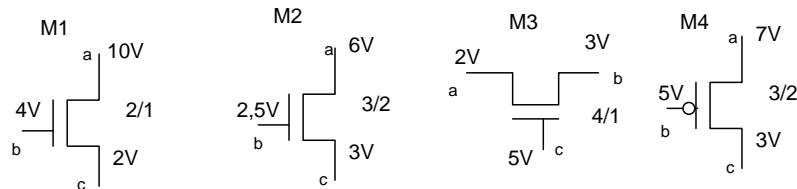
8. Nariši ustrezno električno shemo. Določi dimenzije tranzistorjev. (Substrat je p.)



9. Na sliki sta prikazani dve geometrijski strukturi. Nariši ekvivalentni vezji na nivoju tranzistorjev. Dodaj tudi približne dimenzije (razmerje W/L) tranzistorjev. (Substrat je p.)



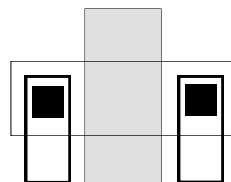
10. Za vsak tranzistor izračunaj delovno točko. $U_{tn} = 1V$, $k'_n = 50\mu A/V^2$, $U_{tp} = -1V$, $k'_p = 20\mu A/V^2$.






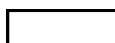
11. Pri kolikšni U_{GS} je napetost nasičenja 5V? Kolikšen tok takrat teče?

Podatki:

NMOS tranzistor
 $U_t = 1,2V$
 $k' = 40 \mu A/V^2$



Legenda:

polikristalni silicij	
kontakt	
difuzija	
kovina	

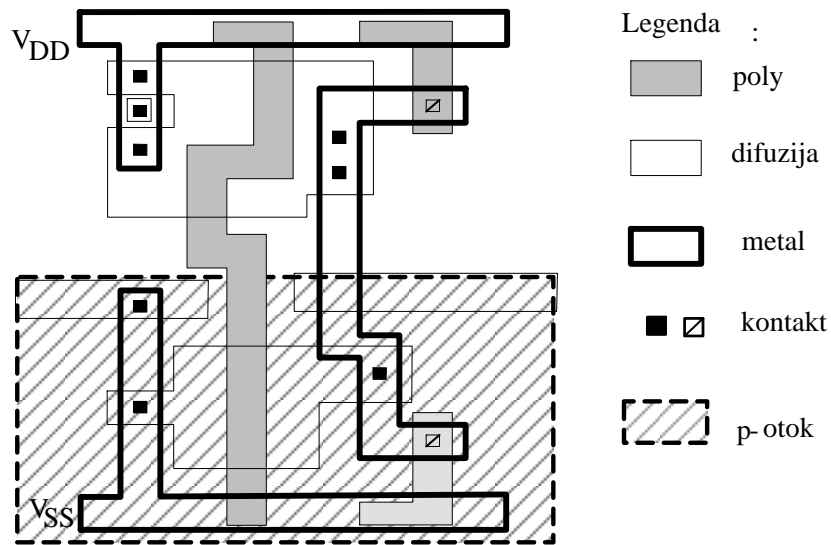
12. Kolikšne dimenzije mora imeti tranzistor iz prejšnje naloge, če želimo maksimalni tok 1,5mA?

13. Imamo NMOS tranzistor z dimenzijami 20/5, $k'_n = 40 \mu A/V^2$, $U_t = 1V$. Nariši izhodno ($U_{GS} = 1, 2, 3, 4 V$ in $0 < U_D < 10V$) in prenosno karakteristiko ($U_{GS} = 1, 2, 3, 4 V$ in $U_{DS} = 2, 4 V$).

14. Kako se spreminja $U_{DS}(sat)$ v odvisnosti od dimenzij W/L ? Parameter naj bo maksimalni tok v področju nasičenja (λ zanemari).

15. Spodaj je narisana vsebina neke standardne celice⁹⁸. Poišči NMOS tranzistor in izračunaj maksimalni tok I_{DS} ($k'_n = 40 \mu A/V^2$, napajalna napetost je 5 V, $U_{tn} = 1 V$), če so njegova vrata priključena na napajalno napetost VDD.

⁹⁸ Več o standardnih celicah je v poglavju [Načrtovanje s \(standardnimi\) celicami](#).

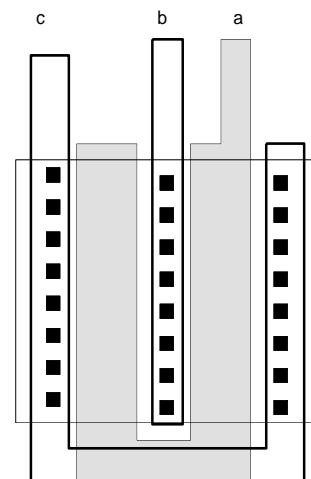


16. Nariši ekvivalentno električno vezje in izračunaj, kolikšen je lahko maksimalni tok skozi priključka c in b, če je $U_{cb}=10\text{ V}$, $U_{ab}=4\text{ V}$.

Procesni podatki:

$$U_{tn} = 1\text{ V}$$

$$k'_n = 40\mu\text{A/V}^2$$



17. Tranzistor ima enako strukturo in enake napetosti kot pri prejšnji nalogi. Izračunaj maksimalni tok in $U_{DS(sat)}$, če je $U_{tn} = -1\text{ V}$, $k'_n = 40\mu\text{A/V}^2$.

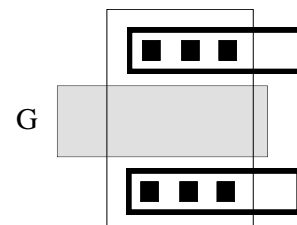
18. Izračunaj dinamično izhodno upornost tranzistorja NMOS v delovni točki.

$$k' = 35\mu\text{A/V}^2$$

$$U_{GS} = 5\text{ V}$$

$$U_t = 1\text{ V}$$

$$U_{DS} \ll U_{GS}$$



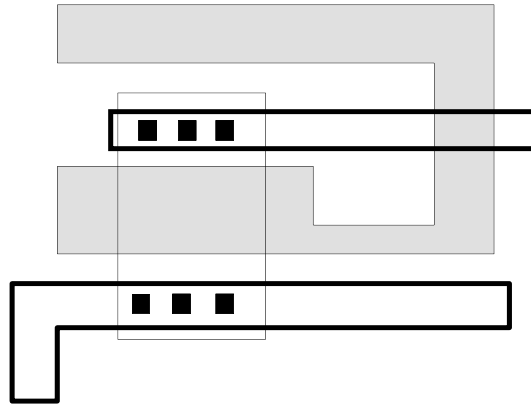
19. Izračunaj strmino prenosne karakteristike in izhodno dinamično upornost NMOS tranzistorja v delovni točki.

$$k' = 35 \mu\text{A}/\text{V}^2$$

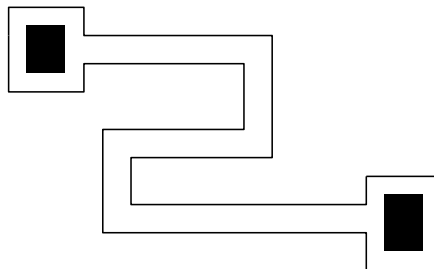
$$U_{\text{GS}} = 5\text{V}, U_t = 1\text{V}$$

$$U_{\text{DS}} = 4,5\text{V}$$

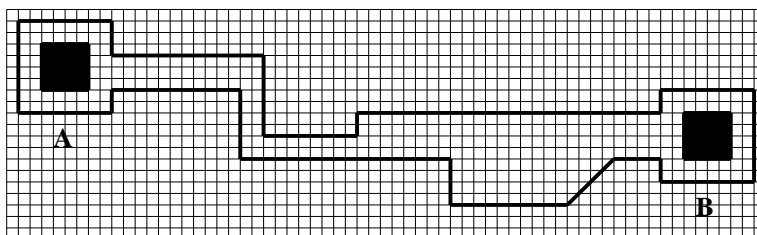
$$\lambda = 1/50 \text{V}^{-1}$$



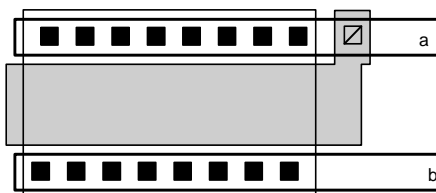
20. Kolikšna je vrednost narisane monolitnega upora? $R_{\text{SH}} = 200\Omega/\square$. k_R za kontakte in vogalne elemente je 0,5.



21. Projektiraj in nariši geometrijsko strukturo difuzijskega upora 20K , ki je a.) brez prelomov in b) ima dva preloma. $R_{\text{SH}} = 2\text{K}\Omega/\square$. k_R za kontakte in vogalne elemente je 0,5.
22. Izračunaj upornost polisilicijeve povezave med kontaktoma A in B. Plastna upornost $R_{\text{SH}} = 50\Omega/\square$. k_R za kontakte je 0,5.



23. Nariši karakteristiko prikazane strukture ($k_n' = 40\mu\text{A}/\text{V}^2$, $U_{\text{tn}} = 1\text{V}$). Kako vplivajo dimenzije tranzistorja na karakteristiko?



24. Projektiraj nelinearni MOS upor (slika 2.83), ki bo imel pri 2V statično upornost 10K.

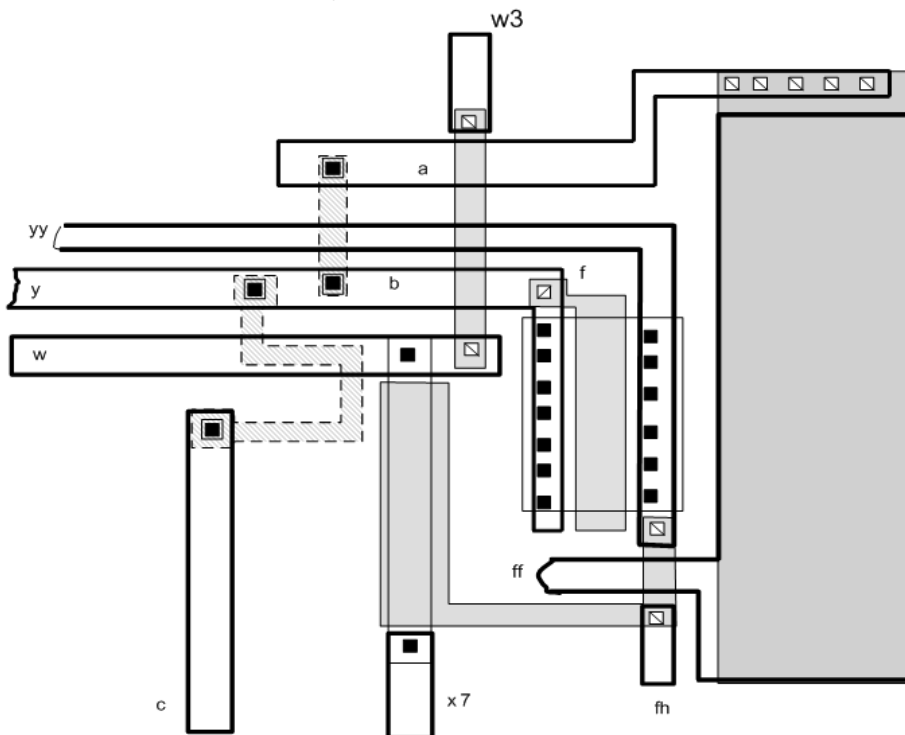
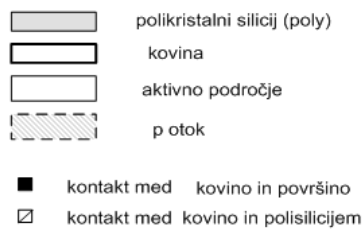
$$k_n' = 40\mu\text{A}/\text{V}^2, U_{\text{tn}} = 1\text{V}.$$

25. Projektiraj nelinearni MOS upor, na katerem bo pri 10 μA padec napetosti 8V. Ostali podatki so enaki kot pri prejšnji nalogi.

26. Projektiraj linearni MOS upor, ki je sestavljen iz NMOS in PMOS tranzistorja in ima obe sponki plavajoči. Njegova upornost naj bo 10K. $U_{\text{DD}} = 5\text{V}$, $U_{\text{SS}} = -5\text{V}$, $k_n' = 40\mu\text{A}/\text{V}^2$, $U_{\text{tn}} = 1\text{V}$, $k_p' = 20\mu\text{A}/\text{V}^2$, $U_{\text{tp}} = -1\text{V}$, $\gamma_n = \gamma_p = 0,5\text{V}^{1/2}$. Potencial sponk bo približno 0V.

27. Projektiraj linearni MOS upor, ki je sestavljen samo iz enega NMOS tranzistorja in ima obe sponki plavajoči. Njegova upornost naj bo $10\text{K} \pm 10\%$. Potencial sponk naj bo na približno 0V, napetost na uporju pa ne bo večja od 0,2V. $U_{\text{DD}} = 5\text{V}$, $U_{\text{SS}} = -5\text{V}$, $k_n' = 40\mu\text{A}/\text{V}^2$, $U_{\text{tn}} = 1\text{V}$, $\gamma_n = 0,4\text{V}^{1/2}$.

28. Nariši pripadajoče vezje, ki ustreza narisani geometrijski strukturi (glej naslednjo stran). Plastna upornost p-otoka je $R_{\text{SH}} = 2\text{K}\Omega/\square$, $t_{\text{ox}} = 0,1\mu\text{m}$, debelina oksida med kovino in polikristalnim silicijem je $5\mu\text{m}$. $C_{\text{ox}} = 0,4\text{fF}/\mu\text{m}^2$. Merilo: 5mm je $1\mu\text{m}$.



3. NAČRTOVANJE PREPROSTIH LOGIČNIH GRADNIKOV

V tem poglavju bomo obravnavali kompletno načrtovanje (full custom design) preprostih logičnih gradnikov. Osnovni gradnik bo MOS tranzistor. Ker je večina današnjih (VLSI) logičnih vezij zelo kompleksnih, jih ne načrtujemo na nivoju tranzistorjev in preprostih gradnikov, ampak raje uporabimo kompleksnejše gradnike (vrata, registri, pomnilne celice itd.) ali pa silikonski prevajalnik. Izjema so analogna in analogno-digitalna vezja, katerih delež se na tržišču skokovito večja. V tem poglavju bomo spoznali načrtovanje preprostih logičnih gradnikov. Ker jih bomo v bistvu opazovali z analognega vidika, bo ta obravnava dobra vaja za kasnejše načrtovanje analognih vezij.

Glede na način delovanja delimo logična vezja v dve veliki skupini: **statična** in **dinamična** logična vezja. Atribut *statična* pogosto kar spuščamo. Kljub temu da je povprečnemu inženirju koncept statičnih logičnih vezij poznan, ga bomo v tem poglavju na kratko opisali. Ker dinamična vezja delujejo na poseben način, ki odstopa od tradicionalnega koncepta logičnih vezij, jih bomo obravnavali v posebnem podpoglavju.

Glede na tehnologijo osnovne gradnike statičnih logičnih vezij razvrščamo v naslednje skupine:

- Bipolarna logična vezja - zgrajena so iz bipolarnih tranzistorjev.
- MOS logična vezja - zgrajena so iz NMOS ali pa iz PMOS tranzistorjev.
- CMOS logična vezja - zgrajena so iz NMOS in PMOS tranzistorjev.
- BiCMOS logična vezja - zgrajena so iz bipolarnih in CMOS tranzistorjev.
- GaAs logična vezja - zgrajena so iz GaAs tranzistorjev.

Približno po takšnem vrstnem redu so se tudi začela pojavljati na tržišču. Bipolarna logična vezja, z izjemo ECL družine, se danes zelo redko načrtujejo. Podobno velja za MOS. Kljub zatonu MOS logičnih vezij, bomo začeli ravno s to skupino. Za to odločitev sta dva vzroka. Prvi je ta, da so relativno enostavna, drugi pa, da so dobra vaja za kasnejša CMOS vezja. Omeniti moramo še dodaten razlog: GaAs logična vezja imajo podobno strukturo kot NMOS vezja.

3.1. KONCEPT STATIČNIH LOGIČNIH VEZIJ

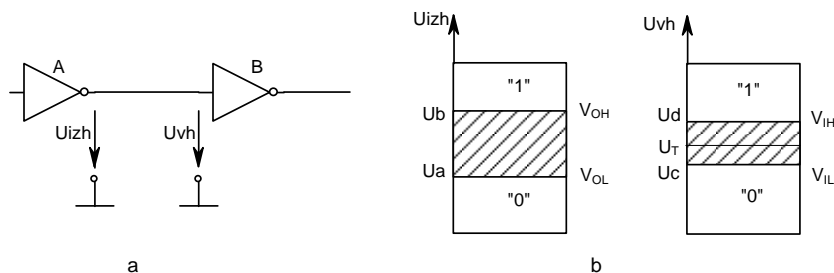
Logično vezje oziroma gradnik je večvhodno električno vezje, ki opravlja predpisano preslikavo vhodnih napetosti v izhodne. Vezja, katerih izhodna vrednost je odvisna samo od vhodnih vrednosti in predhodnega stanja, imenujemo statična logična vezja. Začeli bomo z najbolj preprostim gradnikom, to je z invertorjem. Kasneje bomo koncept invertorja razširili na večvhodna decizijska vezja.

Vsak logični gradnik mora ustrezati določenim zahtevam. Naj naštejemo nekaj najpomembnejših:

- funkcionalnost,
- kompatibilnost s predpisanimi logičnimi nivoji,
- hitrost,
- disipacija,

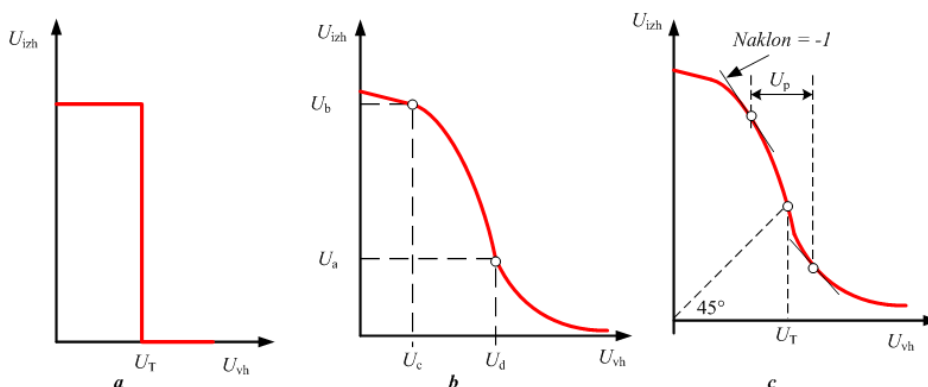
- vhodna in izhodna karakteristika,
- robustnost glede na variacijo procesnih parametrov, napajalne napetosti in temperature.

Ker želimo prikazati samo osnovne načrtovalske koncepte logičnih vezij, se bomo osredotočili predvsem na funkcionalnost in ustreznost logičnih nivojev. Doseganje zahtevane funkcionalnosti je v večini primerov nujna. Podobno velja za pomembnost logičnih nivojev, saj vezje, ki jih pravilno ne prepozna, sploh ni uporabno.



Slika 3.1: Korespondenca med analognimi napetostmi in logičnimi nivoji⁹⁹. U_T je preklopna napetost. Vir: lasten.

Vsakemu logičnemu nivoju je treba prirediti glede na dogovor oziroma standard ustrezen napetostni interval (slika 3.1 b). Med obema nivojema je neke vrste varnostno področje, ki preprečuje napačno interpretacijo. To področje imenujemo prepovedano področje, saj nikakor ne vemo, kako se bo odzvalo logično vezje. Predpostavimo, da je na izhod logičnega vezja vezano popolnoma enako vezje (slika 3.1 a). Zgodi se lahko, da izhodna napetost pade natanko na mejno področje, kjer se začne prepovedano področje. Ker ne vemo, kako bo to napetost interpretiralo vezje B, se zopet srečamo s problemom nepredvidljivosti. Temu se izognemo z ločenimi zahtevami za vhodne in izhodne napetosti. Hkrati tudi zahtevamo, da mora imeti izhodna napetost invertorja A širši prepovedan pas. Sedaj bo invertor B pravilno interpretiral katerokoli vrednost, ki jo dobi od invertorja A.



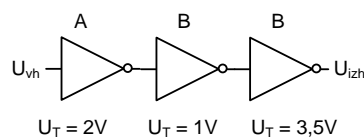
Slika 3.2: (a) Idealna prenosna karakteristika invertorja. Preklopna napetost U_T je neodvisna od napajalne. (b) Dejanska prenosna karakteristika. Označene so pomembne napetosti s slike 3.1 b. (c) Preklopna napetost U_T in preklopno območje U_P . Vir: lasten.

⁹⁹ Dodane so še angleške kratice. Npr.: V_{OH} pomeni voltage output high.

Napetosti, označene z U_a , U_b , U_c in U_d , so značilne točke, skozi katere mora potekati prenosna karakteristika invertorja oziroma logičnega gradnika (slika 3.2 a). Te točke oziroma napetosti pri načrtovanju uporabljamo samo za kontrolo, ne pa za dimenzioniranje tranzistorjev. Bolj primerna je *preklopna napetost* U_T , ki je točka, v kateri je vhodna napetost enaka izhodni.

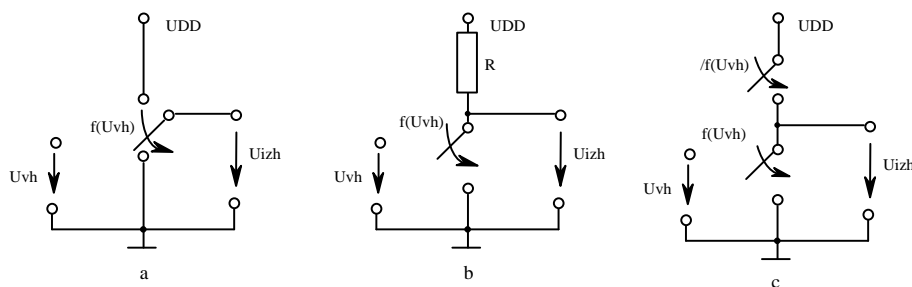
Preklopna napetost leži vedno znotraj prepovedanega področja. Pomembno je tudi preklopno področje, ki predstavlja interval med točkama z naklonom -45° . V teh točkah je ojačenje za majhne signale enako $A_u = dU_{izh}/dU_{vh} = -1$. Preklopno področje se približno ujema s prepovedanim področjem. Podrobnejša obravnava je v [WESTE,2005].

Pogosto so v serijo vezani logični gradniki, ki imajo različne preklopne napetosti (glej sliko 3.3). **V tem primeru se na izhodu zadnjega gradnika menja logično stanje takoj, ko preklopi prvi gradnik.** Za prikazan zgled to pomeni, ko U_{vh} doseže 2 V.



Slika 3.3: Pri serijski vezavi logičnih gradnikov, ki imajo različne preklopne napetosti, točko preklopa celotne verige diktira prvi gradnik. Vir: lasten.

Najbolj preprost model invertorja je stikalo, ki ustrezno preklaplja med dvema logičnima nivojema (slika 3.4 a). To vezje ima neskončno vhodno upornost, medtem ko je izhodna upornost nič. Napajalna napetost oziroma masa mora seveda ležati znotraj predvidenih logičnih nivojev. Najbolj preprosta elektronska stikala, ki jih lahko enostavno napravimo, imajo eno sponko vezano na maso. Če uporabimo stikalo v takšni vezavi, je treba med napajalno napetost in stikalom vstaviti upor, sicer bi nastal kratek stik (slika 3.4 b).

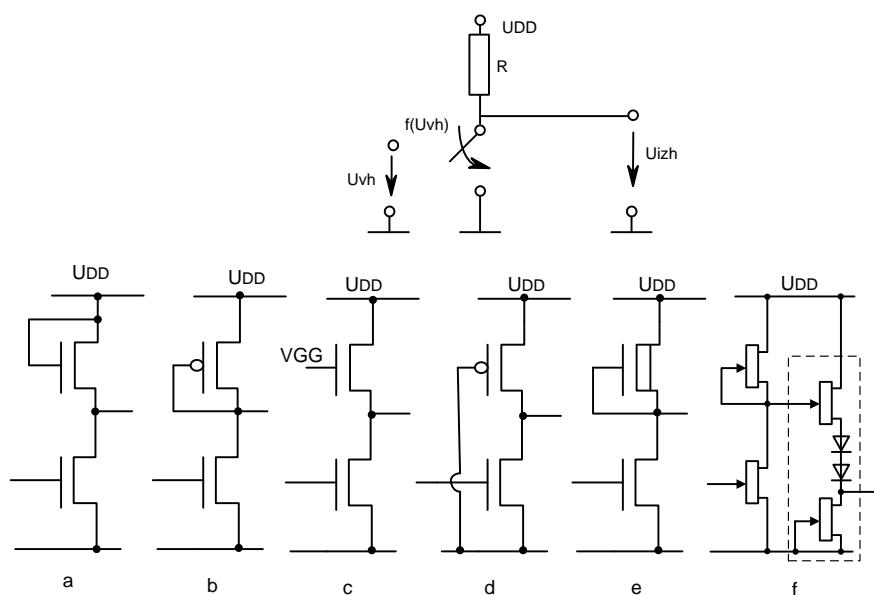


Slika 3.4: Koncept invertorja. Vir: lasten.

Tako dobljeno vezje, ki je neke vrste idealni invertor, predstavlja izhodišče za sintezo konkretnih invertorjev. Glede na izvedbo stikala in upora R lahko zgradimo kar nekaj vrst invertorjev (slika 3.5). Najbolj preprost je invertor, pri katerem stikalo ustvarimo z MOS tranzistorjem in difuzijskim uporom. Takšna izvedba se zelo redko uporablja, saj mora imeti upor veliko vrednost, da dobimo zadostno strmino v preklopnem področju. Namesto

difuzijskega upora raje uporabimo razne variante MOS tranzistorjev. Tudi GaAs logična vezja temeljijo na tem konceptu (slika 3.5 f).

Začetni koncept invertorja lahko izboljšamo tudi drugače: uporabimo dve stikali, ki ju moramo krmiliti na komplementarni način (slika 3.4 c). Iz tega koncepta izvirajo zelo popularna CMOS logična vezja. V naslednjem podpoglavju bomo najprej podrobneje osvetlili načrtovanje MOS logičnih gradnikov, nato pa bomo prešli na CMOS varianto. V obeh podpoglavjih se bomo ustavili samo pri najbolj primitivnih gradnikih, kot so invertor in vrata. GaAs logična vezja bodo obravnavana v posebnem poglavju.



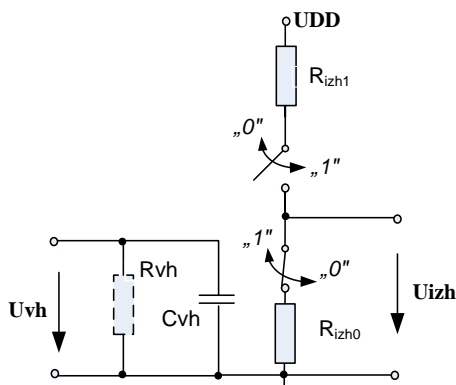
Slika 3.5: Nekatere variante, ki jih lahko izpeljemo iz koncepta stikalo in upor¹⁰⁰. GaAs invertor (f) potrebuje še vezje za premik nivoja (črtkano). Vir: lasten.

Idealen invertor ima na izhodu samo dve napetosti: 0 V in UDD. Ker je izhodna napetost odvisna samo od napajalne, lahko vezje pravilno deluje pri UDD = 10 V ali pa pri 0,5 V. Kot bomo spoznali kasneje, realni logični gradniki nimajo te lastnosti.

Model logičnih vrat

Za analizo vezja, ki vsebuje logične gradnike, potrebujemo njihov model. Slika 3.6 prikazuje enega izmed možnih modelov, ki zadostuje za osnovno analizo. Gre za linearni stikalni model, v katerem sta dve stikali, trije upori in vhodna kapacitivnost. Pri MOS vezjih je R_{vh} izredno velik in ga običajno niti ne rišemo. C_{vh} je vhodna kapacitivnost, R_{izh1} pa izhodna upornost, ko je na izhodu logična enica. Podobno velja za R_{izh0} .

¹⁰⁰ Angl.: n-channel active load inverter (a), p-channel active load inverter (b), current source inverter (c), pseudo NMOS inverter (d), depletion-load NMOS inverter (e), GaAs inverter (f).

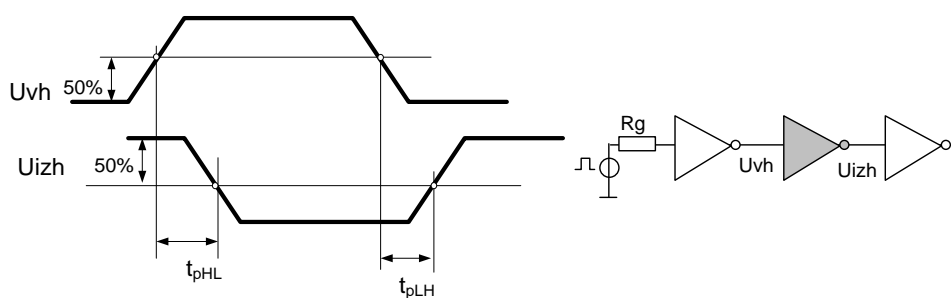


Slika 3.6: Splošni (linearni) model enovhodnega logičnega gradnika. Vir: lasten.

Zakasnitev

Zakasnitev logičnega gradnika je odvisna od hitrosti tranzistorjev, parazitnih upornosti in kapacitivnosti povezav in bremena. Hitrost MOS tranzistorja je odvisna predvsem od parazitnih kapacitivnosti, procesne konstante k' in pragovne napetosti U_t . **Hiter tranzistor ima visoko k' in nizko U_t .**

Zakasnitev odziva lahko merimo na dva načina: na izhod priključimo linearno RC breme¹⁰¹ ali pa ustvarimo podobne razmere kot so v vezju. To pomeni, da pred logična vrata (označena so s sivo barvo) vstavimo ena ali dvojce enakih vrat, na izhod pa samo ena (slika 3.7). Enaka vrata na vходу poskrbijo, da je čas vzpona in spusta krmilnega signala neodvisen od generatorja. Vrata na izhodu pa predstavljajo breme. Obstajata dve zakasnitvi: prehod izhoda iz 1 v 0 (na sliki označen¹⁰² kot t_{pHL}) in prehod izhoda iz 0 v 1 (t_{pLH}). Ker sta v splošnem različni, vzamemo za zakasnitev vrat večjo vrednost ali pa povprečje.



Slika 3.7: Definicija in meritev zakasnitve. Vir: lasten.

Vzrok za zakasnitve so tranzistorji in povezave. Za simulacijo meritev potrebujemo: model generatorja, tranzistorjev in povezav. Z manjšanjem dimenzij tranzistorjev in povezav se večja težavnost modeliranja.

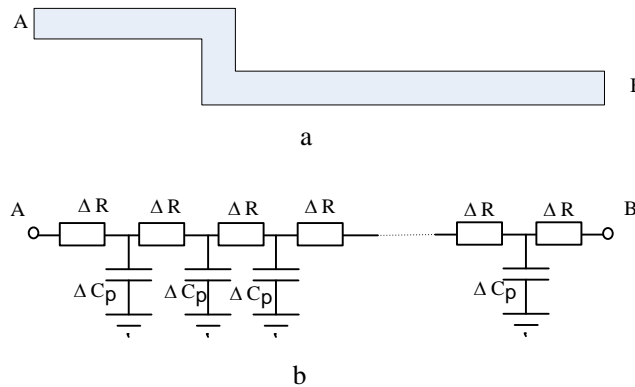
¹⁰¹ RC vezje predstavlja preprost linearen model vhodne impedance enega ali več identičnih gradnikov.

¹⁰² Angl.: Propagation delay high to low.

Z uporabo preprostega modela lahko ugotovimo, da je zakasnitev logičnega gradnika proporcionalna kapacitivnosti bremena C in velikosti spremembe napetosti ΔU iz enega logičnega nivoja v drugega. Z večanjem izhodnega toka I lahko zmanjšamo zakasnitev, vendar se zaradi tega veča moč. Kot vidimo, moramo pogosto skleniti določen kompromis med hitrostjo in močjo.

$$t_d \propto \frac{C}{I} \Delta U \quad (3.25)$$

Pri VLSI vezjih se za povezave porabi zelo veliko površine. Ker je treba povezati veliko število elementov, se je dolžina povezav zelo povečala. Z manjšanjem dimenzij so se zmanjšali tudi preseki povezav oziroma povečala se je njihova upornost. Ker se je tudi povečalo število povezovalnih nivojev, je treba upoštevati tudi vplive sosednjih linij. Natančna analiza zakasnitev tranzistorjev in povezav¹⁰³ je zelo zahtevna in presega okvir tega učbenika, saj gre za nelinearne rezistivne in kapacitivne elemente.



Slika 3.8: Eden izmed preprostih modelov povezave. Vir: lasten.

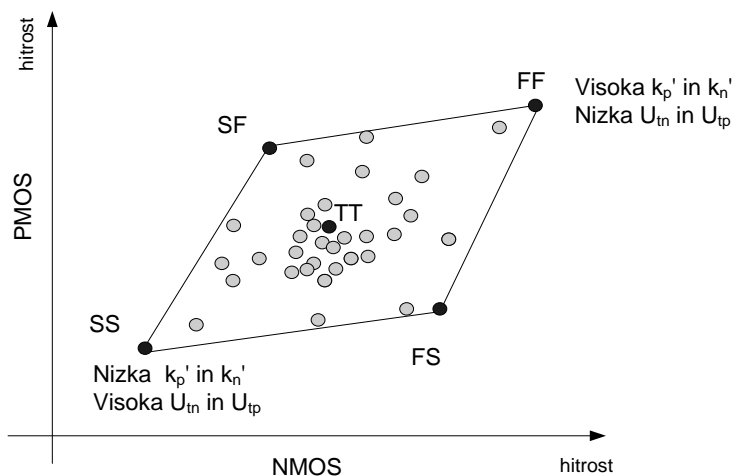
Robustnost glede na variacijo procesnih parametrov, napajalne napetosti in temperature

Pri načrtovanju integriranih vezij na lastnosti vezja vplivajo variacije v samem proizvodnem procesu. Variacije nastopajo med posameznimi šaržami, znotraj rezine so relativno majhne. Proizvajalec nikakor ne more zagotoviti konstantnih procesnih razmer, kar pomeni, da bodo tudi parametri tranzistorjev¹⁰⁴ variirali okrog tipičnih vrednosti. Te spremembe parametrov se odražajo v variaciji hitrosti preklopa¹⁰⁵. Če narišemo možne vrednosti hitrosti, dobimo območje, ki ima približno obliko paralelograma (glej sliko 3.9). Proizvajalci navajajo tipični model za NMOS in PMOS tranzistor in štiri **ekstremne** modele, ki ležijo v ogliščih.

¹⁰³ Več o tem glej v T. Dogša - *CAE/CAD v elektroniki: Simulacija in modeliranje analognih vezij*, Fakulteta za elektrotehniko, računalništvo in informatiko, 2010.

¹⁰⁴ Predvsem gre za debelino oksida, pragovno napetost ($\pm 15\%$ do $\pm 20\%$) in dolžino kanala.

¹⁰⁵ Povečanje pragovne napetosti povzroči zmanjšanje toka v območju nasičenja in s tem znižanje hitrosti.



Slika 3.9: Variacija procesnih parametrov. Glej tudi tabelo 3.1a. Vir: lasten.

Načrtovalec mora najprej preveriti, ali bo vezje delovalo pri tipičnih oziroma nominalnih vrednosti procesnih konstant, pragovnih napetosti, napajalne napetosti in temperature. Nato izvede *analizo ogliščnih točk*¹⁰⁶, ki je v bistvu analiza najbolj neugodnega primera. Vezje s simulacijo preizkusimo z vsemi kombinacijami ekstremnih vrednosti nekaterih pomembnih parametrov. Če upoštevamo hitrost NMOS in PMOS, variacijo napajalne napetosti ter temperature, dobimo 4 parametre (tabela 3.1b) oziroma $2^4 = 16$ kombinacij. Vključno s simulacijo s tipičnimi (nominalnimi vrednostmi) je treba opraviti 17 simulacij.

Tabela 3.1 Ogliščne točke. Vir: lasten.

	NMOS	PMOS
TT	tipična hitrost	tipična hitrost
FF	hiter	hiter
SS	počasen	počasen
FS	hiter	počasen
SF	počasen	hiter

a

parameter	max	min
NMOS hitrost	hiter	počasen
PMOS hitrost	hiter	počasen
Temperatura	Temp_max	Temp_min
Ubat	Ubat_max	Ubat_min

b

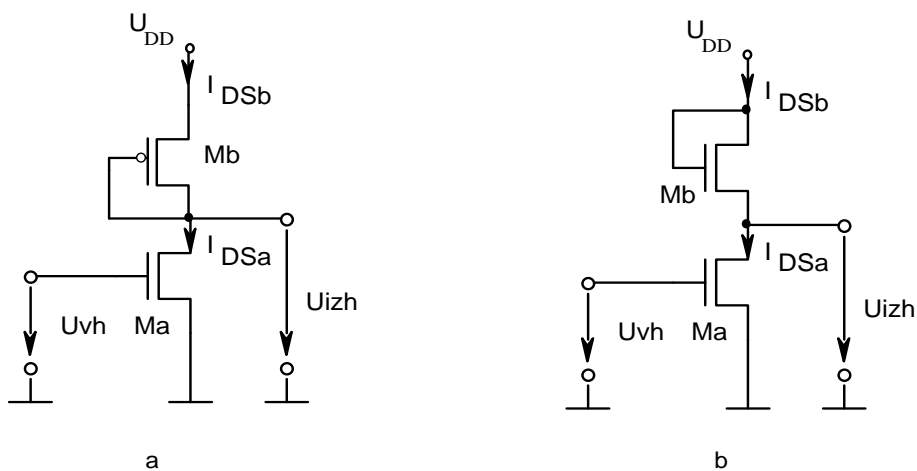
¹⁰⁶ Angl. Corner analysis. Več o tem glej v T. Dogša: "CAE/CAD v elektroniki: Analiza in načrtovanje toleranc", FERi, Univerza v Mariboru.

3.2. PRIMITIVNI MOS LOGIČNI GRADNIKI

NMOS tehnologija je bila prva izmed MOS tehnologij. Načrtovalec je imel na razpolago le NMOS tranzistorje, s katerimi je ustvaril NMOS logična vezja. Danes se več ne uporablja, saj so na razpolago druge, s katerimi lahko napravimo kakovostnejša vezja (npr. CMOS). Kljub temu jo bomo obravnavali zaradi več vzrokov. Prvi je ta, da se seznanimo z načrtovanjem logičnih vezij, ki so sestavljena samo iz ene vrste MOS tranzistorjev. Temu ustreza npr. GaAs družina logičnih vezij. Drugi vzrok je, da imata inverter in enostopenjski ojačevalnik enako strukturo. Zato bomo lahko mnogo ugotovitev uporabili tudi pri enostopenjskih ojačevalnikih.

3.2.1. INVERTOR

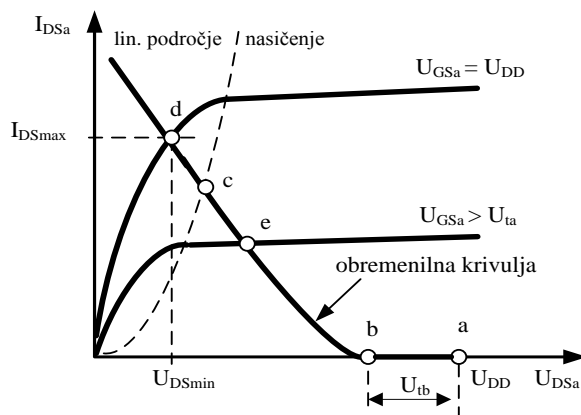
Najbolj preprost inverter lahko napravimo, če realiziramo upor R na sliki 3.5 z nelinearnim NMOS ali PMOS uporom. Le-ta je sicer nelinearen, vendar ta slabost v tem primeru sploh ne moti. Ne smemo pozabiti, da je imel načrtovalec v obdobju NMOS tehnologije na razpolago samo NMOS tranzistorje.



Slika 3.10: Dve možni varianti MOS invertorja z aktivnim bremenom. Vir: lasten.

Naša prva naloga bo poiskati povezavo med dimenzijami tranzistorjev in prenosno karakteristiko $U_{izh} = f(U_{vh})$. Izpeljavo bomo skušali obdržati čim bolj splošno, tako da bo veljala za obe varianti, ki sta na sliki 3.10.

Ker izhodno karakteristiko MOS tranzistorja opisujejo tri enačbe, je direkten pristop k analizi dokaj zahteven. Zato si bomo najprej pomagali z grafično analizo, kjer bomo ugotovili, na katerih segmentih se giblje delovna točka. Na tej podlagi bomo lahko tudi skicirali prenosno karakteristiko. Le-to narišemo tako, da določimo niz delovnih točk, ki jih dobimo s spreminjanjem vhodne napetosti.



Slika 3.11: Graficna analiza prenosne karakteristike. Točka d je maksimalni tok I_{DSa} .
Vir: lasten.

Graficna analiza. Karakteristiko MOS upora smo že obravnavali. Naj samo ponovimo, da na sliki 3.10 tranzistor Mb deluje neprestano v nasičenju in da bi radi določili prenosno karakteristiko. Graficno analizo izvedemo tako, da v izhodno karakteristiko tranzistorja Ma narišemo obremenilno krivuljo (glej sliko 3.11). U_{GSa} je enaka U_{vh} in U_{DS} je enaka U_{izh} . Ko je vhodna napetost 0 V, je izhodna napetost zmanjšana za pragovno napetost U_{tb} . Izhodna napetost se ne bo spremenila tako dolgo, dokler vhodna ne preseže praga U_{ta} (točka b). Sedaj začne Ma prevajati. Z večanjem U_{vh} se večja tok in hkrati pada U_{DSa} oziroma U_{izh} . Do točke c je tranzistor Ma v nasičenju. Ker tok narašča s kvadratom U_{GSa} in ker podobno velja za MOS upor, pada U_{izh} linearno (kasneje bomo to podkrepili z enačbami). Med točkama c in d je Ma v linearnem področju. Sedaj imamo dovolj podatkov, da lahko skiciramo potek prenosne karakteristike (glej sliko 3.12). **Zaključimo lahko, da Ma deluje v vseh treh področjih, zato je za analitični opis kompletne prenosne karakteristike treba upoštevati vse tri enačbe MOS tranzistorja.**

Iz prenosne karakteristike na sliki 3.12 vidimo, da ne dosegamo maksimalnega izkrmiljenja. Najvišja vrednost izhodne napetosti je za pragovno napetost U_{tb} zgornjega tranzistorja nižja od UDD. Pri nizkih napajalnih napetostih je to seveda moteče, saj težko zagotovimo kriterije, ki jih zahtevajo logični nivoji.

Kvantitativna analiza. Če želimo izpeljati pravilo za projektiranje, potrebujemo analitični opis prenosne karakteristike. Ugotovili smo, da je prenosna karakteristika sestavljena iz treh segmentov. Če upoštevamo rezultate graficne analize, lahko enačbo za prvi segment takoj napišemo:

$$U_{izh} = U_{DD} - U_{tb} ; \quad 0 \leq U_{vh} \leq U_{ta}$$

Sedaj je na vrsti drugi segment, kjer smo ugotovili, da leži delovna točka obeh tranzistorjev v področju nasičenja. Najprej zapišemo osnovno vozliščno enačbo:

$$I_{DSb} = I_{DSa}$$

$$\frac{1}{2} \frac{W_a}{L_a} k'_a (U_{GSa} - U_{ta})^2 = \frac{1}{2} \frac{W_b}{L_b} k'_b (U_{GSb} - U_{tb})^2 \quad (3.26)$$

U_{GSb} in U_{GSa} izrazimo z vhodno napetostjo: $U_{GSb} = U_{DD} - U_{izh}$, $U_{GSa} = U_{vh}$. To vstavimo v (3.26). Ko ta izraz uredimo, dobimo enačbo za drugi segment:

$$U_{izh} = U_{DD} - U_{tb} - (U_{vh} - U_{ta}) \sqrt{\frac{k'_a \cdot W_a / L_a}{k'_b \cdot W_b / L_b}} \quad (3.27)$$

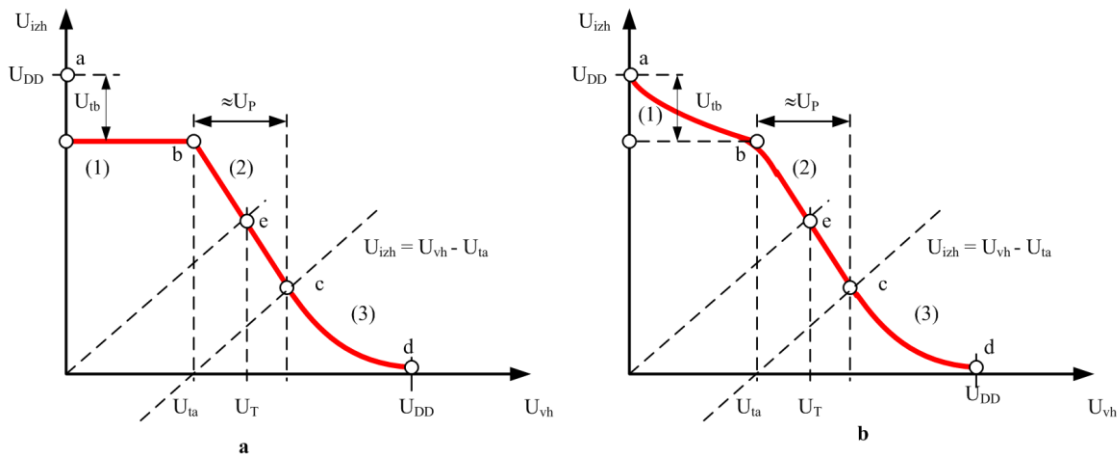
Enačba velja v območju: $U_{ta} < U_{vh} < (U_{izh} + U_{tb})$. Takoj vidimo, da je zgornja enačba padajoča premica, ki ima naklon:

$$A_u = \frac{dU_{izh}}{dU_{vh}} = - \sqrt{\frac{k'_a \cdot W_a / L_a}{k'_b \cdot W_b / L_b}} \quad (3.28)$$

Iz enačbe 3.27 lahko izračunamo preklopno napetost, ki je definirana pri $U_T = U_{vh} = U_{izh}$:

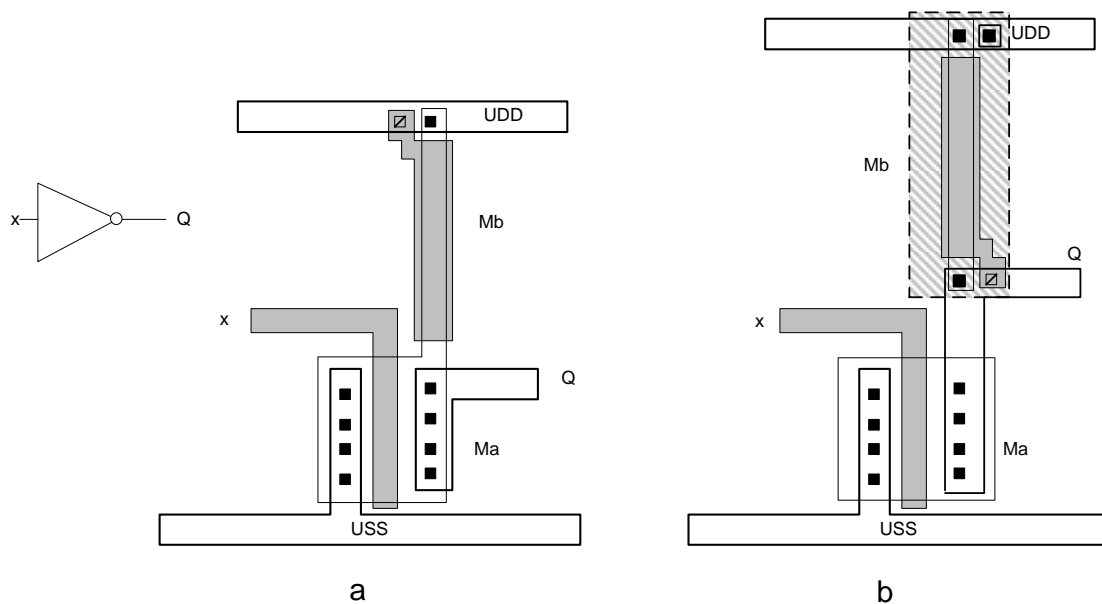
$$U_T \approx \frac{U_{DD} - U_{ta} A_u}{-A_u} \approx \frac{U_{DD}}{-A_u} + U_{ta} \quad (3.29)$$

Zgornja enačba nam pove, da lahko z ustreznim razmerjem dimenzij oziroma z ojačenjem dosežemo zahtevano preklopno napetost, če je ta večja od pragovne napetosti spodnjega tranzistorja.



Slika 3.12: Prenosna karakteristika NMOS invertorja. U_T je preklopna napetost in U_P je preklopno področje. Levo (a) je uporabljen preprost kvadratični model tranzistorja, desno (b) pa model, ki bolj realno upošteva tudi podpragovno področje. Vir: lasten.

Iz enačbe 3.27 je tudi razvidno, da je **strmina drugega segmenta konstantna in odvisna samo od dimenzij obeh tranzistorjev**. Ko sta oba tranzistorja v področju nasičenja, se vezje obnaša kot linearen ojačevalnik. V področju drugega segmenta leži tudi preklopna napetost U_T (glej sliko 3.12). Ta segment je zanimiv tudi zaradi tega, ker se približno ujema s preklopnim področjem U_P . Ker želimo, da je le-to čim ožje, mora biti drugi segment čim bolj strm. Ali z drugimi besedami: **spodnji tranzistor mora biti čim širši, zgornji pa čim daljši**.



Slika 3.13: Dva zglada za geometrijo NMOS invertorja. Invertor z NMOS bremenskim uporom (a) in in s PMOS bremenskim uporom, ki se nahaja v n-otoku (b). Vir: lasten.

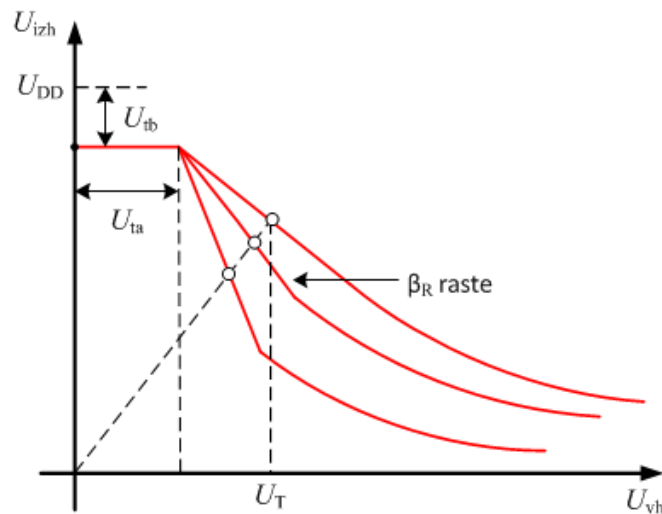
Razmerje dimenzij obeh tranzistorjev pogosto označujemo z β_R :

$$\beta_R = \frac{W_a / L_a}{W_b / L_b} \quad (3.30)$$

Tipične vrednosti β_R ležijo v intervalu od 15 do 30. Kljub temu da lahko potrebno vrednost β_R določimo s pomočjo korespondence med napetostmi in logičnimi nivoji, še vedno ne moremo enolično določiti dimenzije tranzistorjev, saj imamo samo eno enačbo in kar štiri neznanke.

Dodatne pogoje za določitev bi dobili, če bi upoštevali še druge zahtevane lastnosti invertorja: hitrost, izhodna upornost, disipacija, maksimalni tok itd. Pri preklopu širših tranzistorjev teče večji tok, saj imajo nižjo izhodno upornost. S tem je povezana tudi hitrost delovanja, saj se parazitne kapacitivnosti hitreje napolnijo.

Z večanjem β_R se hkrati tudi niža preklopna napetost in oži preklopno področje (slika 3.14). Vendar pod mejo, ko jo določa pragovna napetost spodnjega tranzistorja, ne moremo.

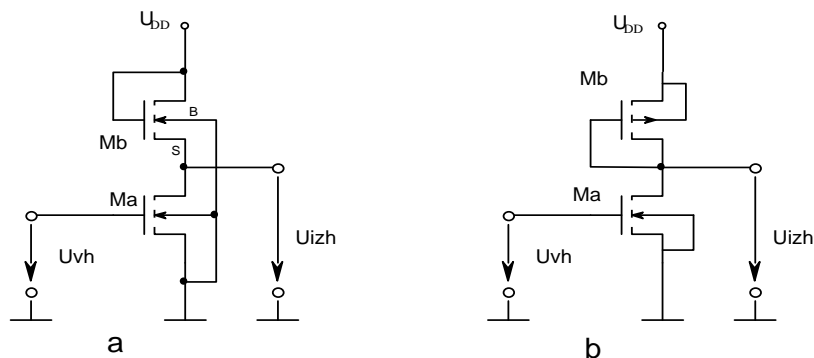


Slika 3.14: Vpliv β_R na prenosno karakteristiko. Vir: [ONG,1986].

Če je zgornji tranzistor vrste NMOS, je $U_{SB} > 0$ (glej sliko 3.15). Nastopi body pojav, ki poveča pragovno napetost U_{tb} tega tranzistorja. Če primerjamo dve možni varianti na sliki 3.15, lahko ugotovimo, da je desna ugodnejša. Pri njej ne nastopa body pojav in tudi ojačenje (enačba 3.28) je zaradi nižje vrednosti procesne konstante 2 do 4-krat večje.

Če imamo na razpolago tranzistor z vgrajenim kanalom, lahko napravimo zelo dober invertor, saj ima ta tranzistor v področju nasičenja zelo veliko upornost (glej sliko 3.16). Grafična analiza poteka podobno kot prej. Ker je drugi segment linearen, lahko izračunamo ojačenje tudi drugače, to je z analizo za majhne signale. Ugotovili bi, da je ojačenje enako¹⁰⁷:

$$A_u = -g \cdot R_{nad}$$

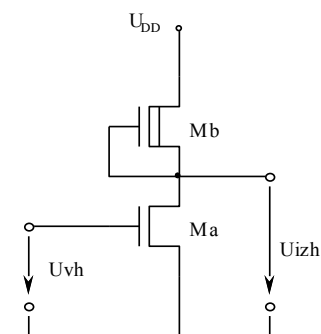


Slika 3.15: Body pojav nastopi, če sta oba tranzistorja iste vrste (a). Pri PMOS bremenu tega pojava ni (b). Vir: lasten.

¹⁰⁷ Izpeljava je prepuščena bralcu.

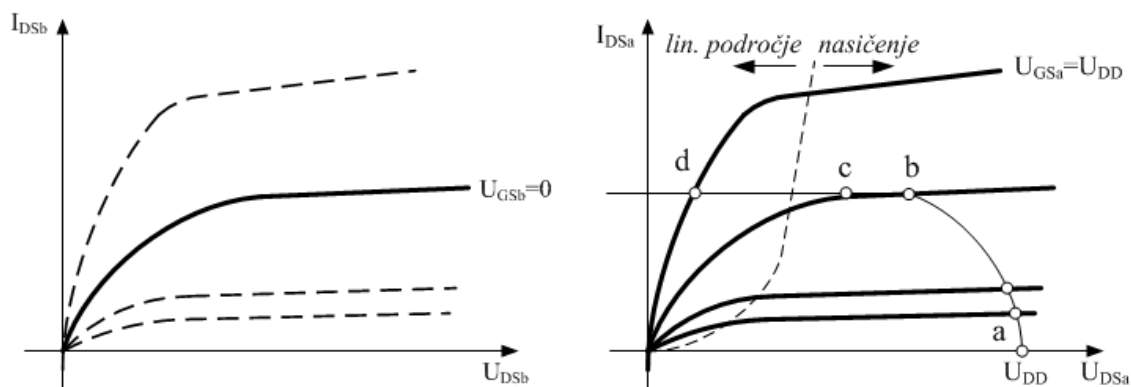
R_{nad} izračunamo s paralelno vezavo upornosti bremena in izhodne upornosti M_a ter M_b . Že bežna primerjava karakteristik obeh variant bremena kaže, da ima tranzistor z vgrajenim kanalom izrazito večjo upornost. To se kaže tudi v zelo veliki strmini preklopne karakteristike.

Kot je videti iz grafične analize, tokrat pragovna napetost zgornjega tranzistorja nima nikakršnega vpliva na prenosno karakteristiko. Tranzistor M_a lahko zato izkrmilimo skoraj do napajalne napetosti.



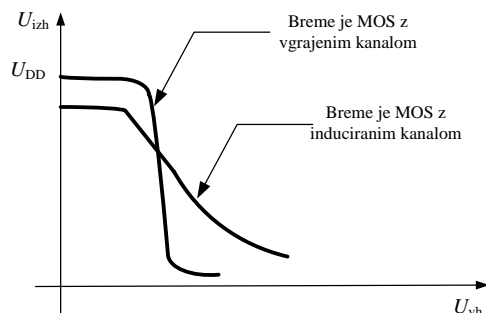
Slika 3.16: NMOS inverter z bremenom, napravljenim s tranzistorjem, ki ima vgrajen kanal.
Vir: lasten.

Omeniti moramo še eno prednost, to je relativno majhna občutljivost na spremembo napajalne napetosti. Če se U_{DD} poviša, se obremenilna krivulja za enako vrednost vzporedno premakne na desno (glej sliko 3.17). Ta premik bistveno ne vpliva na strmino prenosne karakteristike niti na maksimalni tok (točka d).



Slika 3.17: Karakteristika bremena s slike 3.16 (a) in grafična analiza (b). Vir: lasten.

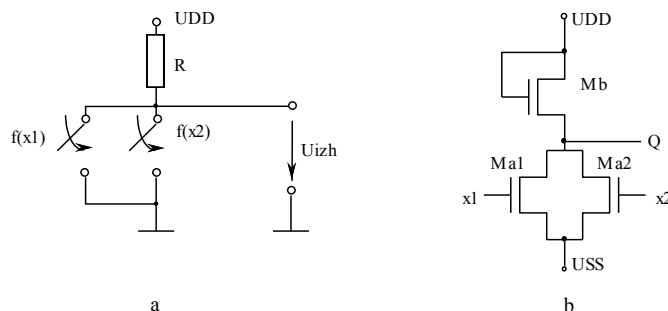
Če primerjamo obe varianti, lahko takoj ugotovimo, da je druga dosti boljša. Ne smemo pa pozabiti, da je tehnologija, ki omogoča tudi izdelavo tranzistorjev z vgrajenim kanalom, dražja.



Slika 3.18: Primerjava prenosnih karakteristik. Vir: lasten.

3.2.2. NAND IN NOR VRATA

Z dodatnimi stikali lahko iz invertorja s slike 3.4 b zelo enostavno napravimo NOR oziroma NAND vrata. S paralelnim dodajanjem krmiljenih stikal se invertor spremeni v večvhodna NOR vrata (slika 3.19). Za bremenski upor uporabimo eno izmed variant, ki smo jih obravnavali v prejšnjem poglavju.

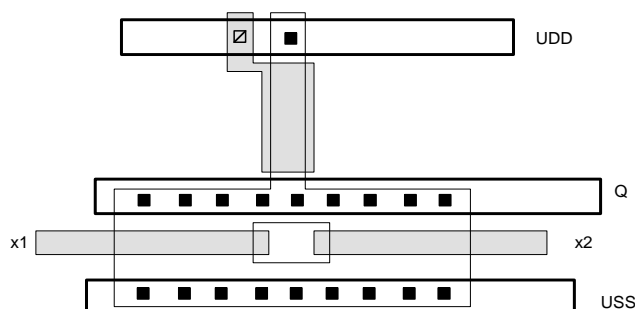


Slika 3.19: Dvovhodna NMOS logična vrata. Vir: lasten.

Geometrija dvovhodnih vrat (glej sliko 3.20) je zelo podobna tisti, ki smo jo spoznali pri invertorju. Vsi stikalni tranzistorji imajo enake dimenzije, ki jih določimo podobno kot pri invertorju. Preklop bo opravljen, ko bo prevajal eden ali več tranzistorjev. Vrata tranzistorjev, ki prevajajo, so na istem potencialu. Enako velja za izvore in ponore. Zato lahko pri analizi spodnje prevajajoče tranzistorje obravnavamo kot enega, ki ima ustrezno večje dimenzije. Glede na sliko 3.20 se širina tega tranzistorja večja, kar pomeni, da je strmina karakteristike v preklopnem področju oziroma preklopna napetost odvisna od števila tranzistorjev, ki prevajajo.

Možna sta dva pristopa:

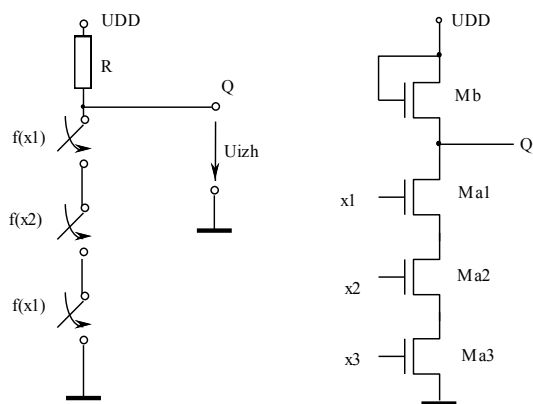
1. **Pri projektiranju izhajamo iz najbolj neugodne variante, to je, da prevaja samo en tranzistor. Dejanska preklopna napetost bo kvečjemu enaka ali pa manjša.**
2. **Na vsak vhod priključimo invertor, ki ga projektiramo na zahtevano preklopno napetost. Ker s tem dobimo AND vrata, moramo tudi na izhodu dodati invertor.**



Slika 3.20: Ena izmed možnih geometrijskih struktur dvovhodnih NOR vrat. Vir: lasten.

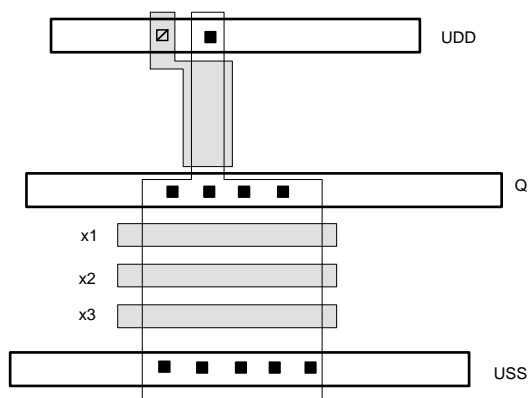
Pri zahtevanem β_R izračunamo dimenzije enega izmed stikalnih tranzistorjev s pomočjo istega izraza kot pri invertorju (vsi ostali, razen bremena, imajo enake dimenzije):

$$\beta_R = \frac{W_a / L_a}{W_b / L_b}$$



Slika 3.21: Trovhodna NMOS NAND vrata. Vir: lasten.

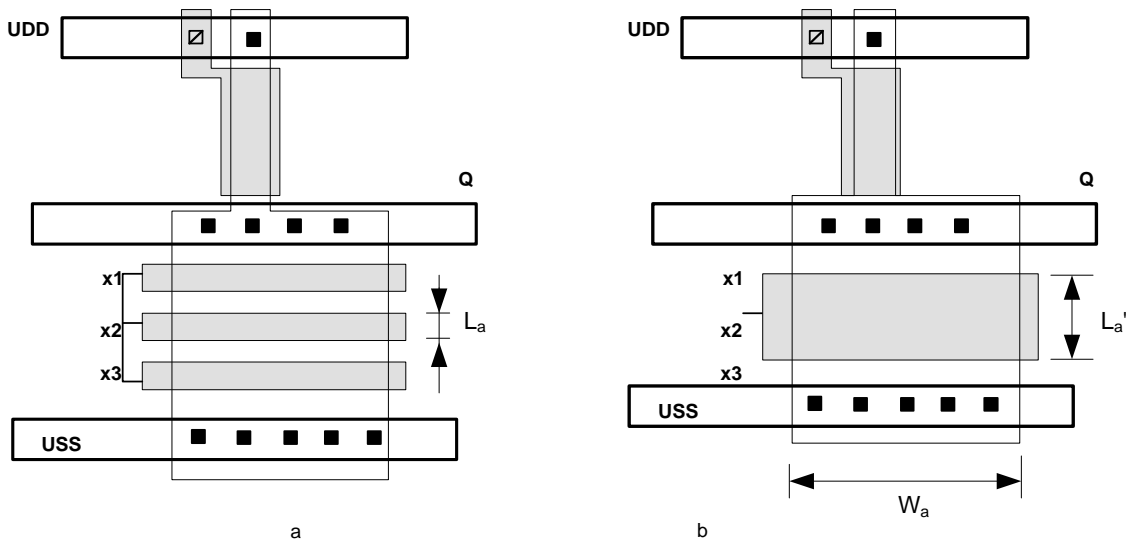
Podobno kot smo tvorili NOR vrata, lahko napravimo tudi NAND vrata. Tokrat vezemo stikalne tranzistorje zaporedno. Šele ko bodo vsi vklopljeni, bo stekel tok, ki bo povzročil padec napetosti na Mb.



Slika 3.22: Ena izmed možnih geometrijskih struktur trovhodnih NAND vrat. Vir: lasten.

Pri načrtovanju geometrije lahko spodnje tranzistorje delno združimo (slika 3.22) in tako zmanjšamo potrebno površino. Ker so pri preklopu vsa vrata na istem potencialu, lahko spodnje tranzistorje pri analizi obravnavamo kot enega (slika 3.23). Zopet vidimo, da lahko uporabimo kar rezultate, ki smo jih dobili pri analizi invertorja. Enačbo (3.30) ustrezno preoblikujemo in za n-vhodna NAND vrata dobimo:

$$\beta_R = \frac{W_a / L_a'}{W_b / L_b} = \frac{W_a / (n \cdot L_a)}{W_b / L_b} \quad (3.31)$$



Slika 3.23: Če je na vseh vseh "1", lahko pri analizi spodnje tranzistorje združimo v enega, ki ima enako širino in je trikrat daljši. Vir: lasten.

Zgled

Kolikšne naj bodo dimenzije tranzistorjev v štirivhodnih NAND vratih, če je $\beta_R = 20$ in je $W_b/L_b = 1/4$? Uporabljena je $0,8 \mu\text{m}$ tehnologija.

Projektiramo, kakor da gre za inverter. Iz enačbe (3.30) izračunamo $W_a/L_a = 5/1$. Če L_a razdelimo na štiri dele, so dimenzije vsakega $W_a/L_a = 20/1$. Do enakega rezultata pridemo, če uporabimo enačbo (3.31). Nato izberemo konkretne vrednosti. Pri $0,8 \mu\text{m}$ tehnologiji so dimenzije vseh tranzistorjev: Breme: $W_b/L_b = 1,2 \mu\text{m}/4,8 \mu\text{m}$. Vsak izmed spodnjih tranzistorjev: $W_a/L_a = 16 \mu\text{m}/0,8 \mu\text{m}$.

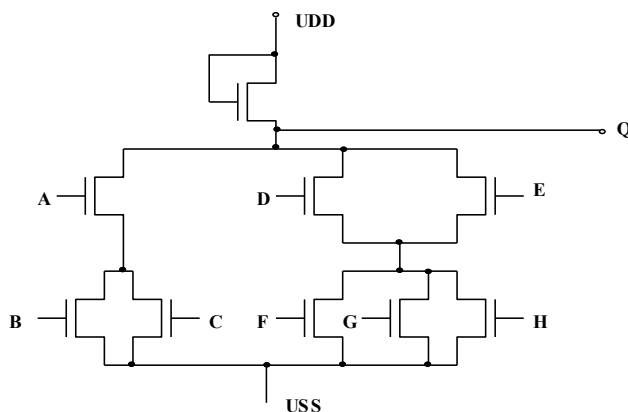
3.2.3. SPLOŠNO DECIZIJSKO VEZJE

Stikala lahko dodajamo bremenskem upor ne samo v serijski oziroma paralelni vezavi, ampak poljubno. Na ta način lahko realiziramo poljubno decizijsko vezje. Pri analizi oziroma sintezi upoštevamo naslednja pravila:

- **Paralelna vezava: OR operator.**
- **Zaporedna: AND operator.**
- **Povezava z bremenom: negacija.**

Zgled 1

Ugotovi logično funkcijo, ki jo opravlja narisano vezje.



Slika 3.24 Zgled logičnega vezja. Vir: lasten.

Najprej določimo logično funkcijo, ki jo opravljajo stikala, ki ležijo pod bremenom (MOS uporom):

$$Q = (B+C)A+(F+G+H)(D+E)$$

Nato to funkcijo negiramo in dobimo končni rezultat: $Q = \neg((B+C)A+(F+G+H)(D+E))$.

Načrtovanje oziroma sinteza poteka v obratni smeri. Najprej logični izraz preoblikujemo v negirano obliko, nato pa funkcijo, ki je negirana, napravimo s stikali. V primeru, da potrebujemo negiran vhod, dodamo na ta vhod inverter. Konkretno dimenzioniranje tranzistorjev poteka podobno kot pri NAND oziroma NOR vratih. Preklopna napetost je odvisna od števila tranzistorjev, ki prevajajo. Določitev najbolj neugodnega primera pri združevanju stikalnih tranzistorjev je sedaj dosti zahtevnejše, zato ga ne bomo obravnavali. Nekaj napotkov:

- Najprej določimo dimenzije invertorja.
- Če zaporedno vezane tranzistorje projektiramo podobno kot NAND vrata, lahko preprečimo, da bi se preklopna napetost povečala.
- Pri kompleksni strukturi postopamo drugače: **Če želimo pri poljubni vhodni vrednosti vedno enako preklopno napetost, potem na vsak vhod priključimo invertor, ki ima zahtevano preklopno napetost.** Pogosto je zaradi tega potrebno dodati invertor tudi na izhodu. Za vse ostale tranzistorje pa izberemo minimalne dimenzije.

Postopek načrtovanja bomo ilustrirali na naslednjem zgledu:

Zgled 2

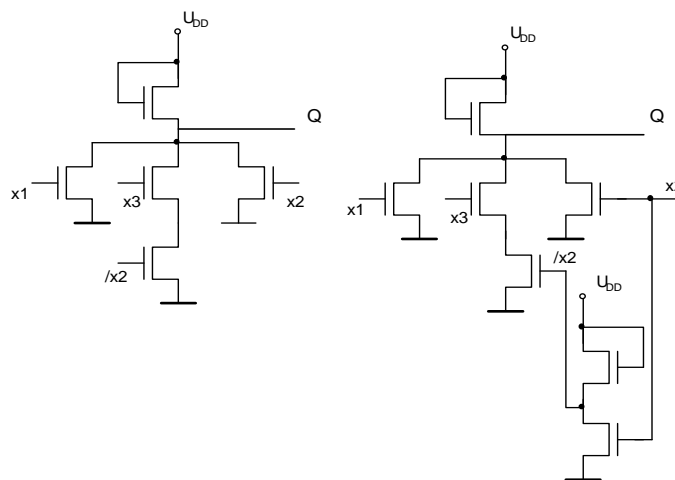
Dimenzije invertorja, ki ustreza preklopnim zahtevam, so: $W_b/L_b = 1/4$ in $W_a/L_a = 4/1$. Uporabljen bo $0,8 \mu\text{m}$ tehnologija. Napravi sintezo NMOS vezja, ki realizira logično funkcijo:

$$Q = \overline{(x_1 + \overline{x_2}x_3 + x_2)}$$

Najprej sestavimo vezje, ki opravlja funkcijo: $Q = x_1 + \overline{x_2}x_3 + x_2$. Nato dodamo breme. Negirano vrednost vhoda $\overline{x_2}$ dobimo z dodatnim invertorjem.

Dimenzioniranje:

- Vsa bremena: $W_b/L_b = 1/4 = 1,2 \mu\text{m}/4,8 \mu\text{m}$.
- Enojni stikalni tranzistorji: $W_a/L_a = 4/1 = 3,2 \mu\text{m}/0,8 \mu\text{m}$.
- Dva zaporedno vezana stikalna tranzistorja: $W_a/L_a = (4/(1/2)) = 8/1 = 6,4 \mu\text{m}/0,8 \mu\text{m}$.

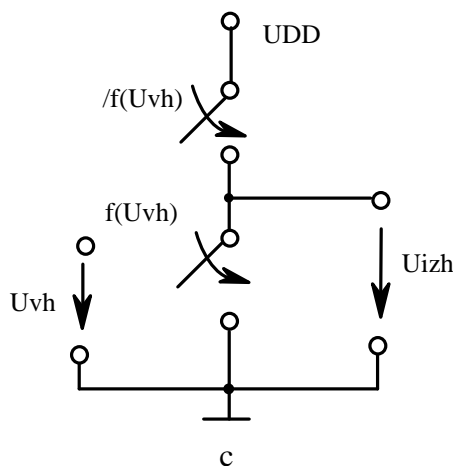


Slika 3.25 Zgled logičnega vezja. Vir: lasten.

3.3. PRIMITIVNI CMOS LOGIČNI GRADNIKI

CMOS logični gradniki so sestavljeni iz NMOS in PMOS tranzistorjev. CMOS tehnologija je sicer zahtevnejša kot NMOS, vendar lastnosti CMOS gradnikov prekašajo tiste, ki jih lahko napravimo z NMOS tehnologijo.

Osnovni koncept CMOS logičnega gradnika je sistem komplementarnih stikal (slika 3.26). Stikala morajo biti tako krmiljena, da nikoli ne nastopi kratek stik med napajalno napetostjo in maso. Takoj opazimo, da ne glede na logično stanje, iz napajalnega vira ne teče noben tok in da ima vezje izhodno upornost enako nič. To je tudi najbolj preprost idealiziran model CMOS logičnega gradnika.



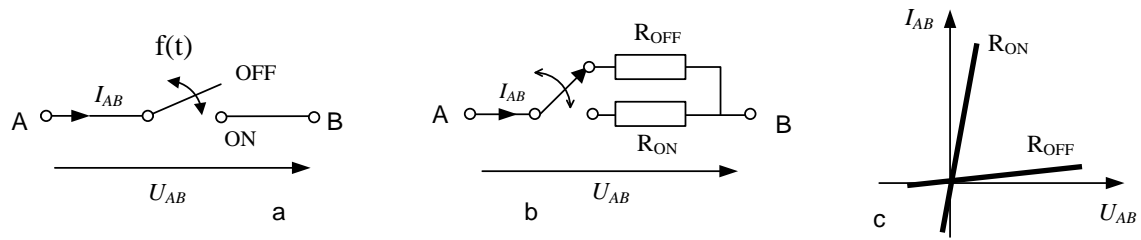
Slika 3.26: Osnovni koncept CMOS logičnih gradnikov je sistem komplementarnih stikal.
Vir: lasten.

V naslednjem podpoglavju bomo obravnavali CMOS invertor, nato pa obravnavo razširili na splošna decizijska CMOS vezja.

3.3.1. MOS STIKALO

Stikalo je eno izmed najpogosteje uporabljenih elementov v logičnih vezjih. Vsa CMOS logična vezja so sestavljena iz samih MOS stikal. Zelo pogosto uporabljamo stikala tudi v analognih vezjih. Npr. SC vezja¹⁰⁸ imajo ogromno stikal, ki jih krmilimo z urinim signalom. Zaradi izjemne vloge stikala ga bomo v tem podpoglavju podrobneje obravnavali.

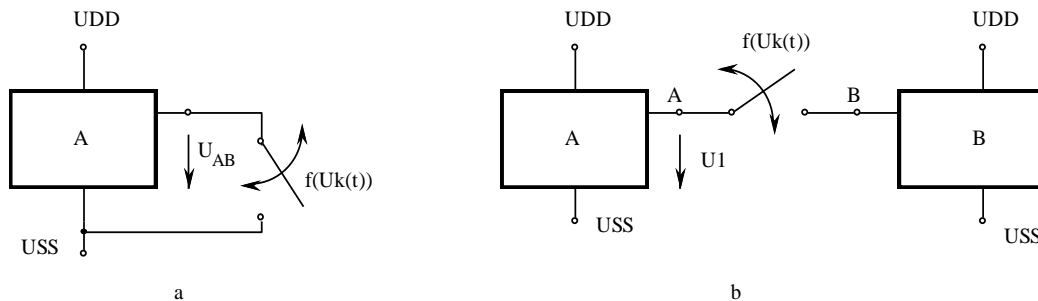
¹⁰⁸ [Switched Capacitor Circuits](#) - obravnavali jih bomo kasneje.



Slika 3.27: Idealno stikalo (a), model realnega stikala (b) in njegova karakteristika (c). $f(t)$ je program stikala. Vir: lasten.

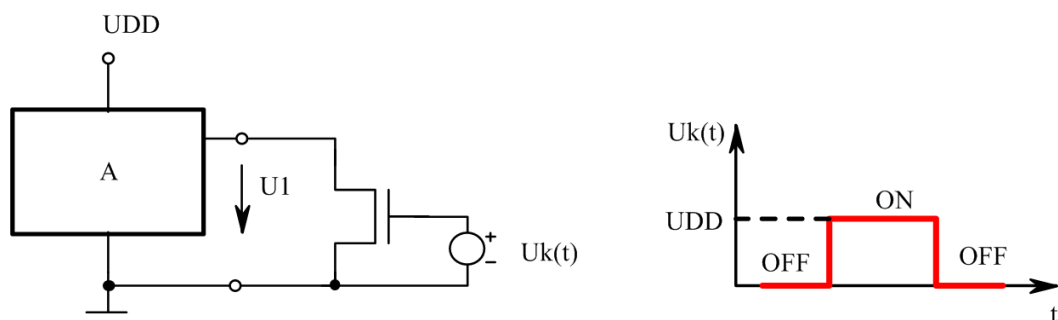
Idealno stikalo ima v stanju vklopa upornost nič ($R_{ON} = 0$) in takrat ni na njem nobenega padca napetosti. Ko pa je izklopljeno, ima neskončno upornost ($R_{OFF} = \infty$). Pri realnih stikalih teh vrednosti ne dosegamo, ampak se jim samo bolj ali manj približamo. Dobro stikalo naj ima čim nižjo R_{ON} in čim večjo R_{OFF} ter naj bo čim hitrejše. Stikala, ki jih nameravamo uporabiti v analognih vezjih, naj imajo R_{ON} in R_{OFF} čim bolj linearni, zato da stikalo ne bo popačilo signala. Višina napetosti, ki ostane na stikalu, ko je vklopljeno, ni odvisna samo od R_{ON} , ampak tudi od toka, ki takrat teče skozi stikalo. To napetost bomo označili z $U_{AB(on)}$.

Vklop oziroma izklop sprožimo s signalom, ki je lahko napetost ali tok. Obravnavali bomo samo napetostno krmiljena stikala. Z $U_k(t)$ bomo označili krmilno napetost, ki je v bistvu funkcija časa oziroma program stikala.



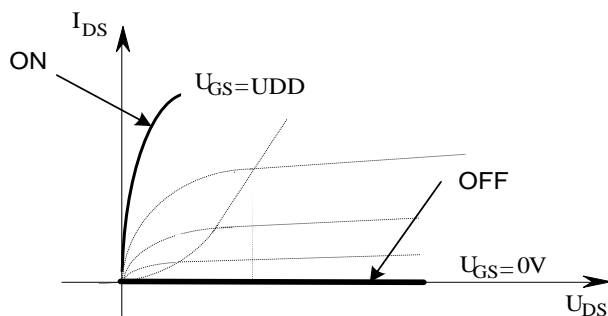
Slika 3.28: Dve tipični umestitvi stikal: stikalo z eno sponko na napajalni napetosti oziroma masi (a) in stikalo, kjer sta obe sponki na spreminjajočih napetostih (b). Vir: lasten.

Vsak element, čigar upornost se izrazito spreminja v odvisnosti od krmilnega signala, lahko uporabimo kot stikalo. Ker MOS tranzistor izpolnjuje te pogoje, je zelo primeren stikalni element. Najprej bomo obravnavali MOS stikalo, ki ima eno izmed sponk priključeno na napajalno napetost (slika 3.29). Ker je v večini primerov $USS = 0$ V, bomo to v nadaljevanju upoštevali. Izrazi bodo zaradi tega preglednejši, na sam postopek pa ta poenostavitev ne bo bistveno vplivala.



Slika 3.29: NMOS stikalo. Vir: lasten.

Vrata MOS tranzistorja bomo krmilili z napetostjo, ki se bo skokovito spreminjala od 0 V na UDD in nazaj. Izhodni tok MOS tranzistorja je odvisen od krmilne napetosti in od U_{DS} . Ko je $U_{GS} < U_t$, tranzistor ne prevaja. Kljub temu teče majhen zaporni tok pn-spojev, ki pa je zelo majhen (nekaj 10 pA). To pomeni, da je R_{OFF} zadostno velika. Večja težava nastopa pri R_{ON} .



Slika 3.30: MOS tranzistor ima nizko upornost samo v linearnem področju. Vir: lasten.

Ker ima MOS majhno upornost samo v linearnem področju, moramo pri stikalu zagotoviti, da bo vedno izpolnjen pogoj $U_{DS} < (U_{GS} - U_t)$ (glej sliko 3.30). Če je U_{DS} majhen, lahko kvadratni člen v enačbi, ki opisuje triodno območje, zanemarimo:

$$I_{DS} \approx k_n' \frac{W}{L} [(U_{GS} - U_m) U_{DS}]$$

Dobili smo linearen upor, čigar vrednost je:

$$R_{ON} = \frac{U_{DS}}{I_{DS}} = \frac{1}{k_n' \frac{W}{L} (U_{GS} - U_m)} \quad (3.32)$$

V bistvu je to dinamična upornost, ki jo ima tranzistor v delovni točki $I_{DS} = 0$. V tabeli 3.2 je prikazanih nekaj tipičnih vrednosti R_{ON} . Šele z zelo veliko širino tranzistorjev oziroma visoko krmilno napetostjo lahko dobimo nizko R_{ON} . Z večanjem razmerja W/L se manjša R_{ON} in s tem tudi napetost $U_{AB(on)}$. Žal se hkrati tudi večajo parazitne kapacitivnosti. Pri dimenzioniranju moramo torej napraviti kompromis med hitrostjo in R_{ON} . Zelo pogosto je točka A priključena na

vrata nekega MOS tranzistorja. Ker v njegova vrata ne teče noben tok, je lahko R_{ON} relativno velika. V takem primeru ima lahko stikalni MOS najmanjše dimenzije.

Tabela 3.2: R_{ON} v odvisnosti od U_{GS} in W/L ($k'n = 110 \mu A/V^2$, $U_t = 0,7 V$). Vir: lasten.

U_{GS}	R_{ON}	R_{ON}
	$W/L=1$	$W/L=10$
1 V	30K	3,0K
2 V	6,9K	0,69K
3 V	3,9K	0,39K
4 V	2,7K	0,27K
5 V	2,0K	0,20K

Zgled

Projektiraj NMOS stikalo, ki naj ima pri toku 1 mA napetost na sponkah manjšo od 0,5 V ($U_{AB(on)} < 0,5 V$). Drugi podatki: $k'n = 110 \mu A/V^2$, $U_t = 0,7 V$, krmilna napetost $U_k = U_{DD} = 5 V$.

Ker se linearno področje začne pri $U_{DS} = 0 V$ in konča pri $U_{GS} - U_t = 5 V - 0,7 V = 4,3 V$, bo tranzistor globoko v linearnem področju. Ker je največja napetost na stikalu 0,5 V, lahko izračunamo maksimalno R_{ON} :

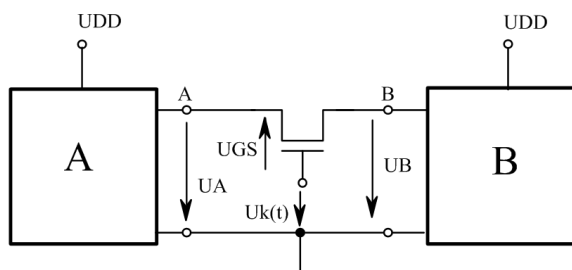
$$R_{ON} = \frac{U_{DS}}{I_{DS}} = \frac{0,5V}{1mA} = 0,5k\Omega$$

Iz (3.32) izrazimo W/L :

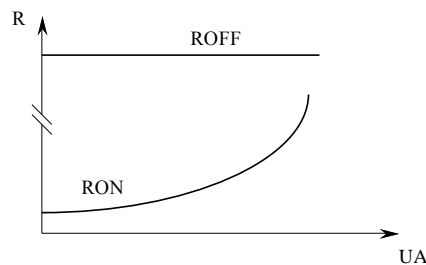
$$\frac{W}{L} = \frac{1}{R_{ON} \cdot k_n \cdot (U_{GS} - U_{tn})} = \frac{1}{0,5 \cdot 10^3 \cdot 110 \cdot 10^{-6} (5 - 0,7)} = 4,2$$

Dimenzije zaokrožimo navzgor in dobimo $W/L = 5/1$.

Če je NMOS stikalo umeščeno med dve spreminjajoči napetosti, se obravnava rahlo zaplete. Krmilna napetost U_{GS} je sedaj odvisna od velikosti U_A oziroma U_B . Ker je $U_{SB} > 0$, nastopi tudi dvig pragovne napetosti (body pojav).



Slika 3.31: NMOS stikalo. Vir: lasten.



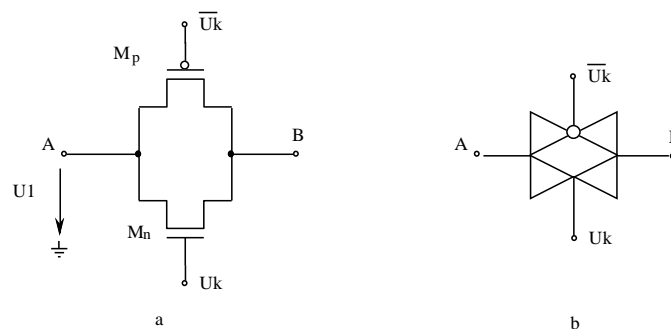
Slika 3.32: Karakteristika NMOS stikala v odvisnosti od U_A . Vir: lasten.

Paziti moramo na napetost U_A , ki ne sme biti prevelika, saj je $U_{GS} = U_k - U_A$. Večja bo U_A , manjša bo U_{GS} , kar pomeni tudi višjo R_{ON} (glej sliko 3.32). Tranzistor bo prevajal, če bo U_{GS} večja od pragovne napetosti, oziroma ko bo $U_k = U_{DD}$ in bo U_A majhna. Če potencial na vratih priključimo na maso, potem bo U_{GS} vedno negativna in takrat tranzistor ne bo nikakor prevajal. Dobljene ugotovitve sedaj prikažimo v tabeli:

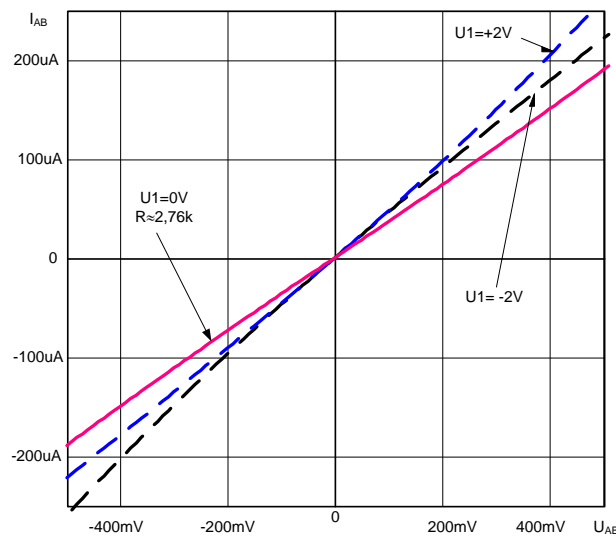
$U_k = "1"$	oziroma	$U_k = U_{DD}$	vklop
$U_k = "0"$	oziroma	$U_k = 0$	izklop

S paralelno vezavo PMOS tranzistorja in komplementarnim krmiljenjem lahko delno kompenziramo nelinearnost R_{ON} (slika 3.33 in 3.34). Tovrstno CMOS stikalo imenujemo tudi *prenosna celica* (transmission gate). To vezje smo že podrobneje obravnavali v poglavju *Upor*. Tam smo ga uporabili za realizacijo linearnega upora. Če je zahtevano, da se lahko potencial U_1 nahaja znotraj napajalnih napetosti, je lahko maksimalni padec napetosti U_{AB} na stikalu, ko prevaja: $-0,6 \text{ V} < U_{AB} < 0,6 \text{ V}$. Pri majhnih tokovih tega pogoja ni težko izpolniti.

Projektiranje CMOS stikala: Ker sta vezana paralelno, vsak tranzistor dimenzioniramo na vrednost $2R_{ON}$.

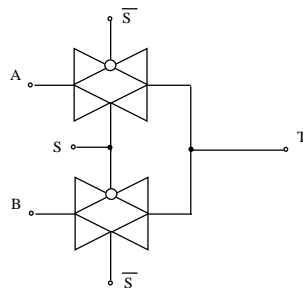


Slika 3.33: Prenosna celica: (a) struktura, (b) simbol. Vir: lasten.



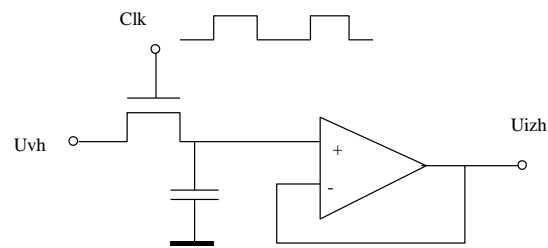
Slika 3.34: Potek I-U karakteristike oziroma R_{ON} neke prenosne celice, ko je stikalo vklopljeno (glej tudi sliko 2.82). Vir: lasten.

MOS stikala oziroma prenosne celice uporabljamo tudi pri statičnih in dinamičnih logičnih vezjih. Pri slednjih so eden izmed najbolj bistvenih elementov. Za zgled pogledjmo dvovhodni multiplekser, ki ga prikazuje slika 3.35. Ko je $S = 1$, prevaja TG1, TG2 pa ne. Za $S = 0$ se zgodi ravno obratno.



Slika 3.35: Analogni dvovhodni multiplekser. Vir: lasten.

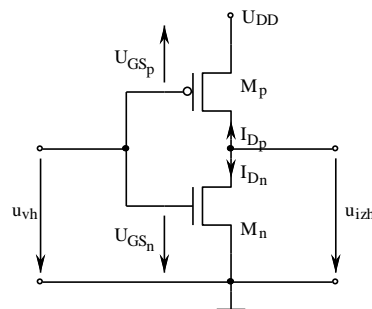
Naslednji zgled (slika 3.36) prikazuje vzorčevalno vezje, ki periodično vzorči signal U_{vh} in skuša vsaj neka časa ohraniti vzorčeno vrednost signala. MOS tranzistor deluje kot stikalo, ki mora čim hitreje napolniti kondenzator na napetost U_{vh} . Ko gre urin signal v logično ničlo, MOS izklopi in napetost (vzorec napetosti U_{vh}) ostane na kondenzatorju. Ker ima neinverzirajoči ojačevalnik zelo visoko izhodno upornost in ojačenje 1, se enaka napetost pojavi na nizkomskem izhodu. Če bi imeli idealno stikalo, kondenzator in ojačevalnik z neskončno vhodno upornostjo, bi se vrednost vzorca ohranila poljubno dolgo. V realnosti napetost na kondenzatorju počasi pada, saj se le-ta prazni preko izhodne upornosti MOS stikala in delno tudi preko vhodne upornosti ojačevalnika.



Slika 3.36: Preprosto vzorčevalno vezje (sample-and-hold circuit) vsebuje MOS stikalo.
Vir: lasten.

3.3.2. CMOS INVERTOR

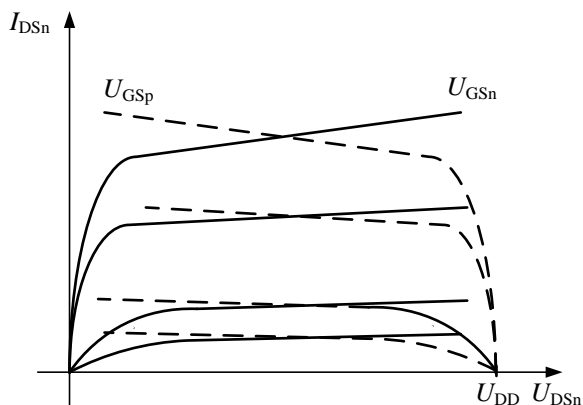
CMOS invertor je sestavljen iz dveh komplementarnih [stikal](#), ki ju napravimo s komplementarnima tranzistorjema. Najprej bomo določili prenosno karakteristiko $u_{izh} = f(u_{vh})$ in nato poiskali povezavo med preklopno napetostjo in dimenzijami tranzistorjev.



Slika 3.37: CMOS invertor. Vir: lasten.

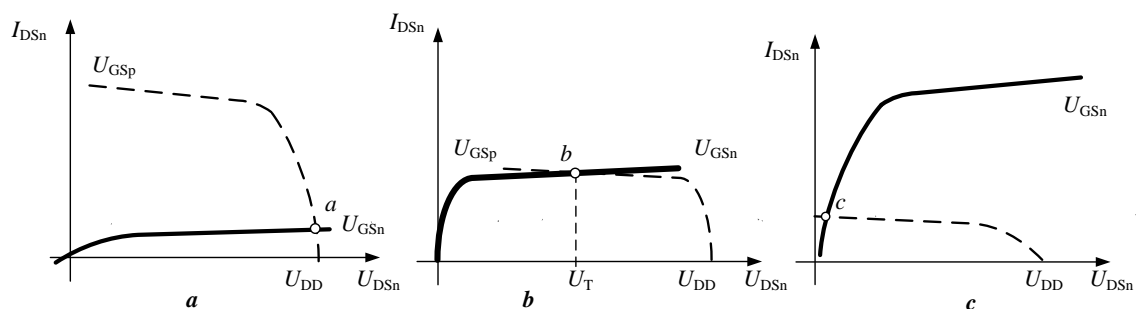
Preklopna karakteristika

Tako kot pri prejšnjih pristopih bomo tudi tukaj najprej z grafično analizo določili približni potek prenosne karakteristike. Zopet nas bo zanimala preklopna napetost. V začetku bomo predpostavili, da imata oba komplementarna tranzistorja popolnoma simetrične karakteristike. Zrcaljeno karakteristiko PMOS tranzistorja, ki smo jo zaradi večje preglednosti označili s črtkano črto, vrišemo v izhodno karakteristiko NMOS tranzistorja. Ker sta obe izhodni karakteristiki parametrizirani, je analiza dokaj nepregledna. Zato so na sliki 3.39 posebej narisane tri značilne točke: a, b in c.



Slika 3.38: Grafična analiza. Vir: lasten.

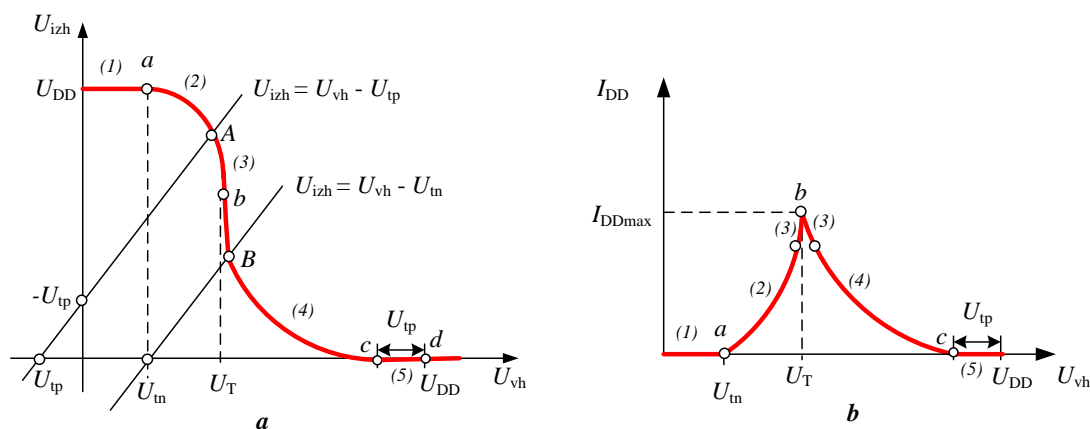
Dokler U_{vh} ne doseže pragovne napetosti NMOS tranzistorja, tako dolgo se U_{izh} ne spremeni. NMOS je zaprt. Ker so vrata PMOS tranzistorja priključena na visoko napetost, le-ta prevaja in na izhodu je U_{DD} . Ko doseže U_{vh} napetost U_{tn} , začne NMOS prevajati (točka a na sliki 3.39 a). Z večanjem U_{vh} se večja U_{GSn} in manjša U_{GSp} . Delovna točka a se vzpenja po karakteristiki navzgor in U_{izh} pada. **Ko je U_{vh} enaka približno polovici U_{DD} , teče skozi oba tranzistorja največji tok (točka b na sliki 3.39 b)**¹⁰⁹. Takrat sta oba tranzistorja v področju nasičenja. Ker sta v tem področju karakteristiki zelo položni, se presečišče (delovna točka) zelo hitro premakne na levo. To pomeni veliko strmino v ustreznem delu prenosne karakteristike. Pri še višji U_{vh} preide NMOS v linearno področje in PMOS se začne počasi zapirati (točka c na sliki 3.39 c). Ko U_{vh} naraste do take mere, da je $U_{GSp} < U_{tp}$, je PMOS zaprt, NMOS pa prevaja. NMOS ima takrat nizko, PMOS pa visoko izhodno upornost, kar lahko modeliramo kot vklop oziroma izklop ustreznega stikala.



Slika 3.39: Tri pomembne delovne točke, ki smo jih dobili z grafično analizo. Maksimalni tok je v točki b. Vir: lasten.

¹⁰⁹ To v splošnem ne velja, saj nimamo nikoli popolnoma komplementarnih karakteristik.

Če sprti vnašamo napetosti delovnih točk v polje (U_{izh}, U_{vh}) , dobimo približen potek prenosne karakteristike.



Slika 3.40: (a) Prenosna karakteristika CMOS invertorja in (b) potek toka. Vir: lasten.

Z grafično analizo lahko hitro ugotovimo, da do preklopa pride v območju (A, B), kjer sta oba **tranzistorja v nasičenju**. To pomeni, da bomo pri ugotavljanju preklopne napetosti U_T uporabili enačbe za področje nasičenja.

Najprej zapišemo enačbo za vozlišče, v katerem je definirana izhodna sponka:

$$I_{D_n} + I_{D_p} = 0$$

$$I_{D_n} = \frac{1}{2} k_n (U_{GS_n} - U_{t_n})^2 (1 + \lambda_n \cdot U_{DS_n})$$

$$I_{D_p} = -\frac{1}{2} k_p (-U_{GS_p} + U_{t_p})^2 (1 - \lambda_p \cdot U_{DS_p})$$

Neznane napetosti izrazimo z znanimi:

$$U_{DS_n} = U_{izh} \quad \text{in} \quad U_{GS_n} = U_{vh}$$

$$U_{DD} + U_{GS_p} - U_{vh} = 0$$

$$U_{DD} - U_{izh} + U_{DS_p} = 0$$

$$\frac{1}{2} k_n (U_{vh} - U_{t_n})^2 (1 + \lambda_n U_{izh}) - \frac{1}{2} k_p (U_{DD} - U_{vh} + U_{t_p})^2 (1 - \lambda_p (U_{izh} - U_{DD})) = 0 \quad (3.33)$$

Dobili smo zelo zapleteno implicitno izraženo prenosno karakteristiko $f(u_{vh}, u_{izh}) = 0$. Z grafično analizo smo pred tem ugotovili, da je v točki preklopa ojačenje zelo veliko. Ojačenje v področju nasičenja je približno enako¹¹⁰:

¹¹⁰ Izpeljava ojačenja bo prikazana v poglavju, ki govori o enostopenjskih ojačevalnikih.

$$A_u = -g \cdot R_{nad}$$

Ker nas v bistvu ne zanima ojačenje, ampak preklopna napetost, bomo za zdaj predpostavili, da je ojačenje neskončno. Ker je R_{nad} odvisna od izhodne upornosti tranzistorjev, le-ta pa od λ , bomo vse člene z λ v enačbi (3.33) zanemarili. Enačba (3.33) se zato poenostavi:

$$k_n (U_{vh} - U_{t_n})^2 - k_p (U_{DD} - U_{vh} + U_{t_p})^2 = 0 \quad (3.34)$$

Preklopna napetost je točka na prenosni karakteristiki, kjer je $U_{vh} = U_{izh} = U_T$. Če to identiteto vstavimo v (3.34), lahko hitro izračunamo preklopno napetost U_T :

$$U_T = \frac{U_{DD} + U_{t_p} + U_{t_n} \sqrt{\beta_R \frac{k'_n}{k'_p}}}{1 + \sqrt{\beta_R \frac{k'_n}{k'_p}}} \quad (3.35)$$

Z β_R smo označili razmerje dimenzij obeh tranzistorjev: $\beta_R = \frac{W_n / L_n}{W_p / L_p}$

Enačba (3.35) nam tudi pove, da lahko z β_R nastavljam preklopno napetost (glej sliko 3.41) in da na preklopno napetost vpliva napajalna napetost U_{DD} . Nestabilna U_{DD} povzroča spremembo U_T , kar se odraža kot moteče tresenje signalov¹¹¹. Pri projektiranju nas pogosto zanima, kolikšne morajo biti dimenzije tranzistorjev, da bo $U_T = U_{DD}/2$. Ta pogoj vstavimo v (3.35) in izračunamo potrebno razmerje β_R :

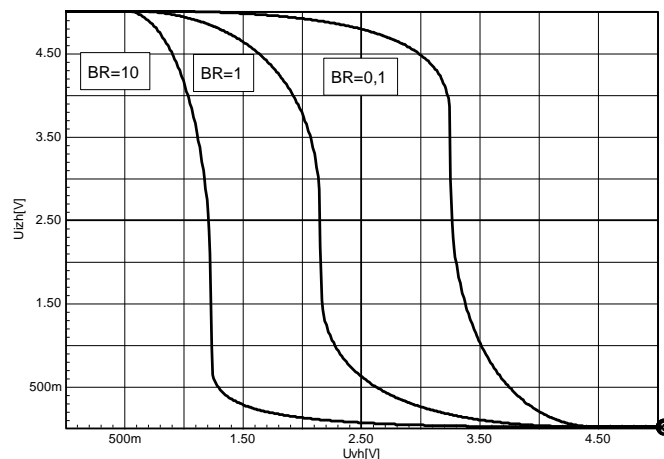
$$\beta_R = \frac{k'_p}{k'_n} \left(\frac{U_{DD} + 2U_{t_p}}{U_{DD} - 2U_{t_n}} \right)^2$$

Pri pogoju $U_{DD} > U_t$ se zgornji izraz poenostavi v:

$$\beta_R = \frac{W_n / L_n}{W_p / L_p} \approx \frac{k'_p}{k'_n} ; \text{ velja samo, če je } U_T = U_{DD}/2! \quad (3.36)$$

Ker je za silicijeva integrirana vezja $k'_n = (2... 4)k'_p$, mora biti $\beta_R = 1/4...1/2$, če želimo preklopno napetost, ki je polovica napajalne. To pomeni, da mora biti pri enako dolgih kanalih ($L_p = L_n$) p-kanalni tranzistor 2 do 4-krat širši. Konkretno dimenzije tranzistorjev pa niso odvisne samo od preklopne napetosti, ampak tudi od zahtevane izhodne upornosti, maksimalnega toka in hitrosti.

¹¹¹ Angl.: jitter of signal.



Slika 3.41: Preklopne karakteristike v odvisnosti od β_R . (Podatki: $U_{DD} = 5\text{ V}$, $U_{tn} = 0,5\text{ V}$, $U_{tp} = -0,5\text{ V}$, $k'_n = 28\ \mu\text{A/V}^2$, $k'_p = 14\ \mu\text{A/V}^2$). Vir: lasten.

Izhodna upornost

Z grafično analizo smo ugotovili, da je po preklopu eden izmed tranzistorjev vedno v **linearnem področju**, kar pomeni, da ima inverter **nizko izhodno upornost v obeh logičnih stanjih**. Le v preklonem področju, kjer sta obe karakteristiki zelo položni, nastopa visoka izhodna upornost, ki pa je odvisna od parametra λ . Če je $\lambda = 0$, imata tranzistorja neskončno izhodno upornost. Nizka izhodna upornost je zaželena, saj se zaradi tega hitreje napolnijo parazitne kapacitivnosti. Izhodna upornost, ko je na izhodu logična ničla oziroma enica, je:

$$R_{o^0} = \frac{1}{\frac{W_n}{L_n} k_n (U_{DD} - U_m)} \quad , \quad R_{o^1} = \frac{1}{\frac{W_p}{L_p} k_p (U_{DD} + U_{tp})}$$

Enačbi za preklopno napetost in izhodno upornost sta preko dimenzij povezani. Zato je nemogoče zadostiti hkrati zahtevi glede preklopne napetosti in obeh izhodnih upornosti. Ta problem rešimo tako, da dodamo dodatni inverter na vhod in izhod. Ker prvi diktira preklopno napetost vezja, ga projektiramo na preklopno napetost, drugega pa na izhodno upornost (slika 3.42).



Slika 3.42: Z dodatnim inverterjem na vhodu nastavimo preklopno napetost, z izhodnim pa izhodno upornosti. LOGIČNO VEZJE je gradnik, s katerim realiziramo zahtevano logično funkcijo. V našem primeru bi to bil inverter. Vir: lasten.

Zgled: Projektiranje CMOS invertorja

Določi dimenzije CMOS invertorja, ki naj ima preklopno napetost na polovici napajalne. Ko je na izhodu logična ničla, naj bo sposoben požreti tok 1 mA. Pri tem toku izhodna napetost lahko zraste do največ 0,5V.

Podatki: $U_{DD} = 5\text{ V}$, $U_{tn} = 0,5\text{ V}$, $U_{tp} = -0,5\text{ V}$, $k'_n = 100\ \mu\text{A}/\text{V}^2$, $k'_p = 50\ \mu\text{A}/\text{V}^2$.

Ker je zahtevana samo **ena** izhodna upornost in preklopna napetost, obstaja rešitev.

Ker je $U_T = U_{DD}/2$, z enačbo (3.36) izračunamo najprej β_R : $\beta_R \approx \frac{k'_p}{k'_n} = \frac{50 \cdot 10^{-6}}{100 \cdot 10^{-6}} = \frac{1}{2}$

Ker v stanju logične ničle prevaja NMOS, bomo na podlagi zahteve glede toka in napetosti najprej določili njegovo izhodno upornost nato pa potrebne dimenzije:

$$R_{ON} = \frac{U_{DS}}{I_{DS}} = \frac{0,5\text{V}}{1\text{mA}} = 0,5\text{k}\Omega$$

Iz (3.32) izračunamo W_n/L_n :

$$\frac{W_n}{L_n} = \frac{1}{R_{ON} k'_n (U_{GSn} - U_{tn})} = \frac{1}{0,5 \cdot 10^3 \cdot 100 \cdot 10^{-6} (5 - 0,5)} = 4,4$$

Dimenzije zaokrožimo na $W_n/L_n = 5/1$ in nato izračunamo še dimenzije PMOS tranzistorja:

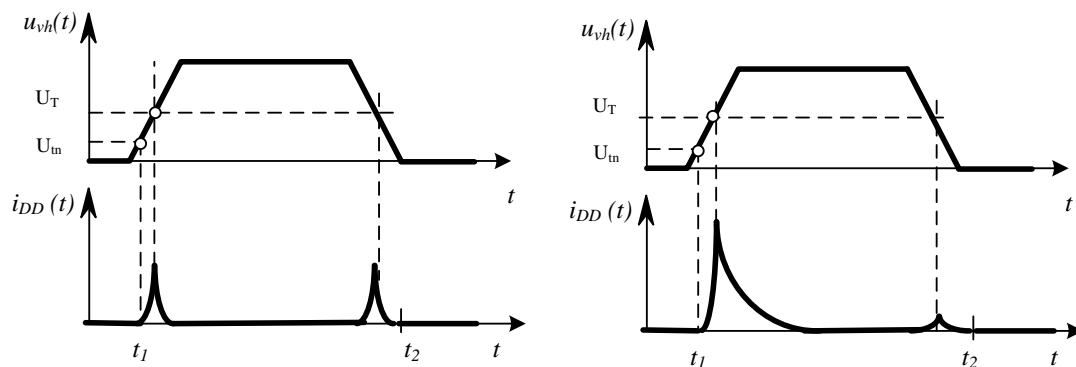
$$W_p / L_p = \frac{W_n / L_n}{\beta_R} = \frac{5}{0,5} = \frac{10}{1}$$

Moč

Povprečna moč, ki se troši na invertorju, je (glej sliko 3.44):

$$\bar{P} = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} p(t) dt = \frac{U_{DD}}{t_2 - t_1} \int_{t_1}^{t_2} i_{DD}(t) dt \quad (3.37)$$

Natančna analiza trošenja moči je zahtevna, saj imamo opravka z nelinearnim dinamičnim vezjem. Zato je določanje natančnega analitičnega izraza za tok $i_{DD}(t)$, ki teče iz napajalnega vira, zelo težko (glej sliko 3.43).

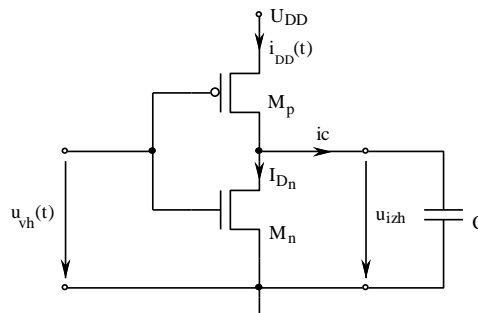


Slika 3.43: Približen potek toka i_{DD} , pri neobremenjenem (levo) in s kapacitivnostjo obremenjenem izhodu (desno). Vir: lasten.

Analizo bomo poenostavili s tem, da bomo skušali oceniti posamezne deleže, ki prispevajo k povprečni moči. Predpostavili bomo, da je skupna povprečna moč enaka vsoti statične in povprečne dinamične moči in da je na izhod priključen kondenzator C , katerega kapacitivnost je večja od parazitne kapacitivnosti invertorja:

$$\bar{P} \approx P_s + \bar{P}_d$$

Statična moč je tista, ki se troši, ko vezje miruje v enem izmed logičnih stanj. Ker je takrat eden izmed tranzistorjev vedno zaprt, ne teče iz UDD skoraj noben tok. Če smo natančni, teče samo zaporni tok pn-spojev¹¹², ki znaša nekaj deset nA. Konkretna vrednost je odvisna od površine vseh pn-spojev v vezju. Pri nekaj voltih napajalne napetosti znaša P_s približno nekaj μW .



Slika 3.44: Na izhod CMOS invertorja je priključen parazitna kapacitivnost C . Vir: lasten.

Dinamična moč je tista moč, ki se troši pri preklopu. S kondenzatorjem C bomo modelirali parazitno kapacitivnost, ki je priključen na izhod. Namesto da bi skušali določiti konkretne tokove in napetosti, pogledjmo, kaj se dogaja s kondenzatorjem. Energija na kondenzatorju je povezana z močjo, ki se troši na tranzistorjih, saj tokovi, ki polnijo kondenzator, tečejo tudi skozi oba tranzistorja. Ob preklopu (na izhodu naj bo "1") se kondenzator nabije na napetost UDD, oziroma sprejme energijo:

¹¹² Pri submikronskih tehnologijah ni več zanemarljiv, npr. pri $0,13\mu\text{m}$ tehnologiji znaša 12 -25% celotne moči.

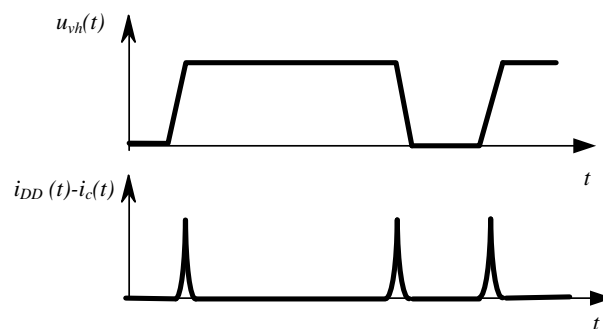
$$W_c = \frac{CU_{DD}^2}{2}$$

Ob spremembi stanja kondenzator to energijo odda inverterju. Skupna energija, ki jo kondenzator sprejme in odda v času T , je torej $2W_c$. Kvocient energije in časa je v bistvu povprečna dinamična moč, ki se je potrošila na obeh tranzistorjih:

$$\bar{P}_d = \frac{2W_c}{T} = fCU_{DD}^2$$

Na dokaj enostaven način smo prišli do zelo pomembnega rezultata.

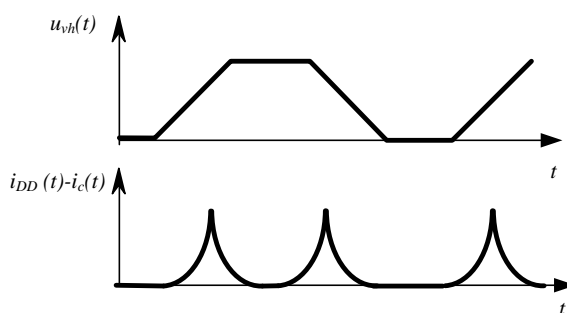
Že pri grafični analizi smo ugotovili, da pri preklopu steče za trenutek tok tudi skozi oba tranzistorja (glej sliko 3.39 b). Tega toka do sedaj nismo upoštevali. Pogledimo, od česa je odvisen in kdaj ga lahko zanemarimo. Ker nas tokrat ne zanima tok, ki teče v kondenzator, tega odstranimo. Sedaj teče iz napajalnega vira tok samo skozi oba tranzistorja v maso. Potek toka, ki je prikazan na sliki 3.45, je zelo podoben kompletnemu toku, ki teče iz baterije (slika 3.43).



Slika 3.45: Tok skozi oba tranzistorja pri velikem gradientu¹¹³ vhodnega signala pri neobremenjenem izhodu. Glede na sliko 3.43 se je povprečna vrednost disipacije zmanjšala.
Vir: lasten.

Pri nizki u_{vh} ni toka. Nato tok narašča in pri preklopni napetosti steče največji. Z nadaljnjim naraščanjem u_{vh} tok zopet pade. Natančno vrednost povprečne moči bi lahko izračunali z integralom (glej enačbo (3.37)). Ker gre v bistvu za povprečno površino pod funkcijo $i_{DD} - i_c$, takoj vidimo, da bo površina večja, če bo u_{vh} počasneje naraščala (slika 3.46). Če se u_{vh} ustavi na preklopni napetosti U_T , lahko inverter celo uničimo. Zato se pogosto zahteva, da je gradient u_{vh} dovolj velik. V tem primeru lahko tudi delež dinamične moči, ki smo ga pravkar opisali, zanemarimo.

¹¹³ To je hitrost vzpenjanja signala.

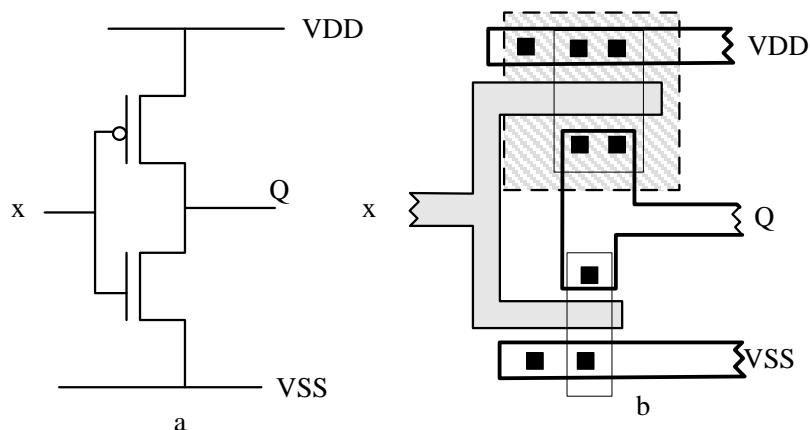


Slika 3.46: Tok skozi oba tranzistorja pri majhnem gradientu vhodnega signala. Glede na sliko 3.43 se je povprečna vrednost disipacije povečala. Vir: lasten.

Primerjava vseh deležev kaže, da je daleč največji delež moči, ki nastane zaradi polnjenja parazitnih kapacitivnosti. Zato bomo moč, ki se troši na invertorju, ocenili z:

$$\boxed{\bar{P} = fCU_{DD}^2} \quad (3.38)$$

Vidimo, da je moč proporcionalna frekvenci ure. Hitreje bo vezje delovalo, večja bo moč. Ker so današnja vezja zelo hitra, nastopa problem odvajanja toplote. Enačba (3.38) ponuja dve možnosti: zmanjšanje parazitnih kapacitivnosti in zmanjšanje napajalne napetosti. Z manjšanjem dimenzij tranzistorjev se zmanjšajo tudi parazitne kapacitivnosti. Med pragovno napetostjo in U_{DD} mora obstajati dovolj velika razlika, da lahko zadostimo logičnim nivojem. Če želimo znižati napajalno napetost na nizko vrednost, moramo znižati tudi pragovne napetosti tranzistorjev. V začetnem obdobju tehnologije MOS so bile pragovne napetosti nekaj voltov, danes so že pod enim voltom. Veliko današnjih integriranih vezij deluje s 3,3 V napajanjem. Zaradi kompatibilnosti mnogi čipi uporabljajo tudi vgrajene stabilizatorje napetosti, tako da navzven še vedno delujejo s 5 V napajanjem.



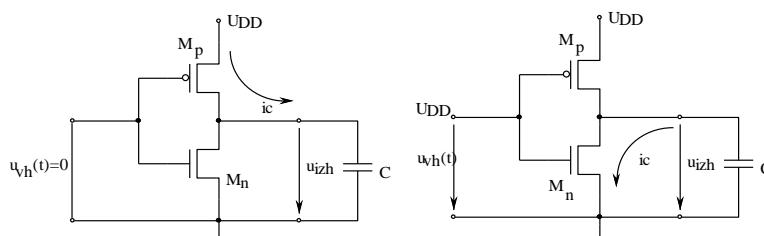
Slika 3.47: Tipična geometrijska struktura CMOS invertorja v tehnologiji n-otoki. Vir: lasten.

Prednosti CMOS vezij v primerjavi z NMOS logičnimi vezji

- Zelo majhna poraba električne energije, ko je vezje v mirovanju.
- Nizka izhodna upornost logične ničle in enice.
- Enostavno nastavljanje preklopne napetosti.

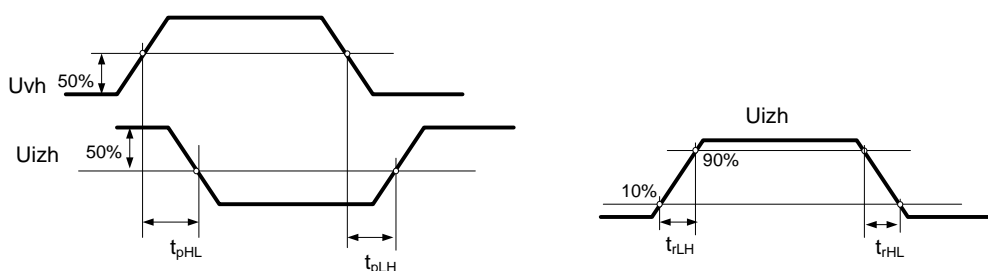
3.3.3. DINAMIČNE LASTNOSTI CMOS INVERTORJA

Do sedaj smo v glavnem zanemarili dinamične lastnosti invertorja. V tem podpoglavju bomo na kratko opisali najpomembnejše vzroke, ki vplivajo na hitrost delovanja CMOS invertorja. Prvi je v parazitni kapacitivnosti bremena in povezav, drugi pa v parazitnih kapacitivnostih samega MOS tranzistorja. Ker je njihova določitev zahtevna, si večinoma pomagamo s simulatorjem. V nadaljevanju bomo napravili kratko kvalitativno analizo; podrobnejša je v [WESTE,2005].



Slika 3.48: Ko je na izhodu "1", se mora kondenzator skozi M_p napolniti, ob "0" se skozi M_n prazni. Vir: lasten.

Kadar prevladuje kapacitivnost bremena, lahko kapacitivnosti tranzistorja zanemarimo. V tem primeru se analiza delno poenostavi. Predpostavimo, da je na izhod invertorja priključen eden ali več CMOS logičnih gradnikov. Parazitno kapacitivnost bremena in povezav lahko modeliramo kar z linearnim kondenzatorjem (slika 3.48). Hitrost naraščanja U_{izh} in zakasnitev (glej sliko 3.49) je odvisna predvsem od C in od izhodne upornosti CMOS invertorja. Če želimo simetrično zakasnitev oziroma čas vzpona (enaka za logično 1 in 0), morata imeti tranzistorja enake izhodne upornosti. Izhodno upornost lahko manjšamo z večanjem razmerja W/L , vendar se s tem hkrati tudi večja površina vrat, kar pomeni večjo kapacitivnost tranzistorja in spremeni se preklopna napetost. Ta problem rešujemo z dodatnim invertorjem na vhodu in izhodu (glej sliko 3.42).

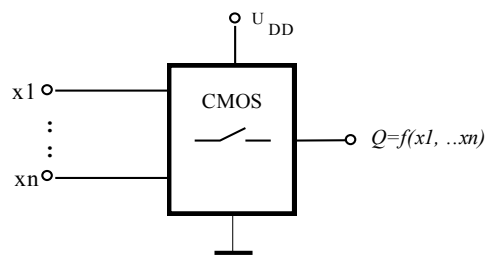


Slika 3.49: Zakasnitev (t_p) in čas vzpona (t_r) sta v splošnem različna za prehod iz 1 v 0 in obratno. Vir: lasten.

Z velikimi kapacitivnostmi se srečamo predvsem pri logičnih gradnikih, ki povezujejo zunanost čipa z njegovo notranjostjo. Zunanja bremena in kontaktna blazinica imajo veliko kapacitivnost (lahko tudi nekaj pF). Kljub bremenom z zelo veliko upornostjo so za hitro delovanje potrebni zelo široki izhodni tranzistorji, včasih tudi z razmerji W/L večjimi od 100.

3.3.4. SPLOŠNO CMOS DECIZIJSKO VEZJE

Izhodišče za sintezo CMOS decizijskega vezja je pravilnostna tabela oziroma logična funkcija $Q = f(x_1, \dots, x_n)$, ki ji mora ustrezati iskano logično vezje.

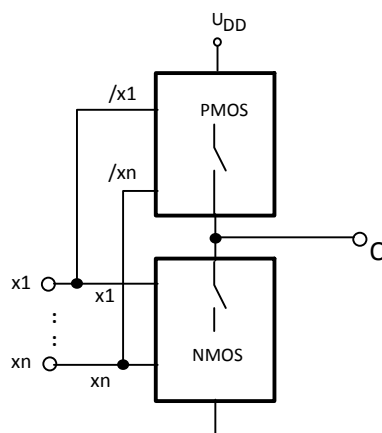


Slika 3.50: Splošno CMOS decizijsko vezje. Vir: lasten.

Rešitve bomo iskali v množici stikal, ki so razdeljena v dve skupini. Obe skupini naj bosta med seboj povezani tako kot prikazuje slika 3.51. NMOS tranzistorji morajo ob ustrezni kombinaciji vhodnih podatkov preklopiti izhod na USS oziroma na maso. To lahko izrazimo kot negiran izhod Q:

$$\bar{Q} = f(x_1, \dots, x_n) \text{ oziroma } Q = \bar{f}(x_1, \dots, x_n) = f_n(x_1, \dots, x_n)$$

Negirano funkcijo, ki jo bomo ustvarili z NMOS stikali, smo označili s f_n . Če ostane kakšen vhodni signal negiran, ga moramo z dodatnim invertorjem negirati.



Slika 3.51: Ena izmed možnih struktur splošnega CMOS decizijskega vezja. Vir: lasten.

V drugi skupini so sami PMOS tranzistorji, ki bodo skrbeli, da bo ob določeni kombinaciji vhodnih podatkov izhod priključen na napajalno napetost UDD. **Ker PMOS tranzistorje vklaplja negiran vhodni signal**, moramo funkcijo f **samo preurediti** tako, da bo izražena izključno z negiranimi argumenti¹¹⁴. Če za kakšen vhodni signal to ni mogoče, ga moramo z dodatnim invertorjem negirati. Tako preurejeno funkcijo bomo označili s f_p :

$$Q = f_p(\bar{x}_1, \dots, \bar{x}_n)$$

Ko smo določili obe funkciji, sledi sinteza za vsako skupino. Pri tem uporabljamo naslednji pravili: OR operator pomeni vzporedno vezavo stikal, AND pa zaporedno. Za zgled si pogledjmo sintezo NOR vrat.

Zgled

Napraviti sintezo CMOS vezja, ki naj izvaja funkcijo NOR vrat: $Q = \overline{x_1 + x_2}$.

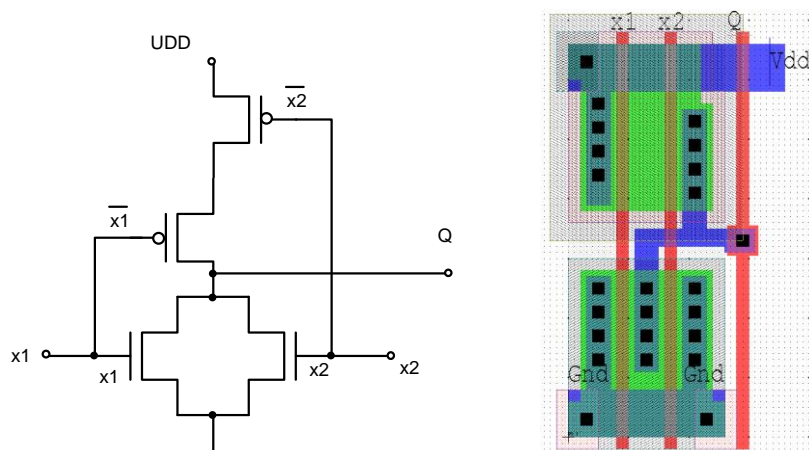
Najprej določimo f_n : $\bar{Q} = x_1 + x_2$

To logično funkcijo ustvarimo z dvema paralelnima NMOS tranzistorjema, ki sta krmiljena z x_1 in x_2 .

Sedaj je na vrsti f_p . Če uporabimo De Morganovo pravilo, dobimo:

$$Q = \overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$$

Ker je zahtevana IN operacija, moramo serijsko vezati dva PMOS tranzistorja. Na koncu še med seboj povežemo pripadajoče vhode obeh skupin: \bar{x}_1 in x_1 ter \bar{x}_2 in x_2 . Dobimo naslednjo CMOS strukturo vezja, ki ga prikazuje slika 3.52. Za ilustracijo je še dodana ena izmed možnih geometrijskih struktur, ki je bila načrtovana s profesionalnim CAE/CAD orodjem.



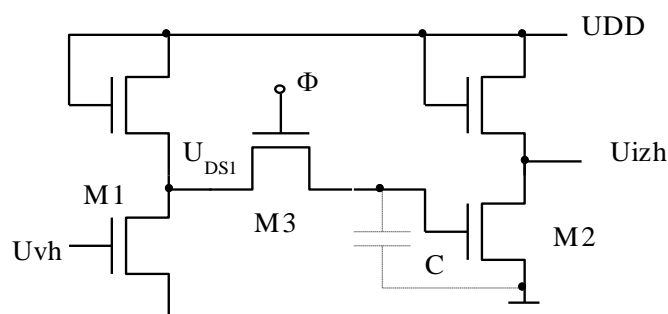
Slika 3.52 Zgled CMOS decizijskega vezja. Vir: lasten.

¹¹⁴ Isti signal x_1 je označen kot \bar{x}_1 za PMOS tranzistorje. Zato pare x_j samo \bar{x}_j kar povežemo in ne vstavljamo invertorjev.

3.4. DINAMIČNA MOS VEZJA

Kondenzator, ki ga napolnimo, lahko nekaj časa obdrži naboj oziroma napetost. V bistvu se obnaša kot najpreprostejši analogni pomnilni element. Na podlagi te lastnosti je nastala skupina vezij, ki jih imenujemo dinamična vezja. Poznamo logična in analogna dinamična vezja. V tem podpoglavju bomo spoznali podskupino logičnih dinamičnih vezij. Razložili bomo samo osnovno idejo dinamičnih logičnih vezij. Obširna razlaga je v [WESTE,2005].

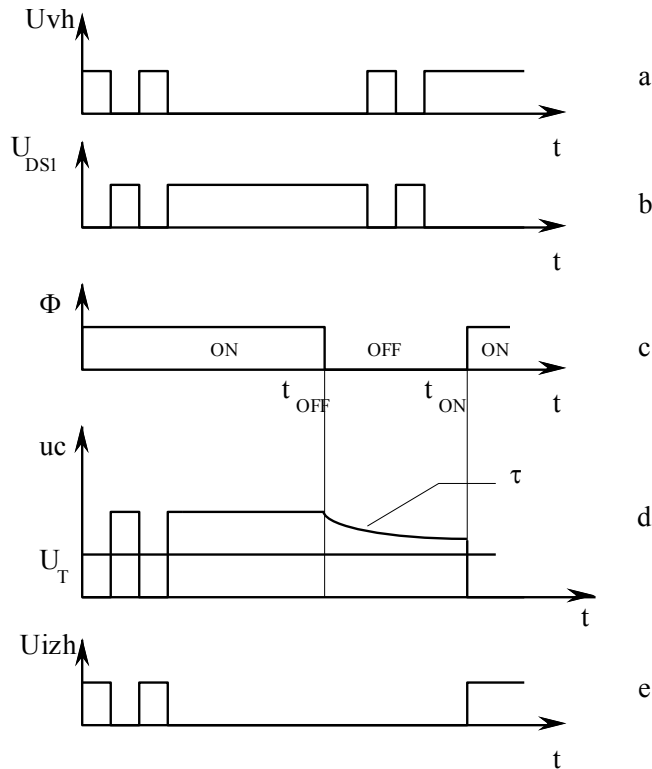
Za začetek izberimo dva izmed množice logičnih gradnikov in ju povežimo s stikalom. Ker nas zanima predvsem princip delovanja, bomo izbrali najbolj enostavne gradnike (glej sliko 3.53). Tudi preprosto MOS stikalo bi lahko zamenjali s prenosno celico. Kondenzatorja, ki naj deluje v določenem intervalu kot pomnilni element, ne dodajamo posebej, ampak izkoriščamo kar parazitno kapacitivnost naslednjega logičnega gradnika. Zato smo ga narisali črtkano.



Slika 3.53: Preprosto dinamično logično vezje. Vir: [WESTE,2005].

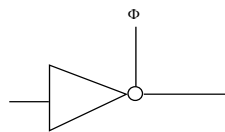
Stikalo naj bo krmiljeno z urinim signalom Φ . Predpostavimo, da je M3 v začetku odprt. Za zdaj naj se U_{vh} spreminja ob poljubnih trenutkih. Tem spremembam bo verno sledil izhod prvega invertorja oziroma U_{DS1} (glej sliko 3.54 b). Ker je stikalo sklenjeno, se ta napetost ponovno invertira. Takoj opazimo, da izhodni signal zavzema enaka stanja, kot se pojavljajo na vhodu (slika 3.54 e). V trenutku t_{OFF} , naj se M3 zapre. Povezava med invertorjema je sedaj prekinjena. Na kondenzatorju je ostala izhodna napetost prvega invertorja. Kljub temu da na vratih M3 ni krmilne napetosti, se kondenzator počasi skozi M3 prazni. Ura Φ naj bo tako hitra, da napetost ne bo padla pod preklopno napetost invertorja. Ker sta invertorja nepovezana, se spremembe na vhodu ne prenašajo naprej. Ob trenutku t_{ON} začne M3 prevajati in U_{izh} zopet zavzame stanje, kakršno je na vhodu M1.

Povzemimo dosedanje ugotovitve. Dokler je bila $\Phi = 1$, je veljalo $U_{izh} = U_{vh}$. Ko je ura prešla na 0, je izhod ostal na istem nivoju. Takoj vidimo, da ima te lastnosti zadrževalnik oziroma D flip-flop. Če bi hoteli zgraditi takšen zadrževalnik s statično logiko, bi potrebovali okrog 10 tranzistorjev.



Slika 3.54: Poteki napetosti. Vir: [WESTE,2005].

Vežje bo delovalo pravilno, če napetost na kondenzatorju C ne bo padla pod U_T . To pomeni, da je frekvenca ure Φ navzdol omejena. Ura mora neprestano osveževati stanje na kondenzatorju. Pri vrednostih C , ki so velikostnega reda 10^{-15} F, in pri zapornih tokovih $M3$ (10^{-12} A) je minimalna frekvenca velikostnega reda nekaj milisekund. Padanje U_c je odvisno od časovne konstante τ oziroma od produkta C in R_{OFF} . Pri razlagi smo zaradi poenostavljanja zanemarili čas polnjenja kondenzatorja, ki naj bo čim krajši. Na sliki zaradi preglednosti to tudi ni narisano.

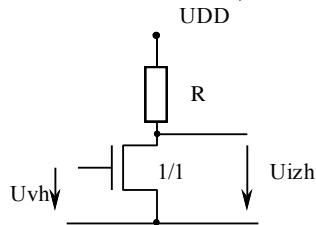


Slika 3.55: Simbol za dinamični invertor. Vir: [WESTE,2005].

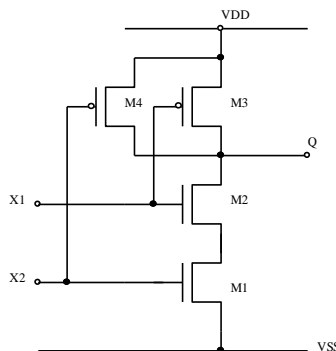
S serijsko povezavo dinamičnih invertorjev lahko zelo enostavno zgradimo premikalne registre. Na kratko smo prikazali samo eno skupino dinamičnih logičnih vezij. Druge so podrobneje opisane v [WESTE,2005]. Tudi analogna vezja je možno načrtovati s podobno idejo, kot smo jo srečali tukaj (glej poglavje SC vezja).

3.5. VPRAŠANJA IN NALOGE

1. Določi prenosno karakteristiko na grafični in na analitični način.
($U_{DD} = 5\text{ V}$, $k_n' = 40\ \mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{ V}$, $R = 10\text{ K}$).



2. Izpelji izraz za strmino prenosne karakteristike v preklopnem področju NMOS invertorja.
3. Nariši geometrijsko strukturo 2-vhodnih NAND vrat, ki bodo realizirana v CMOS tehnologiji (p-otoki). Uporabi karirast papir. Dimenzije vseh tranzistorjev naj bodo enake. Da bo vaja enostavnejša, ni potrebno upoštevati nobenih dimenzijskih pravil. Položaj sponk (X1, X2, VDD, VSS) naj bo v geometrijski strukturi približno tak, kot je na spodnji sliki.



4. Ugotovi, kaj predstavlja narisana geometrijska struktura. Nato nariši poenostavljeno prenosno karakteristiko, ki je sestavljena iz treh linearnih segmentov. Minimalna napetost na izhodu je približno 0,12 V. Izračunaj preklopno napetost. Body pojav pri izračunu zanemari. Izračun preklopne napetosti preveri s simulatorjem.

Podatki:

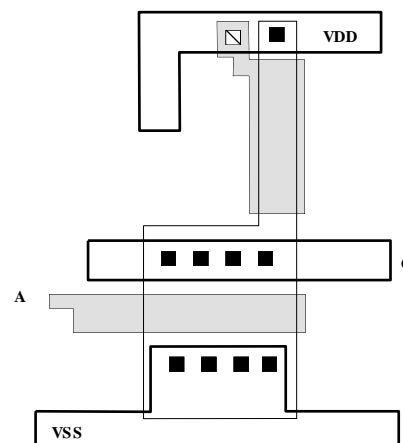
$$V_{DD} = 5\text{ V}$$

$$V_{SS} = 0\text{ V}$$

$$k_n' = 40\ \mu\text{A}/\text{V}^2$$

$$U_{tn} = 1\text{ V}$$

$$\gamma = 0,6\ \text{V}^{1/2}$$



5. Projektiraj NMOS inverter, ki bo imel preklopno napetost $U_T \leq 1,5 \text{ V}$ in maksimalni tok iz napajalnega vira naj ne bo večji od $100 \mu\text{A}$. Tehnologija je $0,8 \mu\text{m}$. Pri izračunu predpostavi, da je $U_{izhmin} \approx 0 \text{ V}$. Podatki: $U_{DD} = 5 \text{ V}$, $U_{tn} = 0,7 \text{ V}$, $k'_n = 110 \mu\text{A}/\text{V}^2$.
6. Dimenzioniraj CMOS negator, ki bo imel preklopno napetost $U_T = 3 \text{ V} \pm 20 \%$. Tehnologija je $0,8 \mu\text{m}$.

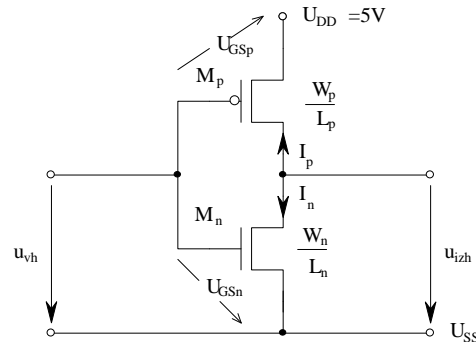
Podatki:

$$k'_n = 110 \mu\text{A}/\text{V}^2$$

$$k'_p = 50 \mu\text{A}/\text{V}^2$$

$$U_{tn} = 0,7 \text{ V}$$

$$U_{tp} = -0,7 \text{ V}$$



7. S simulatorjem določi prenosno karakteristiko $u_{izh} = f(u_{vh})$ za CMOS inverter pri različnih β_R ($\beta_R = 0,1, 1$ in 10). CMOS inverter je izdelan v $5 \mu\text{m}$ tehnologiji. Izračunaj preklopne napetosti za dana razmerja dimenzij in jih primerjaj z vrednostmi, ki jih dobiš s simulatorjem. Prenosne karakteristike naj bodo narisane na skupni sliki. Kolikšna je maksimalna vrednost toka, ki teče iz napajalne napetosti ($\beta_R = 1$, parazitne kapacitivnosti zanemari)?

Podatki:

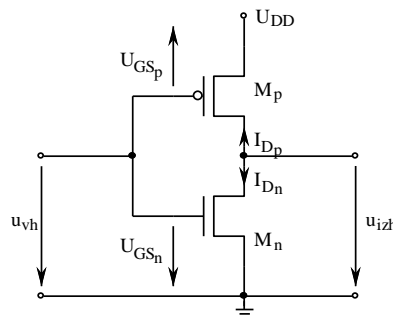
$$U_{DD} = 5 \text{ V}$$

$$U_{tn} = 0,5 \text{ V}$$

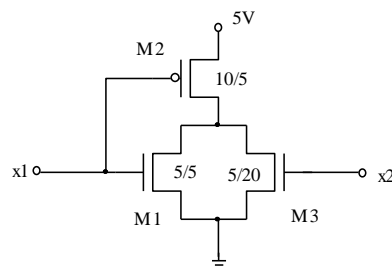
$$U_{tp} = -0,5 \text{ V}$$

$$k'_n = 28 \mu\text{A}/\text{V}^2$$

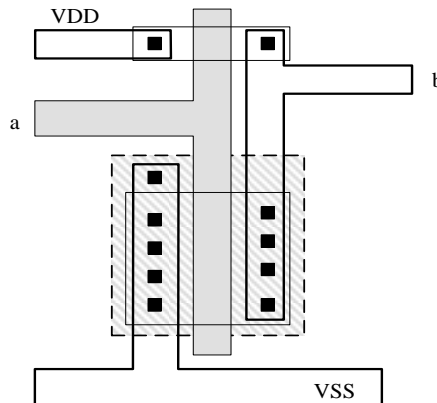
$$k'_p = 14 \mu\text{A}/\text{V}^2$$



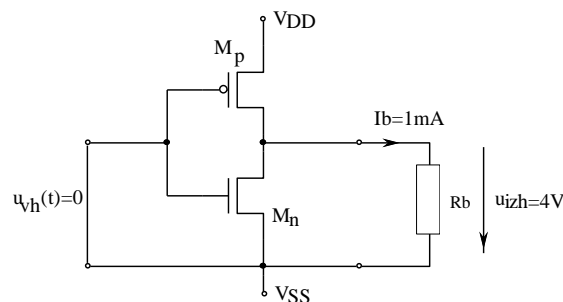
8. Pri kolikšni vhodni napetosti na vhodu x1 preklopi vezje, če je na vhod x2 priključena logična 0 (0 V) oziroma logična 1 (5 V)? Predpostavi, da bosta M1 in M2 takrat v področju nasičenja. Podatki: $k_n = 40 \mu\text{A}/\text{V}^2$, $k_p = 20 \mu\text{A}/\text{V}^2$, $U_{tn} = 1 \text{ V}$, $U_{tp} = -1 \text{ V}$, $\lambda_n = 0,02 \text{ V}^{-1}$, $\lambda_p = 0,04 \text{ V}^{-1}$.



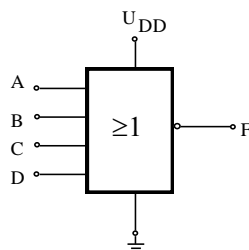
9. Izračunaj preklopno napetost, ki jo ima narisana CMOS struktura. Tehnologija je CMOS z n substratom. Ostali podatki: $k_n = 40 \mu\text{A}/\text{V}^2$, $k_p = 20 \mu\text{A}/\text{V}^2$, $U_{tn} = 1 \text{ V}$, $U_{tp} = -1 \text{ V}$, $V_{SS} = 0 \text{ V}$ in $V_{DD} = 5 \text{ V}$. Skiciraj prenosno karakteristiko.



10. Preklopna napetost naj bo 2,5 V, minimalna napetost logične enice pa 4 V. Ostali podatki so enaki kot pri nalogi 6. Na izhod priključimo breme, ki povzroči padec napetosti, takrat ko je na izhodu logična enica. Kolikšne so konkretne dimenzije tranzistorjev, če je tok v breme 1 mA ?



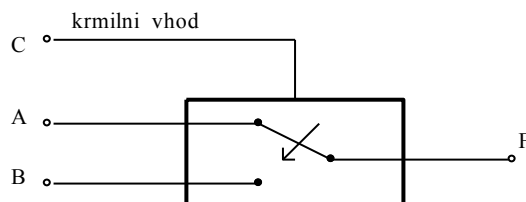
11. Realiziraj 4-vhodna NALI vrata s CMOS tranzistorji.



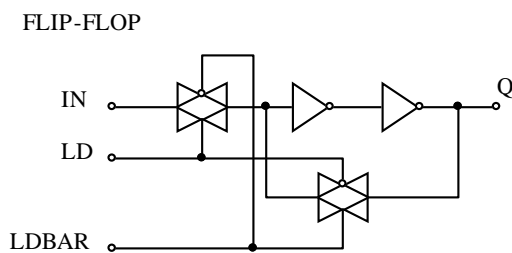
12. Realiziraj naslednjo funkcijo s CMOS tranzistorji: $F = \overline{((A \cdot B) + (C \cdot D))}$
13. Napravi sintezo logičnega vezja, ki je sestavljeno iz samih NMOS tranzistorjev in opravlja naslednjo logično funkcijo: $Q = (x_1x_2 + x_1x_4 + x_3)$. Preklopna napetost vezja naj bo $U_T \leq 1,5 \text{ V}$ in maksimalni tok iz napajalnega vira za vsak NMOS upor naj ne bo večji od $100 \mu\text{A}$. Ostali podatki so enaki kot pri nalogi 5. Določi tudi konkretne dimenzije tranzistorjev.

14. Realiziraj logično funkcijo $Q = \overline{((A + B + C) \cdot D + (C \cdot E))}$ z NMOS tranzistorji.
15. Realiziraj funkcijo $F = \overline{((A + B + C) \cdot D)}$ s CMOS tranzistorji.
16. S CMOS tranzistorji realiziraj dvovhodni multiplekser, ki je opisan z naslednjo tabelo:

A	B	C	F
x	0	0	0
x	1	0	1
0	x	1	0
1	x	1	1



17. Nariši električno vezje na nivoju CMOS tranzistorjev in geometrijsko strukturo za D flip-flop na spodnji sliki.



4. NAČRTOVANJE ANALOGNIH VEZIJ

Že pri načrtovanju primitivnih logičnih gradnikov smo se srečali s problemi, ki so značilni za analogna vezja. Vsak logični gradnik smo dejansko obravnavali kot analogno vezje, ki ima predpisano prenosno karakteristiko. Ker je načrtovanje analognih vezij zelo zahtevno, bomo v tem poglavju obravnavali le preproste¹¹⁵ analogne gradnike.

Tabela 4.1: Tipični gradniki analognih vezij. Vir: lasten.

Primitivni elementi:	Primitivni analogni sklopi:
<ul style="list-style-type: none"> • MOS tranzistorji • bipolarni tranzistorji • upori • kondenzatorji • diode 	<ul style="list-style-type: none"> • delilniki napetosti • tokovni viri (generatorji) • tokovna zrcala, tokovni ojačevalniki • enostopenjski ojačevalniki • transkonduktančni ojačevalnik • diferenčni napetostni ojačevalnik • izhodne stopnje • analogni množilniki • vezja za premik enosmernih nivojev (nivojski pomikalniki) • stabilni referenčni napetostni in tokovni viri

Zaradi tehnoloških omejitev moramo pri načrtovanju analognih vezij upoštevati določene omejitve. Omenili bomo samo najpomembnejše:

- Izdelamo lahko le tuljave z majhno induktivnostjo (nekaj ovojev).
- Na razpolago imamo samo kondenzatorje z majhno kapacitivnostjo. Ker zavzemajo **relativno veliko površino, jih skušamo uporabiti čim manj.**
- Ojačevalne stopnje so večinoma enosmerno povezane¹¹⁶, kar povzroča nezaželeno lezenje delovne točke.
- Če je le mogoče, naj bodo lastnosti analognega vezja odvisne od razmerij geometrij in ne od absolutnih vrednosti.
- Ker velike linearne upornosti zahtevajo veliko površino, jih skušajmo zamenjati z nelinearnimi upori, ki so glede površine ugodnejši.
- Z manjšanjem minimalnih dimenzij tranzistorjev se niža dovoljena napajalna napetost¹¹⁷.

Ker smo najbolj primitivne gradnike oziroma elemente že srečali v prejšnjih poglavjih (tranzistorji, upori, kondenzatorji), se bomo tukaj poglobili le v tipične nizkokompleksne analogne gradnike. Poimenovali jih bomo *primitivni analogni sklopi* (building blocks). Začeli bomo z najbolj enostavnim sklopom, to je delilnikom napetosti, končali pa z analizo in projektiranjem preprostega CMOS komparatorja.

¹¹⁵ Več o zahtevnejšem načrtovanju je v [PLETERŠEK,2006].

¹¹⁶ Spodnja frekvenčna meja je odvisna tudi od kapacitivnosti veznega kondenzatorja ter vhodne in izhodne upornosti. Kljub visoki vhodni upornosti MOS vezij se za NF področje kondenzatorji uporabljajo le izjemoma.

¹¹⁷ 5µm tehnologija je UDDmax = 5V in za 0,130µm tehnologijo je UDDmax = 3,3V.

4.1. PRIMITIVNI ANALOGNI SKLOPI

V naslednjih podpoglavjih bomo obravnavali najbolj tipične analogne sklope. Naučili se bomo, kakšne so njihove posebnosti in kako jih dimenzioniramo. Začeli bomo s preprostimi delilniki napetosti, nato bomo prešli na tokovne vire (generatorje) oziroma tokovna zrcala. Sledila bosta enostopenjski in CMOS diferenčni ojačevalnik. Posebno podpoglavje je namenjeno izhodnim stopnjam in stabilnim virom referenčne napetosti. Z večino prej naštetih sklopov lahko zgradimo preprost dvostopenjski komparator.

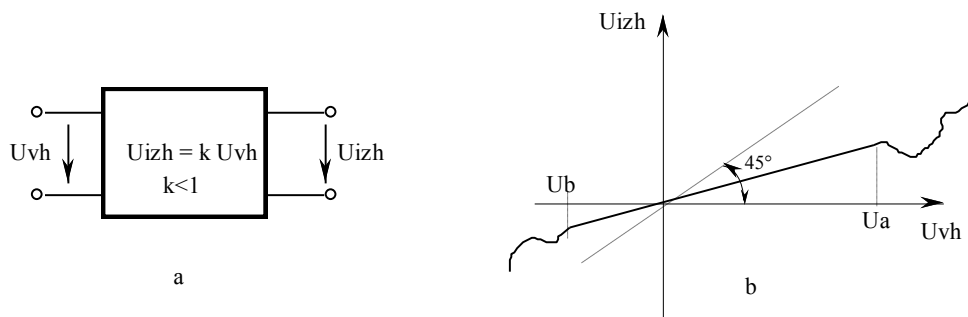
4.1.1. DELILNIKI NAPETOSTI

Delilnik napetosti se uporablja kot atenuator ali pa za nižanje enosmerne napetosti. Atenuator je najbolj preprosti analogni sklop. To je dvovhodno vezje, pri katerem je izhodna napetost za faktor k manjša od vhodne. Če je linearen, ga lahko uporabljamo tudi za dušenje signalov. Kadar želimo samo znižati enosmerno napetost, zahteva za linearnost ni več tako pomembna. Pri atenuatorju je zaželeno, da je njegova karakteristika v uporabnem intervalu, katerega bomo označili z (U_a, U_b) , čim bolj linearna. Idealni atenuator opisuje naslednja karakteristika:

$$U_{izh} = \begin{cases} k \cdot U_{vh} & U_b \leq U_{vh} \leq U_a \\ \text{poljubna} & U_a < U_{vh} < U_b \end{cases} \quad (4.1)$$

kjer je $k < 1$

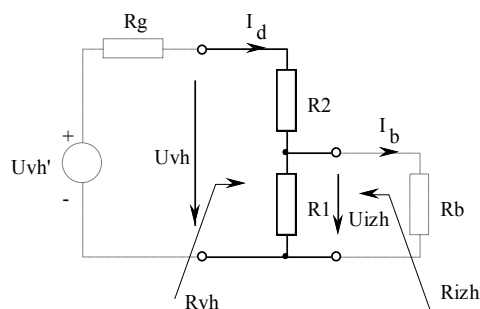
Hkrati s faktorjem k je lahko predpisana tudi vhodna oziroma izhodna upornost.



Slika 4.1: Atenuator kot dvovhodno vezje (a) in njegova karakteristika (b). Vir: lasten.

Linearni delilnik

Ker obstaja več možnih variant, se bomo omenili samo najpogostejše. Začeli bomo kar s strukturo, ki jo poznamo iz osnov elektronike (glej sliko 4.2). Če sta oba upora linearna (npr. difuzijska upora), se delilnik odlikuje po svoji preprostosti in linearnosti.



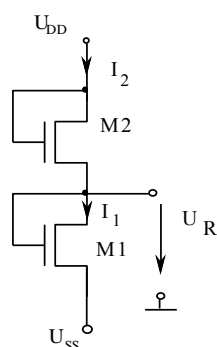
Slika 4.2: Struktura in obremenitev linearnega delilnika. Vir: lasten.

$$U_{izh} = kU_{vh} = \frac{R_1}{R_1 + R_2} U_{vh} \quad (4.2)$$

Če poznamo k , lahko takoj določimo razmerje R_1/R_2 . Znana formula je veljavna le, če lahko zanemarimo I_b v primerjavi z I_d , kar pomeni, da naj bo $R_{vh} \gg R_g$ in $R_{izh} \ll R_b$. Če sta upora R_g in R_b konstantna in znana, ju lahko v enačbi (4.2) upoštevamo. Ker se z velikostjo uporov manjša disipacija, naj bodo upori čim višjih vrednosti. Ker ima MOS tranzistor skoraj neskončno vhodno upornost, lahko v MOS vezjih izbiramo delilnike z zelo visokimi vrednostmi uporov. Če so le-te napravljene z monolitnimi upori, zahtevajo veliko površino! Zaradi tega bomo v MOS vezjih ta delilnik le redko srečali.

NMOS napetostni delilnik

Če ni zahtevana linearnost¹¹⁸, lahko namesto linearnih difuzijskih uporov uporabimo [nelinearne MOS upore](#) (slika 4.3), ki imajo manjšo površino kot enaki difuzijski upori. Ta delilnik se uporablja, kadar potrebujemo določeno napetost, ki je nižja od napajalne. Geometrije ne bomo posebej prikazali, saj je zelo podobna tisti, ki smo jo srečali pri MOS uporih oziroma NMOS invertorju.



Slika 4.3: NMOS delilnik napetosti. Potrebujemo napetost U_R , na razpolago pa je U_{DD} . Vir: [ALLEN,2002].

¹¹⁸ Npr. če potrebujemo neko napetost, ki je nižja od napajalne napetosti, lahko uporabimo tudi delilnik, ki je sestavljen iz nelinearnih uporov.

Analiza

Izhajali bomo iz zahteve, da je napajalna napetost zadostno visoka oziroma, da velja $U_{DD} > 2U_t$. Z analizo bomo poiskali povezavo med dimenzijami tranzistorjev in napetostjo delilnika U_R . Ugotovitve bomo kasneje potrebovali pri projektiranju. Ker lahko v MOS vezjih pogosto zanemarimo tok bremena I_b (glej sliko 4.2 in 4.3), velja:

$$I_2 = I_1$$

Oba tranzistorja sta v področju nasičenja. Če še zanemarimo λ in body pojav, lahko zapišemo naslednji izraz:

$$\frac{1}{2}k_n' \frac{W_2}{L_2} (U_{GS2} - U_m)^2 = \frac{1}{2}k_n' \frac{W_1}{L_1} (U_{GS1} - U_m)^2 \quad (4.3)$$

Neznane napetosti izrazimo z znanimi:

$$U_{GS1} = U_R - U_{SS} \quad \text{in} \quad U_{GS2} = U_{DD} - U_R$$

Zaradi večje preglednosti vpeljemo konstanto β_R :

$$\beta_R = \sqrt{\frac{W_1 / L_1}{W_2 / L_2}} \quad (4.4)$$

Ko enačbo (4.3) uredimo, dobimo naslednji izraz:

$$U_R = \frac{U_{DD} - U_m + \beta_R (U_m + U_{SS})}{1 + \beta_R} \quad (4.5)$$

Projektiranje (dimenzioniranje)

Projektiranje teče v obratni smeri in je enostavnejše kot analiza. Ker je pri vsakem projektiranju možnih več rešitev, se za najbolj ugodno odločimo glede na naš cilj. Tipični cilji so:

1. čim nižja obremenitev napajalnega vira,
2. čim manjša površina,
3. čim večje približanje zahtevati napetosti U_R .

V večini primerov je treba napraviti kompromis. Glede na naš začetni cilj **si najprej izberemo tok delilnika ali pa minimalne dimenzije enega tranzistorja**. Če pri MOS vezjih ni eksplicitno zahtevana določena vhodna oziroma izhodna upornost, lahko sklepamo, da bo na izhod priključeno breme z neskončno vhodno upornostjo. Najnižji tok je okrog $10\mu\text{A}$. Če poznamo tok in napetost, lahko iz enačbe za nasičenje izračunamo potrebne dimenzije spodnjega tranzistorja:

$$\frac{W_1}{L_1} = \frac{I_{DS1}}{\frac{1}{2}k_n' (U_{GS1} - U_m)^2} \quad (4.6)$$

Če ne dobimo celega razmerja in moramo zato zaokroževati, tok I_{DS} ustrezno povišamo. Nato s podobno enačbo izračunamo še dimenzije drugega tranzistorja.

Če se odločimo, da izberemo minimalne dimenzije npr. spodnjega tranzistorja, najprej izračunamo tok delilnika:

$$I_{DS} = \frac{1}{2} k_n' \frac{W_1}{L_1} (U_{GS1} - U_m)^2$$

Nato pa izračunamo s pomočjo enačbe 4.6 še dimenzije zgornjega tranzistorja, ki v večini primerov več ne bodo minimalne.

Dimenzioniranje MOS uporov smo obravnavali že pri poglavju *MOS upor*. Kadar je zahtevan padec na MOS uporu **precej večji** od njegove **pragovne napetosti**, lahko uporabimo več zaporedno vezanih MOS uporov, če želimo prihraniti pri površini. Slabost večjega števila MOS tranzistorjev je povečanje pragovne napetosti ([body pojav](#)) in povečanje občutljivosti na temperaturo. Body pojav lahko delno zmanjšamo, če uporabimo PMOS in NMOS tranzistorje. Ker morajo biti vsi tranzistorji v področju nasičenja, je minimalni padec na vsakem enak $U \geq U_t$. **Iz tega sledi, da je število zaporednih tranzistorjev omejeno¹¹⁹ glede na UDD in U_t .** Pri izbiri dimenzij tranzistorjev se lahko tudi odločimo za povečanje toka¹²⁰, če se zaradi tega zmanjša površina ali če imamo težave pri zaokroževanju dimenzij.

Zgled

Projektiraj NMOS delilnik napetosti, ki bo izdelan z $2\mu\text{m}$ tehnologijo in bo imel pri majhnem toku čim manjšo površino.

$$U_{DD} = 10 \text{ V}, U_{SS} = 0 \text{ V}, U_R = 4 \text{ V}, k_n' = 28 \mu\text{A}/\text{V}^2, U_{tn} = 1 \text{ V}.$$

Ker ni nobenih zahtev glede R_{vh} in R_{izh} , bomo izbrali tok delilnika $10 \mu\text{A}$. Tako opazimo, da bo na obeh MOS uporih napetost dosti večja od pragovne. Zato bomo zaporedno vezali več MOS uporov in tako prihranili pri površini. Najprej izračunajmo, kolikšen padec napetosti se ustvari na MOS uporu, ki ima **minimalne dimenzije (3 $\mu\text{m}/2 \mu\text{m}$ oziroma 3/2)** in skozi njega teče tok $10 \mu\text{A}$. Iz enačbe za MOS upor ali iz enačbe za nasičenje izračunamo U_{GS} :

$$U_{GS} = U_{DS} = \sqrt{\frac{2I_{DS} \cdot L}{k_n' \cdot W}} + U_m = 1,69\text{V}$$

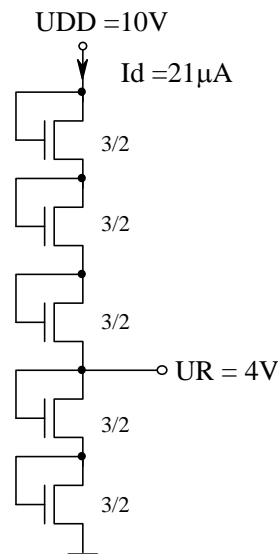
Če si izberemo $U_{GS} = 2 \text{ V}$, bo tekel malo večji tok, vendar bomo lahko ohranili minimalne dimenzije. Izračunajmo ta tok:

$$I_d = I_{DS1} = \frac{1}{2} k_n' \frac{W_1}{L_1} (U_{GS1} - U_m)^2 = 21\mu\text{A}$$

¹¹⁹ To velja samo, če ne želimo, da leži delovna točka vsakega tranzistorja v podpragovnem področju.

¹²⁰ Potreben je kompromis med tokom in površino.

Vidimo, da se je sicer povečal, vendar je še vedno zelo majhen. Ker bo na vsakem MOS tranzistorju padec 2 V, lahko enostavno določimo strukturo delilnika.

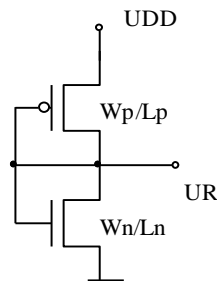


Slika 4.4: NMOS delilnik napetosti. Vir: lasten.

Ker nismo upoštevali body pojava, je dejanska UR manjša¹²¹. Če bi se odločili za realizacijo z difuzijskimi upori, bi bila skupna upornost 1 MΩ. Če je plastna upornost p-otoka npr. $R_{SH} = 1 \text{ k}\Omega/\square$, bi pri v 2 μm tehnologiji znašala površina upora približno 4000 μm². Kljub temu da smo pri našem zgledu uporabili 5 MOS tranzistorjev, je njihova skupna površina z upoštevanjem kontaktov in povezav manjša¹²².

CMOS delilnik

Body pojav lahko odpravimo¹²³, če napravimo delilnik s komplementarnima tranzistorjema. Ker sta analiza in sinteza zelo podobni NMOS delilniku, bomo podali samo zgled.



Slika 4.5: CMOS delilnik. Vir: [ALLEN,2002].

¹²¹ Simulacija delilnika: UR = 3,39 V.

¹²² Površina minimalnega tranzistorja je približno $16\lambda \cdot 16\lambda = 256 \mu\text{m}^2$.

¹²³ To velja, če imamo samo en NMOS in en PMOS.

Zgled

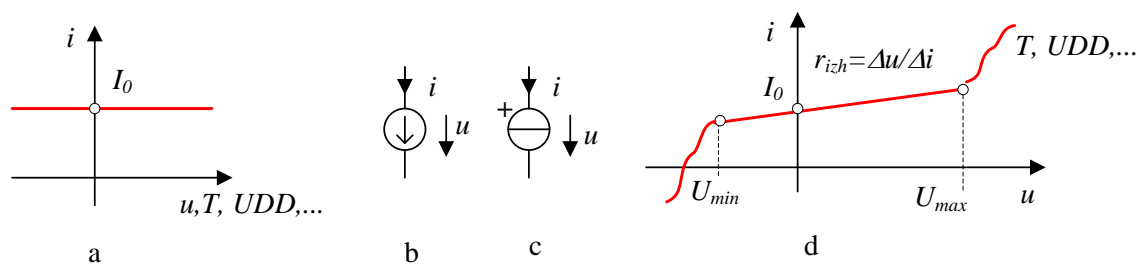
Kolikšne so dimenzije CMOS delilnika? Podatki so enaki kot pri prejšnjem zgledu ($k_p' = 14 \mu\text{A}/\text{V}^2$, $U_{tp} = -1 \text{ V}$). Ker ima PMOS nižjo procesno konstanto, bomo tokrat poskusili samo z dvema tranzistorjema.

Na NMOS tranzistorju mora biti 4 V, na PMOS pa 6 V. Iz enačbe (4.6) izračunamo potrebna razmerja obeh tranzistorjev, ki znašajo: $W_n/L_n = 10/125 = 2/25$ in $W_p/L_p = 2/35$. Pri 2 μm tehnologiji so dimenzije tranzistorjev: $W_n/L_n = 3 \mu\text{m}/37 \mu\text{m}$ in $W_p/L_p = 3 \mu\text{m}/50 \mu\text{m}$. Če si namesto $10 \mu\text{A}$, izberemo $100 \mu\text{A}$, se bodo tudi širine desetkrat povečale.

Če gre za **točen delilnik**, kjer moramo zadostiti zahtevi $UR \pm \Delta UR$, potem izberemo CMOS delilnik, ki ima samo dva komplementarna tranzistorja. S tem se izognemo body pojavu. Ker se skušamo izogniti tudi zaokroževanju dimenzij, bosta tranzistorja imela večje dimenzije.

4.1.2. TOKOVNI GENERATORJI, TOKOVNA ZRCALA, TOKOVNI OJAČEVALNIKI

Tokovni generator¹²⁴ je v analognih integriranih vezjih eden izmed najpogosteje uporabljenih sklopov. **Idealni tokovni generator daje konstanten tok, ne glede na pritisnjeno napetost, temperaturo in napajalno napetost** (slika 4.6 a). Oba priključka sta lahko na poljubnem potencialu. Za delovanje ne potrebuje nobenega napetostnega vira. Ker ima neskončno notranjo upornost, je njegov tok neodvisen od pritisnjene napetosti. Realni se tem lastnostim lahko samo približa. Za pravilno delovanje vedno potrebuje napajalno napetost in element, ki ima vsaj del karakteristike položen. Ker ima le znotraj določenega intervala visoko izhodno upornost r_{izh} , je tok delno odvisen tudi od napetosti (slika 4.6 d) in temperature T ter napajalne napetosti U_{DD} . Slaba stran je tudi to, da je eden izmed priključkov vedno vezan na napajalno napetost (glej sliko 4.7).



Slika 4.6: Karakteristika idealnega (a) in realnega tokovnega generatorja (d). V intervalu (U_{max}, U_{min}) se element obnaša podobno kot tokovni generator. Tipična simbola (b in c).

Vir: lasten.

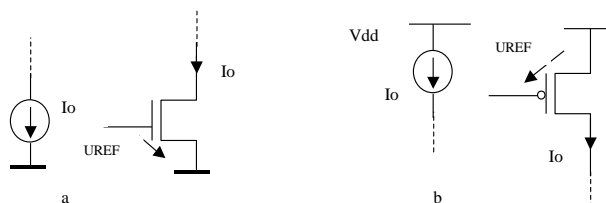
¹²⁴ Pogost sinonim za generator je *vir*.

Najpomembnejše statične lastnosti tokovnega vira so: vrednost toka I_0 , U_{\min} in r_{izh} .

Če vplivi parametrov na tok niso izrazito nelinearne funkcije oziroma, če so spremembe parametrov relativno majhne, lahko karakteristiko tokovnega vira z linearizacijo zelo poenostavimo. Nezaželeno spremembo toka lahko v tem primeru preprosto izračunamo, le če poznamo posamezne občutljivosti S in notranjo upornost (izhodno upornost) r_{izh} :

$$\Delta I_0 = \Delta U / r_{izh} + S_T^{I_0} \Delta T + S_{U_{DD}}^{I_0} \Delta U_{DD} \quad (4.7)$$

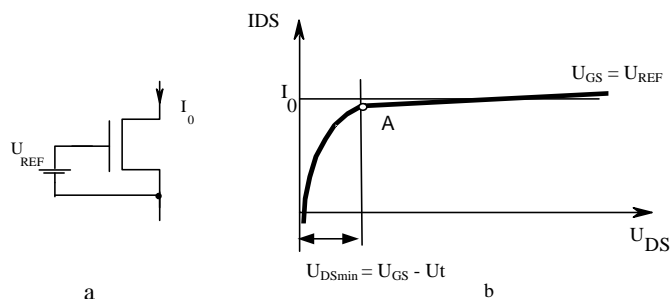
V nadaljevanju bomo prikazali samo nekaj izvedb najbolj preprostih tokovnih generatorjev.



Slika 4.7: Večinoma v vezjih nastopata dve vrsti tokovnih generatorjev: **tokovni ponor** (a) in **tokovni izvor** (b). Obstaja tudi **plavajoča izvedba** tokovnega vira¹²⁵. Vir: lasten.

Preprost tokovni ponor. Za realizacijo tokovnega vira je primeren vsak element, ki ima vsaj del karakteristike zelo položen. Najprimernejša elementa sta MOS in bipolarni tranzistor, ki imata del izhodne karakteristike z zelo majhnim naklonom. MOS tranzistor ima v izhodni karakteristiki v območju nasičenja $U_{DS} \geq U_{GS} - U_t$ zelo položno karakteristiko (slika 4.8) oziroma visoko izhodno upornost. Ker pri nižjih napetostih strmina karakteristike zelo naraste oziroma upornost pade, mora delovna točka tokovnega generatorja ležati vedno v območju nasičenja. Konkretna nagnjenost v tem območju je odvisna od parametra λ . Manjši je λ , položnejša je karakteristika. Pri majhnem λ je velikost toka odvisna samo od napetosti U_{GS} . Z ustreznim izborom U_{REF} oziroma U_{GS} in W/L lahko napravimo tokovni generator, ki daje zahtevan tok I_0 :

$$I_0 \approx I_{DS} = \frac{1}{2} k_n' \frac{W}{L} (U_{REF} - U_m)^2 \quad (4.8)$$



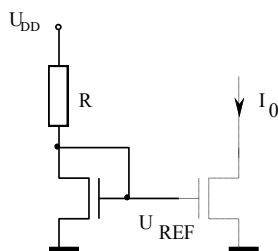
Slika 4.8: Preprost tokovni ponor (a) in njegova karakteristika (b). Uporaben je samo do točke A, ki jo definira napetost $U_{DSmin} = U_{DS(sat)} = U_{GS} - U_t$. Vir: lasten.

¹²⁵ Ang. floating current source.

Izhodna upornost tega tokovnega vira je identična izhodni upornosti tranzistorja v področju nasičenja:

$$r_{izh} = \frac{1}{g_{22}} = \frac{1}{\lambda I_{DS}} \quad (4.9)$$

Njegova stabilnost je odvisna od stabilnosti referenčne napetosti U_{REF} in od temperature. Ker bomo o referenčnih virih napetosti govorili v posebnem poglavju, bomo sedaj omenili samo eno izmed možnih variant, ki jo prikazuje slika 4.9.



Slika 4.9: Ena izmed vezij za izvedbo U_{REF} , ki jih pogosto srečamo v integriranih vezjih.

Slabost tega vezja je, da je U_{REF} zelo občutljiva na spremembo napajalne napetosti.

Vir: [ALLEN,2002].

Preprosto tokovno zrcalo. Povežimo vrata dveh MOS tranzistorjev, tako kot je narisano na sliki 4.10 a. Zanima nas, kolikšno je razmerje tokov I_a/I_b . Tranzistor Ma je zagotovo v področju nasičenja, saj ima vrata povezana na ponor. Tok I_{DS} in napetost U_{GS} tranzistorja Ma povezuje že znana enačba za nasičenje:

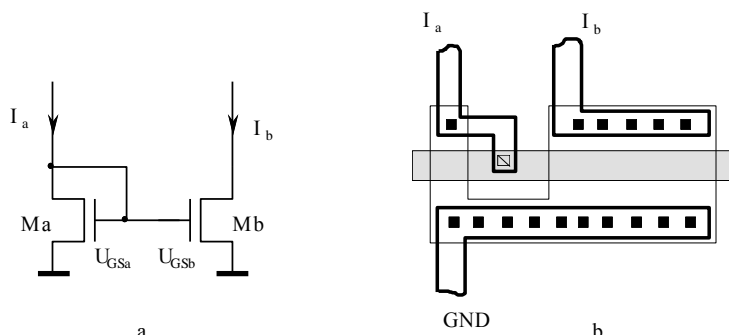
$$I_a = \frac{1}{2} k_n' \frac{W_a}{L_a} (U_{GSa} - U_{tn})^2 (1 + \lambda U_{DSa}) \quad (4.10)$$

Položaj delovne točke tranzistorja Mb je odvisen od napetosti U_{DSb} oziroma od bremena in napajalne napetosti. **Le če bo delovna točka tranzistorja Mb vedno ležala v področju nasičenja, se bo Mb obnašal kot tokovni vir.** V nadaljevanju bomo predpostavili, da Mb in Ma delujeta v področju nasičenja. Če upoštevamo, da imata tranzistorja enako napetost na vratih, enako procesno konstanto, enako pragovno napetost in približno enaki napetosti U_{DS} , je razmerje tokov enako razmerju geometrij:

$$\frac{I_a}{I_b} = \frac{W_a / L_a}{W_b / L_b} \frac{(1 + \lambda U_{DSa})}{(1 + \lambda U_{DSb})} \approx \frac{W_a / L_a}{W_b / L_b} \quad (4.11)$$

Skoraj vedno izberemo, da je $L_a = L_b$. V tem primeru se izraz in geometrijska struktura (glej sliko 4.10) še dodatno poenostavi:

$$\frac{I_a}{I_b} = \frac{W_a}{W_b} \quad (4.12)$$



Slika 4.10: Tokovno zrcalo (a) in njegova geometrijska struktura, kadar je $L_a = L_b$ (b).

Vir: [ALLEN,2002].

V bistvu smo dobili **tokovno-tokovni ojačevalnik**¹²⁶ z ojačenjem W_b/W_a . Če sta tranzistorja popolnoma enaka, je tok $I_a = I_b$. Spremembam toka I_a sledi tok I_b . Če bo I_a konstanten, bo tudi I_b konstanten. Ker se podoben pojav dogaja pri zrcalu, imenujemo ta ojačevalnik tokovno zrcalo (current mirror)¹²⁷. Če je tok I_a konstanten, ga imenujemo **referenčni tok**, Ma pa **referenčni tranzistor**.

Kot smo že omenili, moramo pri načrtovanju paziti, da napetost U_{DSb} ne pade pod mejo, kjer se začne linearno področje ($U_{DSb(\min)} = U_{GSb} - U_{tn}$), saj ima Mb v tem območju nizko izhodno upornost in tok I_b postane zelo odvisen od U_{DS} . Kot je razvidno iz enačbe (4.11) je razmerje tokov odvisno samo od razmerja geometrij - absolutne vrednosti nimajo vpliva. Le-te vplivajo le na velikost minimalne $U_{DSb(\min)}$.

Pomni! Če pri dimenzioniranju izhajamo samo iz zahtevanega razmerja tokov, dobimo neskončno možnih rešitev. Če pa poznamo tudi absolutne vrednosti tokov in $U_{DS(\min)}$, obstaja samo ena rešitev.

Zgled 1

Podatki za tokovno zrcalo na sliki 4.10 so: $I_a = 100 \mu A$, $W_a/L_a = 10/1$ in $W_b/L_b = 10/1$, $k_n' = 20 \mu A/V^2$, $\lambda = 0,0 \text{ } 5V^{-1}$. Izračunaj tok tokovnega ponora. Kolikšna je minimalna napetost, do katere še deluje tokovni ponor? Kaj moramo storiti, da jo zmanjšamo za polovico? Kolikšna je izhodna upornost generatorja?

Iz enačbe (4.11) lahko izračunamo **tok I_b** :

$$I_{DSb} = \frac{W_b / L_b}{W_a / L_a} I_{DSa} = \frac{10/1}{10/1} \cdot 100 \mu A = 100 \mu A$$

¹²⁶ I_a je vhodni tok in I_b izhodni tok.

¹²⁷ Nekateri uporabljajo izraz *tokovna preslikava*.

Minimalna napetost pri kateri se Mb obnaša kot tokovni vir, je enaka točki, pri kateri se konča področje nasičenja:

$$U_{DSb(\min)} = U_{GSb} - U_m = \sqrt{\frac{I_{DSb}}{\frac{1}{2} \frac{k_n'}{L_b} W_b}} = \sqrt{\frac{100 \cdot 10^{-6}}{\frac{20 \cdot 10^{-6} \cdot 10}{2 \cdot 1}}} = 1 \text{ V} \quad (4.13)$$

Če želimo znižati minimalno napetost $U_{DSb(\min)}$, moramo povečati razmerje W_b/L_b . Da bi ohranili enako razmerje tokov, je potrebno povečati tudi razmerje W_a/L_a . Če štirikrat povečamo razmerje W/L obeh tranzistorjev ($W_a/L_a = 40/1$ in $W_b/L_b = 40/1$), bo še vedno $I_a = I_b$, le $U_{DSb(\min)}$ bo 0,5 V.

Izhodna upornost: $r_{izh} = \frac{1}{\lambda I_b} = \frac{1}{0,05 \cdot 100 \cdot 10^{-6}} = 200 \text{ k}\Omega$

Zgled 2

Projektiraj tokovni 80 μA ponor (glej sliki 4.9 in 4.10), ki bo deloval do najmanj 1 V. Drugi podatki so: $U_{DD} = 5 \text{ V}$, $k_n' = 110 \mu\text{A}/\text{V}^2$, $U_m = 0,7 \text{ V}$.

Najprej izračunamo minimalno razmerje dimenzij tranzistorja Mb, ki bo zagotavljal tok 80 μA :

$$\frac{W_b}{L_b} \geq \frac{I_b}{\frac{1}{2} k_n' (U_{DSb(\min)})^2} = \frac{80 \cdot 10^{-6}}{\frac{1}{2} \cdot 110 \cdot 10^{-6} \cdot 1} = \frac{16}{11}$$

Izberemo $W_b/L_b = 22/11 = 2/1$. Ker smo zaokrožili dimenzije, ponovno izračunamo U_{REF} :

$$U_{REF} \leq U_{GSb} = \sqrt{\frac{I_{DSb}}{\frac{1}{2} \frac{k_n'}{L_b} W_b}} + U_m = \sqrt{\frac{80 \cdot 10^{-6}}{\frac{110 \cdot 10^{-6} \cdot 2}{2 \cdot 1}}} + 0,7 = 1,6 \text{ V}$$

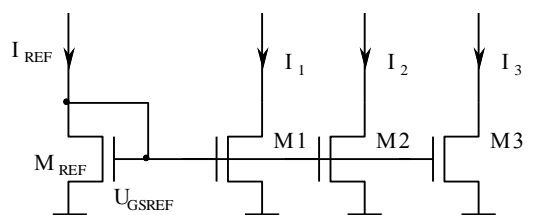
Sedaj lahko izberemo dimenzije referenčnega tranzistorja Ma ali pa referenčni tok I_a . Če izberemo $W_a/L_a = 1/1$ in se odločimo za enako dolžino kanalov ($L_a = L_b = L_{\min}$), je tok referenčnega tranzistorja:

$$I_a = \frac{W_a}{W_b} I_b = \frac{1}{2} \cdot 80 = 40 \mu\text{A}$$

$$R = \frac{U_{DD} - U_{REF}}{I_a} = \frac{5 - 1,6}{40 \cdot 10^{-6}} = 85 \text{ k}\Omega$$

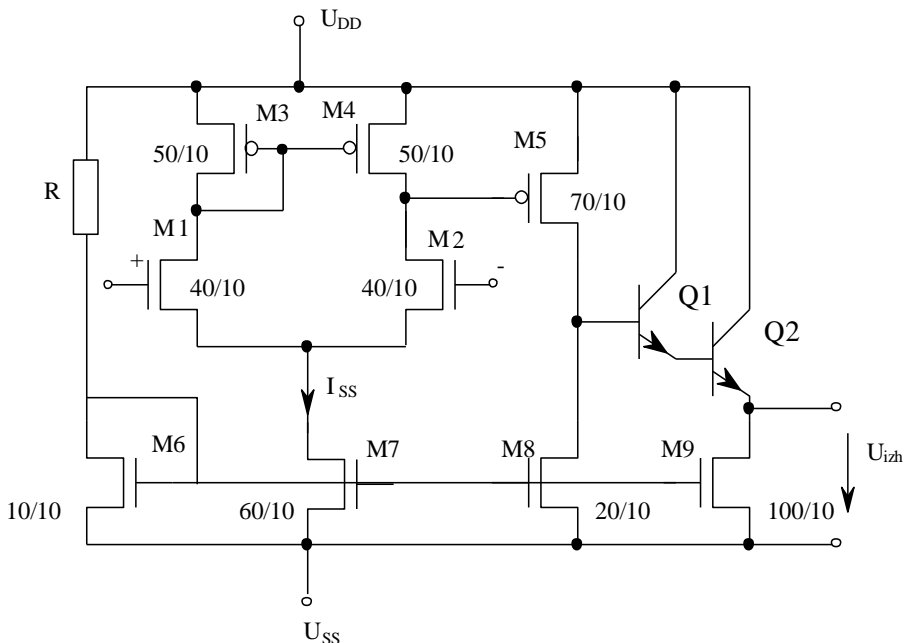
Simulacija: $I_a = 81,0 \mu\text{A}$, $I_b = 40,5 \mu\text{A}$, $U_{\text{REF}} = 1,6 \text{ V}$. Razlika je posledica zaokroževanja na eno decimalenko.

Na referenčni tranzistor lahko priključimo poljubno število tranzistorjev z različnimi dimenzijami, saj ima vsak neskončno vhodno upornost. Za vsak par velja enačba (4.11). Tako lahko dobimo z enim referenčnim tokom več generatorjev z različnimi vrednostmi konstantnega toka (glej sliko 4.11 in 4.12).



Slika 4.11: Niz tokovnih generatorjev. M_{REF} je referenčni tranzistor. Vir: [ALLEN,2002].

Če je pomembna natančnost tokovnega zrcala, potem raje geometrijo širšega tranzistorja razdelimo na paralelno vezavo več enakih in s tem kompenziramo tolerance mask.



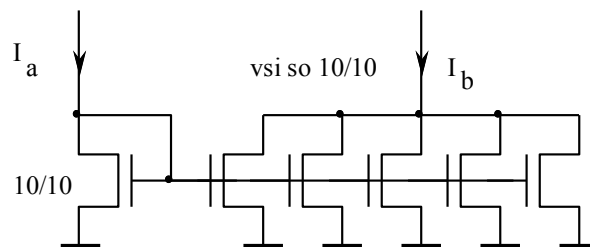
Slika 4.12: Zgled diferenčnega ojačevalnika. Večina tranzistorjev je namenjena za realizacijo tokovnih generatorjev. Vir: [ALLEN,2002].

Zgled 2

I_b/I_a naj bo npr. 5. Iz tega sledi, da naj bo razmerje W_b/W_a tudi enako 5. Predpostavimo, da smo se odločili za $W_a/L_a = 10/10$ in $W_b/L_b = 50/10$ ter da je toleranca mask $\Delta W = \pm 0,2$. Če pri tolerancah upoštevamo enake predznake, dobimo toleranco razmerja:

$$\frac{I_b}{I_a} = \frac{W_b}{W_a} = \frac{50 \pm 0,2}{10 \pm 0,2} = 5 \pm 0,08$$

Sedaj izračunajmo toleranco razmerja pet paralelno vezanih tranzistorjev z enakimi dimenzijami, kot jih ima referenčni tranzistor:



Slika 4.13: Niz tokovnih generatorjev. Vir: lasten.

Če se širina maske poveča, se poveča za enak faktor za vse tranzistorje in razmerje se zato ohrani:

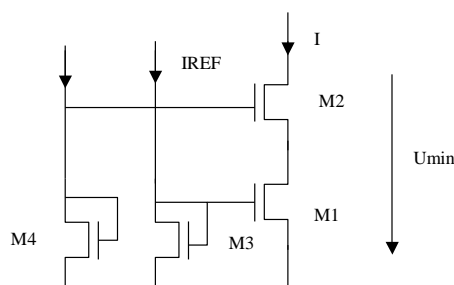
$$\frac{I_b}{I_a} = \frac{W_b}{W_a} = \frac{5(10 \pm 0,2)}{10 \pm 0,2} = 5$$

Kaskodni tokovni ponor. Izhodno upornost navadnega tokovnega ponorja lahko zelo povečamo s kaskodno vezavo dveh tranzistorjev. Izhodna upornost sedaj znaša:

$$r_{izh} \approx g_{21M2} r_{DS2} r_{DS1} \quad (4.14)$$

Minimalna napetost, pri kateri sta oba tranzistorja še v področju nasičenja, je vsota:

$$U_{\min} = U_{DS1\min} + U_{DS2\min} \quad (4.15)$$



Slika 4.14: Kaskodni tokovni ponor. Vir: [ALLEN,2002].

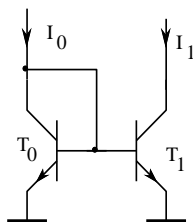
Pri projektiranju sta znani U_{\min} in tok I . Če se odločimo, da je $I_{REF} = I$ in razdelimo U_{\min} tako, da vsak tranzistor prispeva polovico, potem imajo tranzistorji M1, M2, in M3 enake dimenzije.

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{W_3}{L_3}$$

Ker so vrata M2 na enkrat višji napetosti kot M1, morajo biti dimenzije M4 štirikrat manjše:

$$\frac{W_4}{L_4} = \frac{1}{4} \frac{W_1}{L_1}$$

Prikazani so bili samo tokovni ponori. Ker imajo tokovni izvori podobno strukturo kot ponori, jih ne bomo posebej obravnavali. Če v tokovnih generatorjih MOS tranzistorje zamenjamo z bipolarnimi, dobimo bipolarna tokovna zrcala, ki jih bomo obravnavali v kasnejših poglavjih.



Slika 4.15: Preprosto bipolarno tokovno zrcalo. Vir: [GRAY,2009].

4.1.3 ENOSTOPENJSKI OJAČEVALNIKI

Od vseh vrst ojačevalnikov, ki jih pri načrtovanju integriranih vezij uporabljamo, je enostopenjski najenostavnejši. To je dvovhodno vezje s priključki za napajalno napetost. Glede na vrsto vhodne in izhodne veličine poznamo štiri vrste ojačevalnikov. Najbolj znan je napetostno-napetostni ojačevalnik. V analognih integriranih vezjih je zelo uporaben tokovno-tokovni ojačevalnik, ki smo ga že srečali v prejšnjem podpoglavju. Med izhodno in vhodno

veličino lahko obstaja linearna ali pa nelinearna odvisnost. V večini primerov potrebujemo linearen ojačevalnik, za katerega velja, da je izhodna napetost proporcionalna vhodni:

$$u_{izh} = A_u \cdot u_{vh}$$

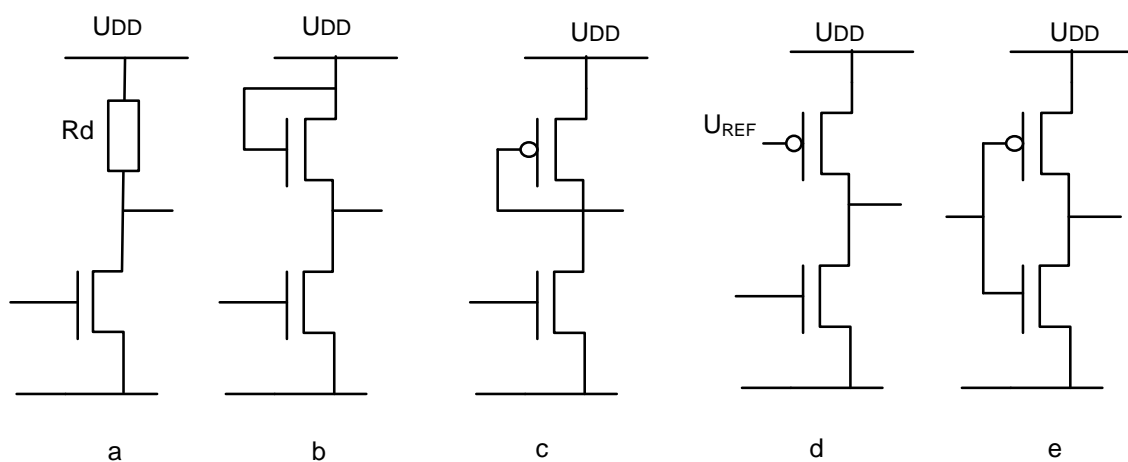
Ker je celotna karakteristika nelinearna, velja zgornji izraz samo za ustrezno majhne signale. Ojačenje za majhne izmenične signale v delovni točki U_{GG} izračunamo z odvodom:

$$A_u = \left. \frac{du_{izh}}{du_{vh}} \right|_{u_{vh}=U_{GG}} \quad (4.16)$$

Najpomembnejša zahtevana lastnost ojačevalnika je njegovo ojačenje. Pogosto pa so zahtevane tudi druge lastnosti, kot npr.:

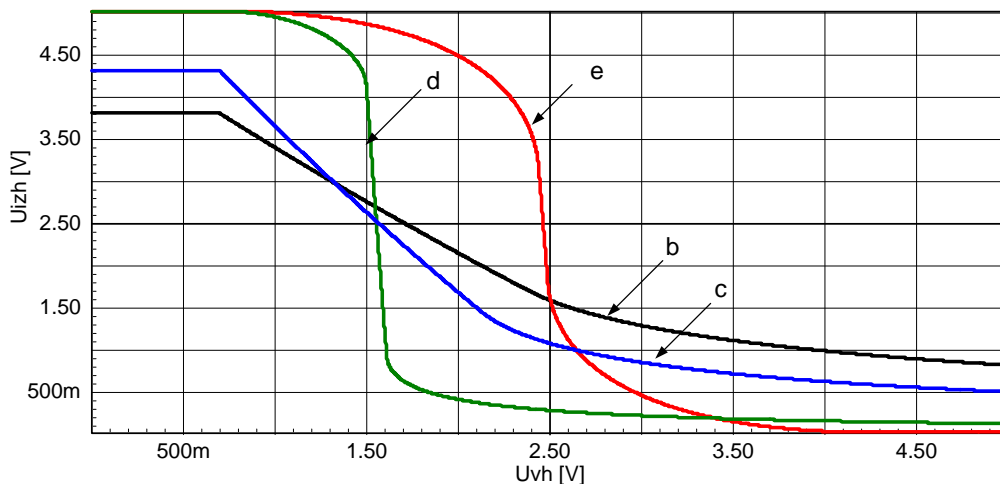
1. prenosna karakteristika (maksimalna izhodna oziroma vhodna veličina),
2. izkrmljenje na izhodu,
3. vhodna in izhodna upornost,
4. frekvenčna karakteristika,
5. moč,
6. površina, ki jo imamo na razpolago¹²⁸.

Več je zahtev, težje je načrtovanje. Ker imata ojačevalnik in invertor skoraj enako strukturo in tudi podobno karakteristiko, se lahko mnoge ugotovitve iz načrtovanja [invertorjev](#) tukaj ponovno uporabljajo.



Slika 4.16: Tipični enostopenjski MOS ojačevalniki. Razlikujejo se glede vezave zgornjega elementa. Ojačevalnik z linearnim bremenom (a), z nelinearnim bremenom (b) in (c), breme je tokovni generator (d), oba tranzistorja ojačujeta – CMOS ojačevalnik (e). Vir: lasten.

¹²⁸ Pri načrtovanju smo pogosto omejeni s stroški izdelave, ki so pri integriranih vezjih odvisni predvsem od površine.



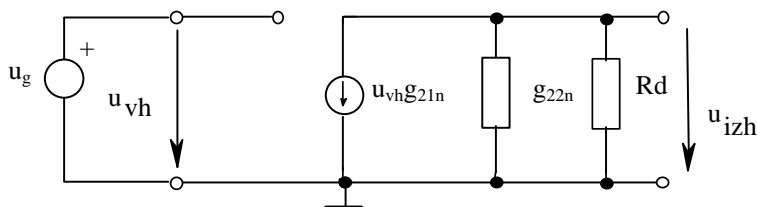
Slika 4.17: Primerjava prenosnih karakteristik ojačevalnikov, ki so na sliki 4.16. Dimenzije so: $W_n/L_n=1/1$, $W_p/L_p=2/1$, ali $W_p/L_p=1/2$. Vir: lasten.

Slika 4.16 prikazuje razne strukture MOS ojačevalnikov, slika 4.17 pa njihove prenosne karakteristike. Največje ojačenje ima varianta d in e. Najprej bomo analizirali najbolj preprosto različico, ki je sestavljena iz ojačevalnega elementa, linearnega bremenskega upora in napajalne napetosti (slika 4.16a). Pri invertorju nelinearna karakteristika ni bila moteča; zahtevali smo le čim ožje preklopno območje. Sedaj si bomo prizadevali za čim bolj strmo in čim bolj linearno karakteristiko (glej sliko 4.19 a). Analizo bomo poenostavili tako, da bomo predpostavili, da se delovna točka spreminja v majhnem področju okrog točke $U_{vh} = U_{GG}$. V tem primeru lahko vse nelinearne elemente zamenjamo z enostavnimi linearnimi modeli za majhne signale (glej sliko 4.55). Dobili smo preprosto linearno vezje in sedaj lahko hitro izpeljemo izraz za napetostno ojačenje in izhodno upornost:

$$A_u = \frac{u_{izh}}{u_{vh}} = -\frac{g_{21n}}{g_{22n} + G_d} = -g_{21n} \cdot R_{nad} \quad (4.17)$$

$$r_{izh} = \frac{1}{g_{22n} + G_d} \quad (4.18)$$

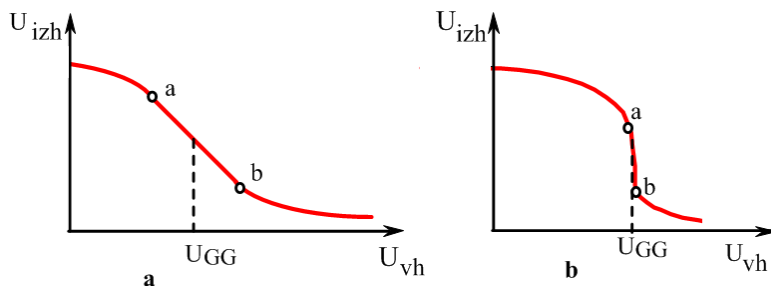
Za čim večje ojačenje potrebujemo čim večjo transkonduktanco¹²⁹ tranzistorja in čim večjo upornost bremena R_d ter izhodno upornost tranzistorja.



Slika 4.18: Model MOS ojačevalnika za majhne signale. Vir: lasten.

¹²⁹ Parameter g_{21n} .

V splošnem lahko vsak inverter pretvorimo v ojačevalnik, le če nastavimo delovno točko na linearnem odseku prenosne karakteristike (glej sliko 4.19 a). Če ni izhod predhodne stopnje na potencialu U_{GG} , moramo dodati ustrezno vezje za premik enosmernih nivojev.



Slika 4.19: Karakteristika ojačevalnika z majhnim in velikim ojačenjem majhnih signalov. Vir: lasten.

Velika strmina prenosne karakteristike pomeni, da je ojačevalnik zelo občutljiv na spremembo enosmerne prednapetosti U_{GG} . Pri majhni spremembi napetosti U_{GG} bo takoj prešel v nelinearno področje z nizkim ojačenjem ali pa celo v zaporno področje. Ta problem rešujemo z ustrezno enosmerno povratno vezavo.

4.1.4 ENOSTOPENJSKI OJAČEVALNIK Z NELINEARNIM MOS UPOROM

Kjer nimamo na razpolago uporov večjih vrednosti, uporabimo namesto linearnega upora R_b kar nelinearni MOS upor (slika 4.16 b). Kljub temu da je MOS upor nelinearen, smo pri obravnavi inverterja ugotovili, da se nelinearnosti obeh tranzistorjev v preklopnem področju kompenzirata. Za drugi segment na inverterjevi prenosni karakteristiki (glej sliko 4.20 b) smo ugotovili, da je linearen z naklonom (ojačenjem)¹³⁰:

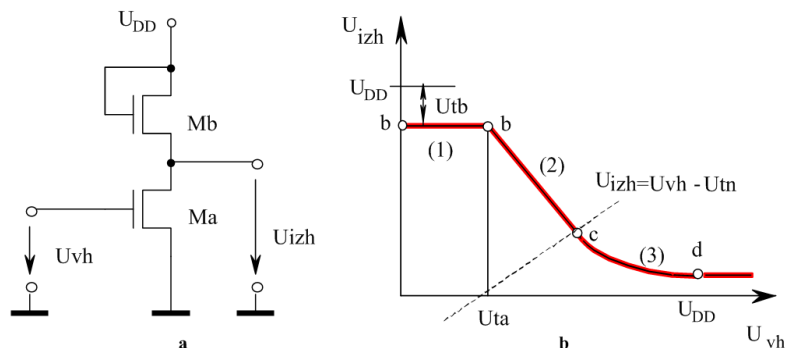
$$A_u = - \sqrt{\frac{k'_n W_a / L_a}{k'_p W_b / L_b}} \quad (4.19)$$

Če pri projektiranju ni drugače zahtevano, izberemo tok delovne točke približno $10 \mu\text{A}$. Delovno točko izberemo na sredini segmenta 2. Če je predpisano ojačenje A_u in tok I_{DS} , lahko enolično določimo potrebne dimenzije tranzistorjev. Zaradi nelinearnega MOS upora, ki ima nizko dinamično upornost, ima ta ojačevalnik v primerjavi z drugimi relativno nizko ojačenje in nizko izhodno upornost.

$$r_{izh} = \frac{1}{g_{22a} + g_{22b} + g_{21b}} \approx \frac{1}{g_{21b}} \quad (4.20)$$

¹³⁰ Velja za primer, ko imamo PMOS upor, sicer se procesna konstantna pokrajša.

Omejitev na samo eno vrsto tranzistorja je danes zelo redka. V večini primerov ima načrtovalec na razpolago NMOS in PMOS tranzistorje. Izbere lahko PMOS breme ali pa se odloči za ojačevalnik z aktivnim (tokovnim) bremenom, ki ima znatno večje ojačenje.

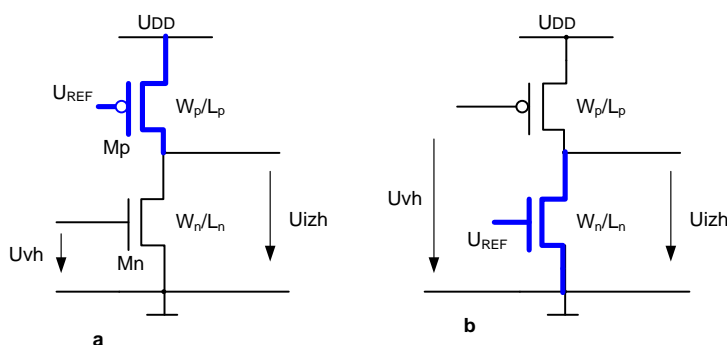


Slika 4.20: NMOS ojačevalnik (a) in njegova prenosna karakteristika (b). Vir: [ALLEN,2002].

Upornost zgornjega tranzistorja lahko povečamo, če vežemo vrata na konstantno napetost ali pa če uporabimo tranzistor z vgrajenim kanalom. V obeh primerih mora delovna točka ležati v področju nasičenja, kjer ima tranzistor veliko izhodno upornost. Zaradi tega ima tak ojačevalnik tudi večje ojačenje. Ker tudi za te variante velja enak splošen izraz za napetostno ojačenje (4.17), jih ne bomo posebej obravnavali.

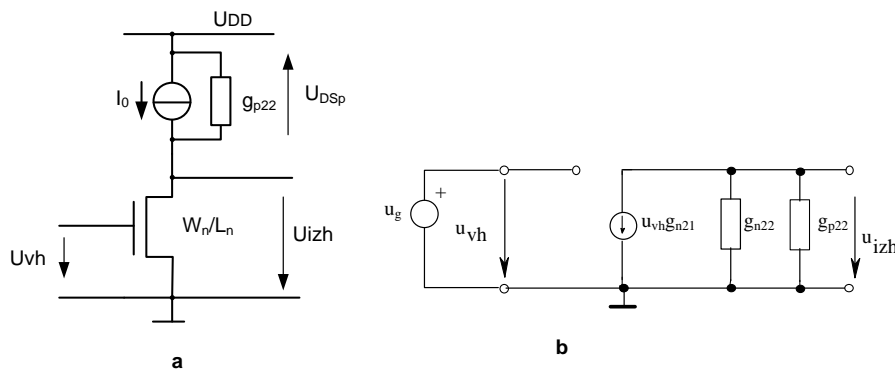
4.1.5. OJAČEVALNIK S TOKOVNIM BREMENOM

Ker na ojačenje vpliva upornost bremena, lahko za breme uporabimo tokovni vir, ki ima visoko upornost in hkrati nastavlja delovno točko (glej sliko 4.21). V nadaljevanju bomo analizirali samo ojačevalnik s tokovnim izvorom (slika 4.21a).



Slika 4.21: Dve varianti ojačevalnika s tokovnim bremenom: ojačevalnik s tokovnim izvorom (a) in s tokovnim ponorom (b)¹³¹. Poudarjen tranzistor je tokovni generator. Vir: [ALLEN,2002].

¹³¹ Current source inverter (levo) in current-sink inverter (desno).



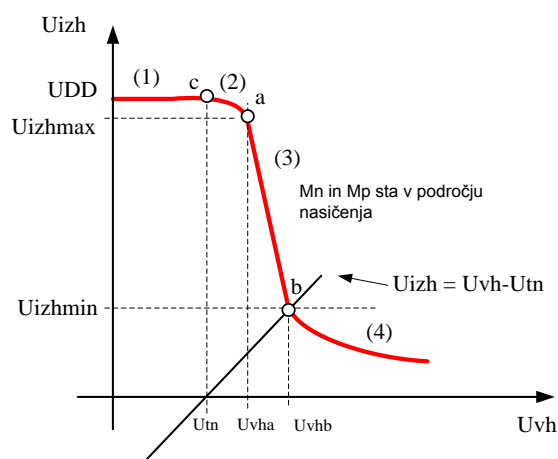
Slika 4.22: Model vezja za enosmerno analizo (a) in ekvivalentno vezje (model) za majhne izmenične signale (b). Vir: lasten.

Z analizo tokovnega izvora najprej izračunamo tok I_0 . Prenosna karakteristika je sestavljena iz štirih segmentov (glej sliko 4.23). Dokler ne začne prevajati spodnji tranzistor, je na izhodu UDD (točka c). Vedno velja, da je¹³² $U_{DD} = U_{DSn} - U_{DSp}$. Takoj ko začne prevajati spodnji tranzistor, je delovna točka zgornjega v linearnem področju. Tokovni vir začne delovati, ko je $|U_{DSp}| > |U_{DSpsat}|$ (točka a), oziroma ko pride Mp v področje nasičenja:

$$U_{izhmax} = U_{DD} + U_{DSpsat} = U_{DD} - \sqrt{\frac{I_0}{\frac{k'_p}{2} \frac{W_p}{L_p}}} \quad (4.21)$$

Sedaj lahko izračunamo potrebno vhodno napetost, pri kateri bo tekel tok I_0 :

$$U_{vha} = \sqrt{\frac{I_0}{\frac{k'_n}{2} \frac{W_n}{L_n}}} + U_{tn}$$



Slika 4.23: Prenosna karakteristika ojačevalnika je sestavljena iz štirih segmentov. Vir: lasten.

¹³² Glede na dogovorjene smeri napetosti in tokov PMOS je U_{Dsp} vedno negativna.

Tretji segment, kjer sta oba tranzistorja v področju nasičenja, je linearen. Ojačenje za majhne signale je:

$$A_u = \frac{u_{izh}}{u_{vh}} = \frac{-g_{n21}}{g_{n22} + g_{p22}} = -\frac{\sqrt{2k'_n \frac{W_n}{L_n}}}{\sqrt{I_0}(\lambda_n + \lambda_p)} \quad (4.22)$$

Če velja $A_u \gg 1$, potem je $U_{vhb} \approx U_{vha}$. V tem primeru lahko enostavno izračunamo U_{izhmin} oziroma točko b:

$$U_{izhmin} = U_{vha} - U_{tn} \quad (4.23)$$

V intervalu med U_{izhmax} in U_{izhmin} izhodni signal ne bo popačen. Tovrstni ojačevalnik ima visoko izhodno upornost:

$$r_{izh} = \frac{1}{g_{n22} + g_{p22}} \quad (4.24)$$

Preprosti napotki za načrtovanje:

Izberemo mali tok I_0 in nato izračunamo dimenzije W_n/L_n . Tokovni vir načrtujemo po postopku, ki je bil prikazan v [prejšnjih poglavjih](#).

Zgled:

Zahtevano je $A_u \geq 50$ in $U_{izhmax} \geq 4$. Drugi podatki so: $k'_n = 100 \mu\text{A}/\text{V}^2$, $k'_p = 50 \mu\text{A}/\text{V}^2$, $\lambda_n = \lambda_p = 0,05 \text{ V}^{-1}$, $U_{tn} = 0,8 \text{ V}$, $U_{DD} = 5 \text{ V}$.

Izberemo $I_0 = 25 \mu\text{A}$. Iz enačbe (4.22) izračunamo, da je $W_n/L_n > 3$. Izberemo $W_n/L_n = 4$.

Iz (4.21) izračunamo $U_{D_{Spsat}} = 1 \text{ V}$ oziroma, da mora biti $W_p/L_p > 1$. Izberemo $W_p/L_p = 2$.

Iz (4.24) izračunamo izhodno upornost: $r_{izh} = 400 \text{ k}\Omega$.

Simulacija: $A_u = -61$ in $U_{izhmax} = 4,4 \text{ V}$, $r_{izh} = 402 \text{ k}\Omega$.

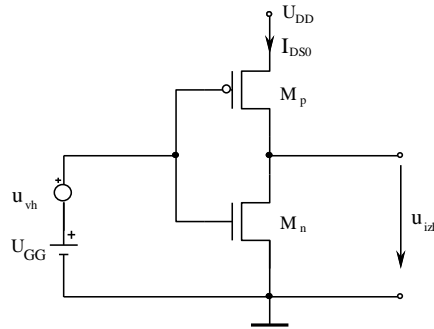
4.1.6. CMOS ENOSTOPENJSKI OJAČEVALNIK

V primerjavi z NMOS ojačevalnikom ima CMOS ojačevalnik¹³³ izrazito večje ojačenje, saj k ojačenju aktivno prispevata **oba tranzistorja**. Pri analizi prenosne karakteristike CMOS invertorja smo ugotovili, da ima v preklopnem področju zelo veliko strmino. Ker za CMOS invertor konkretna vrednost ni bila pomembna, smo izračunali samo preklopno napetost:

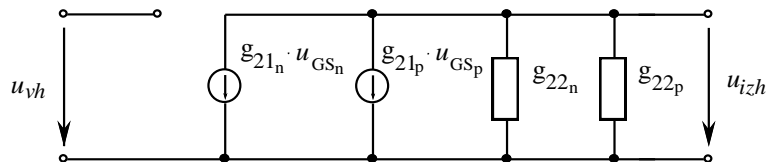
$$U_T = \frac{U_{DD} + U_{tp} + U_{tn} \cdot \sqrt{\frac{k_n}{k_p}}}{1 + \sqrt{\frac{k_n}{k_p}}} \quad (4.25)$$

¹³³ Push-pull inverter, push-pull amplifier.

Glede na sliko 4.19 je to vrednost, ki naj jo ima prednapetost U_{GG} . Sedaj bomo analizo poenostavili s predpostavko, da ojačevalnik krmilimo z majhnimi signali. V tem primeru je model ojačevalnika preprosto linearno vezje, ki ga prikazuje slika 4.25.



Slika 4.24: Enostopenjski CMOS ojačevalnik. Vir: [ALLEN,2002].



Slika 4.25: CMOS ojačevalnik: ekvivalentno vezje za majhne izmenične signale. Vir: lasten.

Ker je vezje zelo enostavno, lahko hitro ugotovimo, da velja:

$$u_{izh} = -\frac{g_{21n} + g_{21p}}{g_{22p} + g_{22n}} \cdot u_{vh}$$

$$A_u = -\frac{g_{21n} + g_{21p}}{g_{22p} + g_{22n}} \quad (4.26)$$

$$r_{izh} = \frac{1}{g_{22p} + g_{22n}} \quad (4.27)$$

Izraze za g parametre vstavimo v enačbo 4.26:

$$A_u = -\left(\frac{\sqrt{2 \cdot I_{DS0} \cdot \frac{W_n}{L_n} \cdot k'_n} + \sqrt{2 \cdot I_{DS0} \cdot \frac{W_p}{L_p} \cdot k'_p}}{I_{DS0} \cdot \lambda_n + I_{DS0} \cdot \lambda_p} \right)$$

I_{DS0} običajno izpostavimo:

$$A_u = -\sqrt{\frac{2}{I_{DS0}}} \left(\frac{\sqrt{\frac{W_n}{L_n} \cdot k'_n} + \sqrt{\frac{W_p}{L_p} \cdot k'_p}}{\lambda_n + \lambda_p} \right) \quad (4.28)$$

Veliko ojačenje dobimo, kadar sta oba tranzistorja široka. Ker je tok delovne točke v imenovalcu, naj bo čim manjši, vendar premajhen tok pomeni tudi večji šum. Če tok preveč zmanjšamo, preidemo v podpragovno območje delovanja MOS tranzistorja, kjer preprost kvadratični model tranzistorja več ne velja.

Zgled 1

Kolikšno je ojačenje in izhodna upornost enostopenjskega CMOS ojačevalnika, če je $W_p/L_p = 30/10$, $W_n/L_n = 10/10$ in $U_{DD} = 10$ V? Kolikšne so vrednosti g parametrov in izhodna upornost?

$$\begin{aligned} \lambda_p &= \lambda_n = 1/50 \text{ V}^{-1} \\ k'_n &= 16 \mu\text{A/V}^2, k'_p = 8 \mu\text{A/V}^2 \\ U_{tn} &= 1 \text{ V}, U_{tp} = -1 \text{ V} \end{aligned}$$

Poiskati moramo povezavo med delovno točko, dimenzijami in ojačenjem. Ker je tok delovne točke I_{DS0} neznan, ga moramo najprej izračunati. Iz enačbe 4.25 izračunamo, da morata biti U_{GG} oziroma U_{GSn} približno 5,4 V. Sedaj lahko izračunamo tok enega izmed obeh tranzistorjev (oba sta takrat v področju nasičenja):

$$I_{DS0} = \frac{16 \cdot 10^{-6}}{2} \frac{10}{10} (5,4 - 1)^2 = 155 \mu\text{A}$$

V delovni točki I_{DSn0} , ki leži v področju nasičenja, ima NMOS tranzistor transadmitančno strmino:

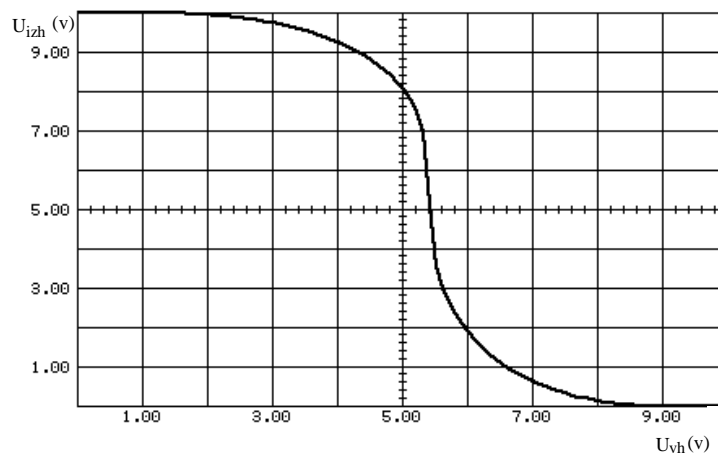
$$g_{21n} = \sqrt{2 \cdot I_{DS0} \cdot k} = \sqrt{2 \cdot I_{DS0} \cdot \frac{W_n}{L_n} \cdot k'_n} = \underline{\underline{70,4 \mu\text{A/V}}} \quad g_{21p} = \underline{\underline{86,2 \mu\text{A/V}}}$$

$$g_{22n} \approx I_{Dn0} \cdot \lambda_n \approx \underline{\underline{3,1 \cdot 10^{-6} \text{ S}}} \quad g_{22p} \approx I_{Dp0} \cdot \lambda_p \approx \underline{\underline{3,1 \cdot 10^{-6} \text{ S}}}$$

$$r_{izh} = \frac{1}{g_{22n} + g_{22p}} = \frac{1}{3,1 \cdot 10^{-6} + 3,1 \cdot 10^{-6}} = 160 \text{ k}\Omega$$

Če vstavimo vrednosti g parametrov v enačbo (4.26), dobimo $A_u = -25,2$. Računalniška analiza ($A_u = -27,7$) kaže na majhno odstopanje, ki se je pojavilo zaradi poenostavljanja izrazov.

Z zmanjšanjem napajalne napetosti se ojačenje zmanjša, saj je UGG manjša in zaradi tega se zmanjša tudi tok I_{DS0} .



Slika 4.26: Prenosna karakteristika ojačevalnika, ki je obravnavan pri zgledu 1. Vir: lasten.

Zgled 2

Kaj se zgodi z ojačenjem, če zmanjšamo napajalno napetost na 5 V in priključimo dodatno breme ($R_B = 1 \text{ M}\Omega$)? (Vpliv bremena pri izračunu delovne točke zanemari.) Primerjaj ojačenje NMOS ojačevalnika, ki ima samo NMOS tranzistorje z enakimi dimenzijami.

$$U_{GG} = \frac{5 - 1 + 1 \cdot \sqrt{\frac{1 \cdot 16}{3 \cdot 8}}}{1 + \sqrt{\frac{1 \cdot 16}{3 \cdot 8}}} = +2,65V$$

Pri tej napetosti bo tok delovne točke: $I_{DS0} = \frac{k'_n}{2} \frac{W_n}{L_n} (U_{GS_n} - U_{t_n})^2 = 21,8 \mu A$

Ker je na izhod priključeno še breme, ga je potrebno v enačbi 4.26 upoštevati:

$$A_u = -\sqrt{\frac{2}{I_{DS0}}} \left(\frac{\sqrt{\frac{W_n}{L_n} \cdot k'_n} + \sqrt{\frac{W_p}{L_p} \cdot k'_p}}{\lambda_n + \lambda_p + \frac{G_B}{I_{DS0}}} \right)$$

Iz te enačbe lahko sedaj izračunamo ojačenje brez bremena ($A_u = -67,35$) in z bremenom ($A_u = -31,38$). NMOS ojačevalnik s tranzistorji, ki imajo enako površino kot pri tem zgledu, ima 40-krat manjše ojačenje (brez bremena):

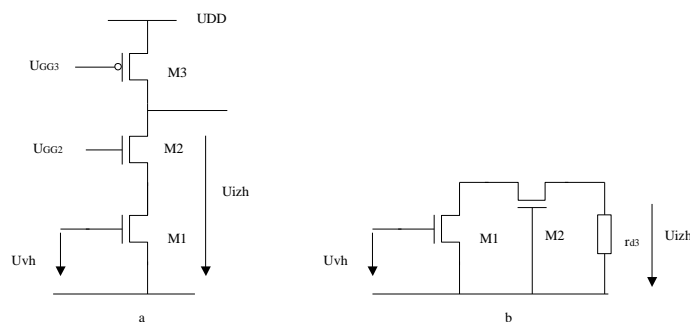
$$A_u = -\sqrt{\frac{W_a / L_a}{W_b / L_b}} = -\sqrt{\frac{3/1}{1/1}} = -1,73$$

Napotki za projektiranje (kadar je zahtevano samo ojačenje):

1. Izberemo čim manjši tok (npr. $10 \mu\text{A}$).
2. Izberemo dimenzije enega tranzistorja.
3. Iz enačbe za ojačenje izračunamo dimenzije drugega tranzistorja.
4. Določimo potrebno prednapetost U_{GG} .

4.1.7. KASKODNI OJAČEVALNIK

Če bremenski upor zamenjamo s tranzistorjem v orientaciji s skupnimi vrati (M2) in uporom (M3), dobimo kaskodni ojačevalnik¹³⁴, ki ima zelo visoko izhodno upornost. V primerjavi s prejšnjimi ojačevalniki ima večje ojačenje in višjo zgornjo frekvenčno mejo, saj zelo zmanjša vpliv Millerjeve kapacitivnosti.



Slika 4.27: Kaskodni ojačevalnik: struktura (a), model za majhne izmenične signale (b).

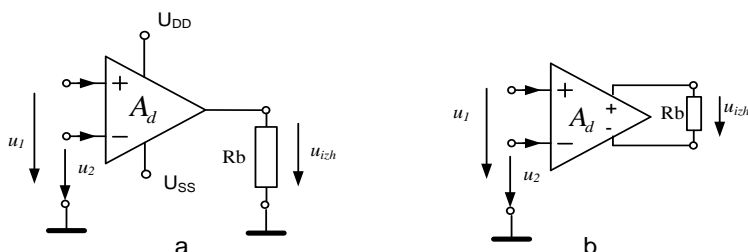
Vir: [ALLEN,2002].

¹³⁴ Izraz se je prvič pojavil leta 1939 v članku: F. V. Hunt and R. W. Hickman, "On Electronic Voltage Stabilizers," *Review of Scientific Instruments*, January 1939, str. 6-21 (str. 16). Na izhod anode je vezana katoda druge stopnje. Izraz kaskodni prihaja od: *cascade to cathode* ali pa *cascaded to cathode*.

4.1.8. CMOS DIFERENČNI NAPETOSTNI OJAČEVALNIK

Ojačevalnik, ki ojačuje razliko dveh vhodnih veličin, imenujemo diferenčni¹³⁵ ojačevalnik (glej sliko 4.28). Izhodna napetost je lahko definirana prosti masi (simetrični izhod), ali pa med dvema izhodoma (diferenčni izhod). Ojačevalnik lahko ojačuje razliko vhodnih napetosti ali pa tokov. Rezultat ojačitve je lahko tok ali napetost. Glede na vrsto vhodne in izhodne veličine poznamo torej 4 vrste diferenčnih ojačevalnikov: napetostno-napetostni, tokovno-tokovni, tokovno-napetostni in napetostno-tokovni ojačevalnik. Zaradi tehnoloških omejitev (kondenzator) se v integriranih vezjih uporabljajo samo enosmerni ojačevalniki, ki lahko ojačujejo enosmerne in izmenične signale.

Enosmerni diferenčni ojačevalnik je eden izmed najbolj razširjenih električnih sklopov v analognih vezjih (glej sliko 4.31). Srečamo ga na vhodu skoraj vsakega operacijskega ojačevalnika. Odlikuje se po tem, da ima od vseh vrst enosmernih ojačevalnikov najnižjo preostalo napetost (offset voltage) in je najmanj občutljiv na spremembo temperature.



Slika 4.28: Diferenčni ojačevalnik s simetričnim (a) in diferenčnim izhodom (b). Vir: lasten.

Najpomembnejše lastnosti diferenčnega ojačevalnika opišemo z naslednjimi podatki oziroma karakteristikami:

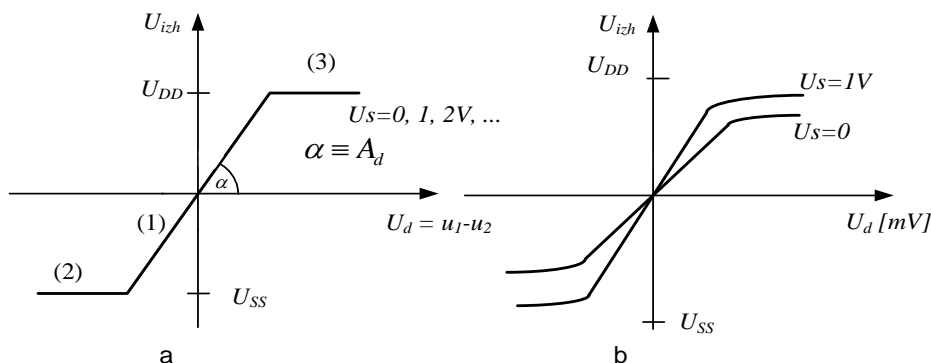
- diferenčno ojačenje,
- sofazno ojačenje,
- preostala napetost¹³⁶,
- vhodna in izhodna upornost,
- moč,
- frekvenčna karakteristika.

Pri idealnem diferenčnem napetostno-napetostnem ojačevalniku je izhodna napetost linearno odvisna samo od razlike obeh vhodnih napetosti. Torej je vseeno, če je npr. razlika dveh milivoltov nastala kot 1002 mV - 1000 mV ali 8 mV - 6 mV. Tovrstno ojačenje imenujemo *diferenčno ojačenje* in ga označujemo z A_d :

$$U_{izh} = A_d(U_1 - U_2) \quad (4.29)$$

¹³⁵ Pogosto se uporablja tudi sinonim diferencialni ojačevalnik. Ker tovrstni ojačevalnik ojačuje razliko (diferenco ne pa diferenciala) vhodnih signalov, je verjetno bolj primeren izraz diferenčni. Podobna neenotnost obstaja tudi v nemški terminologiji: Differenzverstärker in Differenzialverstärker.

¹³⁶ Sinonim: ničelna napetost, angl. offset voltage. Tipične vrednosti [ALLEN,2002] za CMOS so 5mV...20mV.



Slika 4.29: Prenosna karakteristika diferenčnega ojačevalnika: idealni (a) in realni ojačevalnik (b). Vir: lasten.

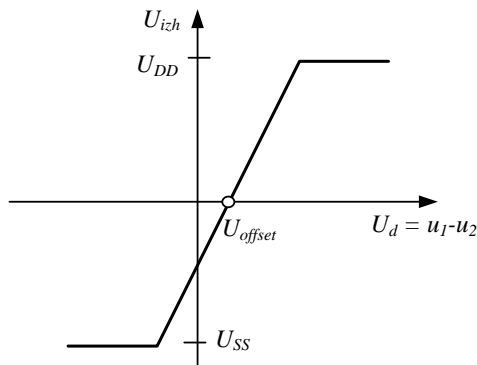
Karakteristiko idealnega in realnega ojačevalnika prikazuje slika 4.29. Vidimo, da je samo del karakteristike linearen in da na ojačenje vpliva tudi velikost potenciala, na katerem je ta razlika nastala. To nezaželeno ojačenje, ki ga bomo označili z A_s , bomo poimenovali *sofazno ojačenje*. Razliko vhodnih napetosti bomo označili z U_d (diferenčna napetost) vsoto pa z U_s (sofazna napetost).

$$U_d = U_1 - U_2 \quad (4.30)$$

$$U_s = \left(\frac{U_1 + U_2}{2} \right) \quad (4.31)$$

Poljubno vhodno napetost lahko vedno razstavimo na diferenčno in sofazno komponento. Izhodna napetost realnega ojačevalnika je odvisna od obeh:

$$U_{izh} = U_d A_d + U_s A_s \quad (4.32)$$



Slika 4.30: Preostala napetost U_{offset} je nezaželena, vendar vedno prisotna. Vir: lasten.

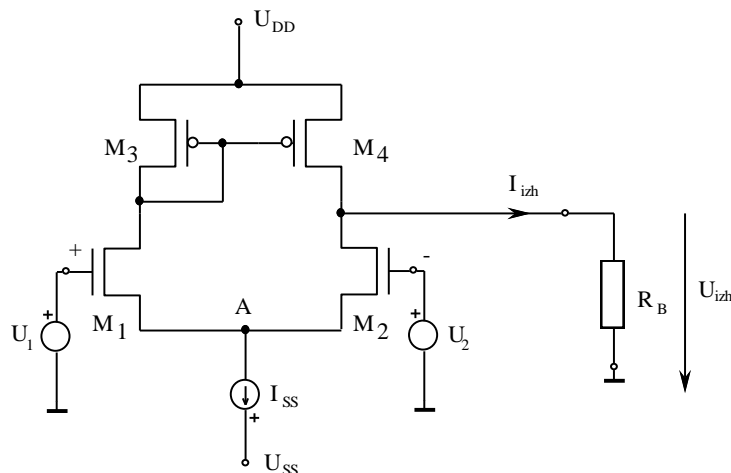
Če še upoštevamo preostalo napetost U_{offset} , zgornja enačba preide v:

$$U_{izh} = (U_d - U_{offset})A_d + U_s A_s \quad (4.33)$$

Določitev prenosne karakteristike, ki je prikazana na sliki 4.29, je zelo zahtevna, saj je potrebna celovita obravnava (več o tem glej v [ALLEN,2002]). Težavna je predvsem analiza sofaznega ojačenja. V nadaljevanju se bomo omejili samo na poenostavljeno analizo diferenčnega ojačenja v linearnem področju prenosne karakteristike, ki ga bomo označili z A_u :

$$U_{izh} \approx A_d(U_1 - U_2) = A_d U_d = A_u U_d \quad (4.34)$$

Tipično poenostavljeno strukturo diferenčnega ojačevalnika, ki ojačuje razliko vhodnih napetosti, prikazuje slika 4.31. V odvisnosti od velikosti R_B ga lahko obravnavamo kot napetostno-napetostni ojačevalnik ($R_B \gg R_{izh}$) ali kot napetostno-tokovni (transkonduktančni) ojačevalnik ($R_B \ll R_{izh}$). Najprej bomo predpostavili, da velja $R_B \gg R_{izh}$ in prikazano vezje obravnavali kot napetostno-napetostni ojačevalnik.

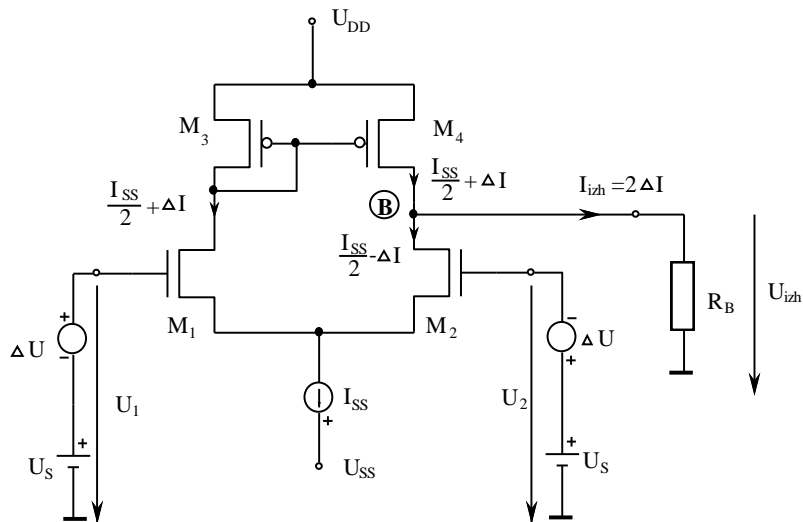


Slika 4.31: Poenostavljena struktura diferenčnega ojačevalnika z nesimetričnim izhodom. Vir: lasten.

Za nastanek sofaznega ojačenja sta dva vzroka. Prvi se kaže v premajhni simetričnosti diferenčnega ojačevalnika - ali z drugimi besedami: elementi, ki naj bi imeli enake karakteristike, se za malenkost razlikujejo. Sicer velika upornost tokovnega generatorja, ki pa ni neskončna, predstavlja drugi vzrok.

Na vhodu ojačevalnika sta dva enaka tranzistorja M_1 in M_2 . Tokovni generator I_{ss} zagotavlja tok delovne točke obeh vhodnih tranzistorjev. Tranzistorja (M_3 , M_4) tvorita tokovno zrcalo. Glede na vhodno napetost U_1 in U_2 lahko delujejo tranzistorji v vseh treh režimih delovanja. Ker smo se omejili samo na krmiljenje z majhnimi signali, se analiza delno poenostavi. **Predpostavili bomo, da je sofazna napetost tako velika, da delujejo vsi**

tranzistorji v področju nasičenja. V tem primeru lahko vse tranzistorje zamenjamo s preprostimi linearnimi modeli.



Slika 4.32: Krmiljenje ojačevalnika z diferenčnim signalom. Vir: lasten.

Naš cilj je poiskati povezavo med A_u in dimenzijami tranzistorjev. Kljub temu da bomo vse tranzistorje zamenjali z ustreznimi linearnimi modeli, izpeljava ojačenja še vedno ne bo enostavna. Zato bomo najprej napravili neke vrste preprosto analizo in ocenili ojačenje, nato pa dobljeni rezultat ustrezno dopolnili.

Najprej bomo vhodno napetost razstavili na sofazni (U_S) in diferenčni del ($2\Delta U$). Ustrezno krmiljenje je prikazano na sliki 4.32. Ko je $\Delta U = 0$, teče skozi M_1 in skozi M_2 polovica toka I_{SS} . Ko se napetost na M_1 spremeni za ΔU , se ustrezno poveča tok¹³⁷:

$$\Delta I = g_{21M1} \cdot \Delta U \quad (4.35)$$

Skupni tok skozi M_1 je:

$$I_{DS1} = \frac{I_{SS}}{2} + \Delta I$$

Ker M_2 krmilimo z enako napetostjo, vendar z nasprotnim predznakom, je:

$$I_{DS2} = \frac{I_{SS}}{2} - \Delta I$$

Zaradi tokovnega zrcala ($M_3 = M_4$) je $I_{DS3} = I_{DS4}$. V vozlišču B velja:

$$I_{DS4} - I_{DS2} - I_{izh} = 0 \quad \text{in} \quad I_{izh} = 2 \cdot \Delta I$$

¹³⁷ Z g_m smo tukaj označili parameter g_{21} .

Na bremenu se ustvari padec napetosti:

$$\Delta U_{izh} = 2 \cdot \Delta I \cdot R_B \quad (4.36)$$

Za majhne signale velja $\Delta I = g_{21M2} \cdot \Delta U$. Če to vstavimo v predhodno enačbo, dobimo:

$$\Delta U_{izh} = 2 \cdot g_{21M2} \cdot \Delta U \cdot R_B$$

Ker velja $U_d = U_1 - U_2 = 2\Delta U$, preide predhodna enačba v:

$$\Delta U_{izh} = g_{21M2} \cdot U_d \cdot R_B \quad (4.37)$$

Vidimo, da je diferenčno ojačenje enako ojačenju tranzistorja M1 oziroma M2.

$$A_d = A_u = g_{21M2} \cdot R_B$$

Ker pri analizi nismo upoštevali izhodnih upornosti¹³⁸ M4 in M2, ju lahko sedaj priključimo k R_B .

$$A_u = g_{m2} \cdot \left(R_B \parallel r_{DS2} \parallel r_{DS4} \right) = \frac{g_{21M2}}{G_B + g_{22M2} + g_{22M4}} \quad (4.38)$$

Parametre v enačbi (4.38) izrazimo v odvisnosti od I_{SS} :

$$g_{21M2} = \sqrt{2I_{DS2} \cdot k'_n \cdot \frac{W_2}{L_2}} = \sqrt{I_{SS} \cdot k'_n \cdot \frac{W_2}{L_2}}$$

$$g_{DS2} = g_{22M2} = \lambda_n \cdot I_{DS2} = \lambda_n \cdot \frac{I_{SS}}{2} \quad g_{DS4} = g_{22M4} = \lambda_p \cdot I_{DS2} = \lambda_p \cdot \frac{I_{SS}}{2}$$

Z upoštevanjem teh parametrov preide enačba (4.38) v:

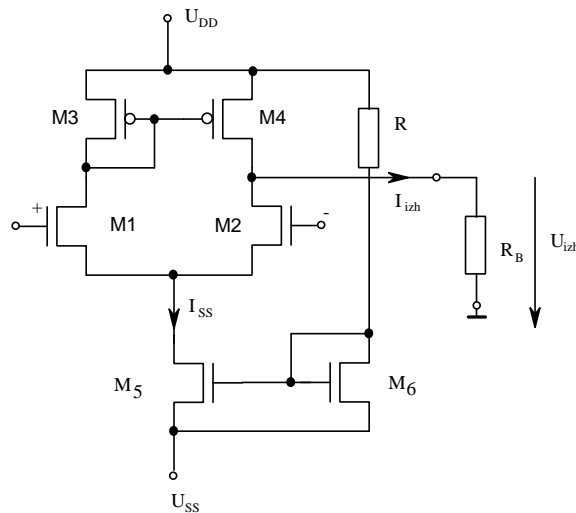
$$A_u = \frac{2 \cdot \sqrt{k'_n \frac{W_2}{L_2}}}{\sqrt{I_{SS}} (\lambda_n + \lambda_p) + 2G_B} \quad (4.39)$$

¹³⁸ Z r_{DS} smo označili izhodno upornost MOS tranzistorja.

Ta izraz je veljaven tako dolgo, dokler so vsi tranzistorji v nasičenju! Za $G_B = 0$ (izhod je priključen na MOS tranzistor) se enačba (4.39) poenostavi:

$$A_u = \frac{2 \cdot \sqrt{k'_n \frac{W_2}{L_2}}}{\sqrt{I_{ss}} (\lambda_n + \lambda_p)} \quad (4.40)$$

Enačba (4.40) je primerna za projektiranje, saj povezuje ojačenje z dimenzijami vhodnih tranzistorjev (oba imata vedno enake dimenzije!). Za veliko ojačenje moramo izbrati čim širše tranzistorje in čim manjši tok delovne točke. Tipična minimalna vrednost je $10\mu\text{A}$.



Slika 4.33: Preprost diferenčni ojačevalnik. Tokovni generator I_{SS} smo napravili s tokovnim zrcalom (M_5 in M_6) ter uporom R . Vir: lasten.

Ker sta izvora M_1 in M_2 na višjem potencialu kot U_{SS} , nastopi body pojav. Njuna pragovna napetost je zato višja kot pri M_5 in M_6 .

Izhodna upornost je relativno velika – običajno nekaj sto $k\Omega$:

$$r_{izh} = \frac{1}{g_{22M2} + g_{22M4}} \quad (4.41)$$

Preprosti napotki za projektiranje M_1 in M_2 :

1. Izberemo I_{ss} ali pa W_1/L_1 .
2. W_1/L_1 oziroma I_{ss} izračunamo iz enačbe 4.39 ali pa iz 4.40.
3. Če želimo znižati U_{DSsat} , povečamo razmerje W_1/L_1 in W_2/L_2 .
4. Napetost U_{DS} za M_1 in M_2 nastavimo z ustreznim projektiranjem M_3 .

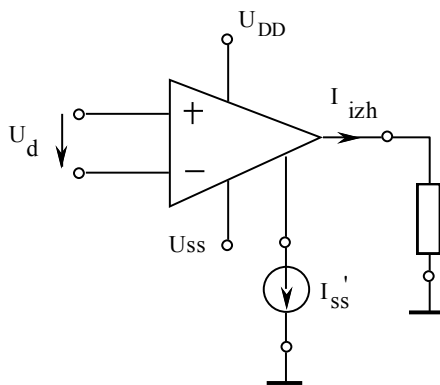
4.1.9. TRANSKONDUKTANČNI OJAČEVALNIK

Kadar je upornost bremena dosti manjša od izhodne upornosti ojačevalnika ($R_B \ll R_{izh}$), se ojačevalnik iz slike 4.33 spremeni v diferenčni transkonduktančni ojačevalnik. Glede na visoko vrednost G_B lahko v enačbi 4.39 zanemarimo λ . Če še upoštevamo, da je $\Delta I_{izh} = \Delta U_{izh} \cdot G_B$, dobimo:

$$\Delta I_{izh} = \sqrt{I_{ss} \cdot k'_n \cdot \frac{W_2}{L_2}} \cdot U_d \quad (4.42)$$

Iz prejšnje enačbe je razvidno, da je izhodni tok proporcionalen diferenčni napetosti. Ker je strmina transkonduktančnega ojačenja odvisna tudi od I_{SS} , jo lahko s tem tokom tudi spreminjamo. V skrajnem primeru lahko tudi ojačevalnik popolnoma izklopimo ($I_{SS} = 0$). Tokovni generator I_{SS} realiziramo s tokovnim zrcalom, ki ga napajamo s krmilnim tokom I_{SS}' . Ta je lahko konstanten ali pa se spreminja. Če se spreminja, dobimo ojačevalnik, katerega izhodni tok je odvisen od **dveh** vhodnih signalov:

$$\Delta I_{izh} = f(U_d, I_{ss})$$



Slika 4.34: Krmiljen (programirljiv) transkonduktančni ojačevalnik. Vir: lasten.

4.1.10. IZHODNE STOPNJE

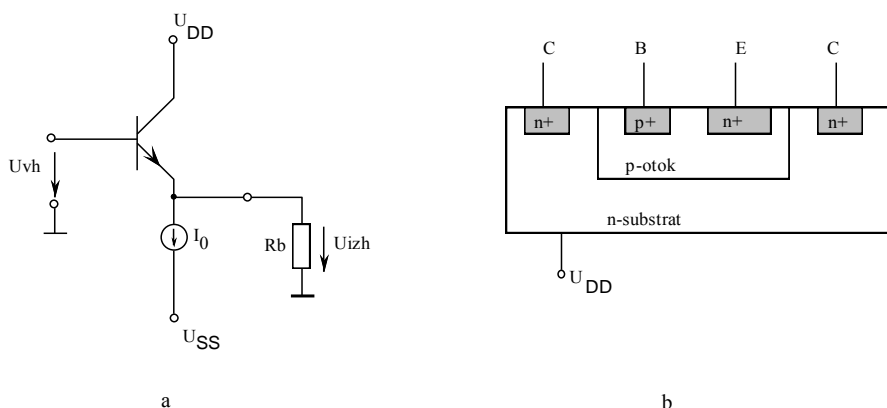
Na izhodu ojačevalnika je močnostni del ojačevalnika, ki mora učinkovito prenesti koristno moč na breme. Hkrati mora ohraniti tudi frekvenčno karakteristiko prejšnjih ojačevalnih stopenj. Ker je krmiljen z zelo velikimi signali, predpostavka o linearnosti več ne velja. Upoštevati je treba nelinearnosti tranzistorjev, kar analizo zelo zaplete. Posledica velikih signalov so popačenja. Običajno je zahtevana tudi nizka izhodna upornost, ki zagotavlja čim manjši vpliv upornosti bremena na izhodno amplitudo. To je še posebej pomembno, če je breme

tudi delno kapacitivno. Če želimo veliko hitrost, se mora kondenzator čim hitreje napolniti oziroma potrebna je majhna časovna konstanta.

S problemi močnostne izhodne stopnje se ne ubadamo samo pri analognih vezjih, ampak tudi pri logičnih¹³⁹. V primerjavi z analognimi vezji pri logičnih ni poudarka na popačenju in problemih stabilnosti, saj tam ne uporabljamo povratnih vezav. Kadar želimo majhna popačenja, mora ojačevalnik delovati v AB ali pa A razredu, sicer izberemo B razred, ki ima najboljši izkoristek.

Kadar tehnologija omogoča izdelavo MOS in bipolarnega tranzistorja, se je treba odločiti o izboru. Poglejmo nekaj prednosti in slabosti obeh variant. Močnostni MOS izhodni tranzistorji potrebujejo za krmiljenje veliko krmilno napetost. Če želimo tok 100mA in znaša največja krmilna napetost $U_{GS} = 2\text{ V}$, potrebujemo izhodni tranzistor¹⁴⁰ z dimenzijo $W/L=5000!$ - velika površina in tudi kapacitivnost. Krmilno napetost lahko s podvojilci napetosti dvignemo in to slabost delno odpravimo.

Bipolarni tranzistorji imajo večjo strmino transadmitančne karakteristike in lahko jih bolje izkrmilimo. Njihova slabost je, da za krmiljenje potrebujejo tok v bazo. Pri odločitvi je torej treba poiskati kompromis med porabo električne energije in izkrmiljenostjo.

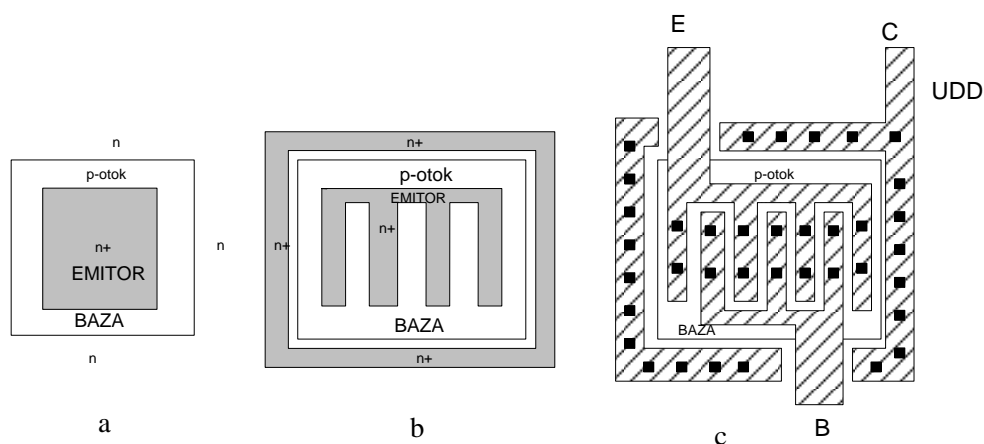


Slika 4.35: Emitorski sledilnik (a) in struktura izhodnega tranzistorja (b). Vir: [GRAY,2009].

Na kratko bomo opisali samo dve tipični vrsti izhodne stopnje: emitorski sledilnik in komplementarno stopnjo. Ojačevalnik z emitorskim sledilnikom ima napetostno ojačenje približno 1 in nizko izhodno upornost. Delovno točko izhodnega tranzistorja nastavimo s tokovnim generatorjem I_0 . Ker ima bipolarni tranzistor kolektor vezan na napajalno napetost (substratni tranzistor), ga lahko zelo enostavno napravimo kar s CMOS tehnologijo 4.35 b. Ker je velikost izhodnega toka tudi odvisna od površine emitorja, imajo močnostni tranzistorji velike emitorske površine. Pri velikih tokovih nastopijo dodatni stranski pojavi, ki zmanjšujejo tokovno ojačenje. Ta pojav lahko omilimo, če pri isti površini povečamo obseg emitorja. Zaradi tega so strukture močnostnih tranzistorjev zelo pestre (glej sliko 4.36).

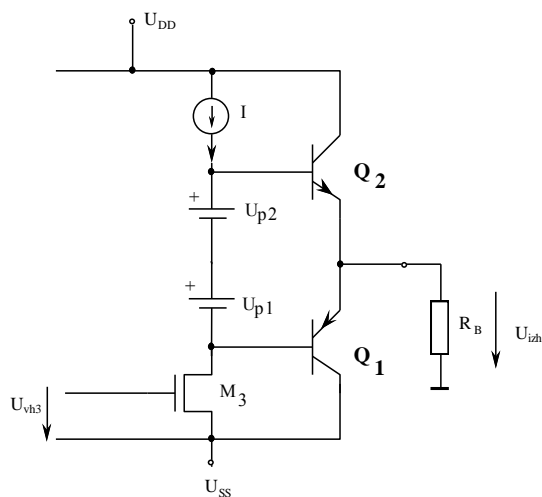
¹³⁹ Močnostna integrirana vezja so opisana tudi v poglavju *Močnostna mikroelektronska vezja*.

¹⁴⁰ $U_t = 1\text{ V}$, $kn' = 40\ \mu\text{A}/\text{V}^2$



Slika 4.36: Topologija emitorja močnostnega substratnega tranzistorja. Emitor z veliko površino (a) razstavimo na razcepljene like (b) in obkrožimo z n+ obročem. Nato dodamo še kovino in kontakte in obroč (kolektor) priključimo na U_{DD} (c). Vir: [BILJANOVIĆ,2001].

Pri bipolarnih tranzistorjih, ki so napravljeni s CMOS tehnologijo, nastopa nevarnost vklopa parazitnega tiristorja (latch-up), saj teče relativno velik tok v substrat. Z ustreznim varnostnim obročem, ki je priključen na U_{DD} , lahko verjetnost za ta nevarni pojav zmanjšamo.



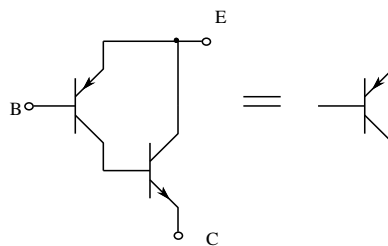
Slika 4.37: Koncept komplementarne bipolarne izhodne stopnje, ki deluje v A oziroma AB razredu. Vir: [BILJANOVIĆ,2001].

Komplementarna varianta močnostne izhodne stopnje (glej sliko 4.37), ki deluje v AB oziroma v A razredu, potrebuje za vsak izhodni tranzistor ustrezno prednapetost (U_{p2} in U_{p1}), ki naj odpravi vpliv kolena na delovanje tranzistorja. Če imamo bipolarne izhodne

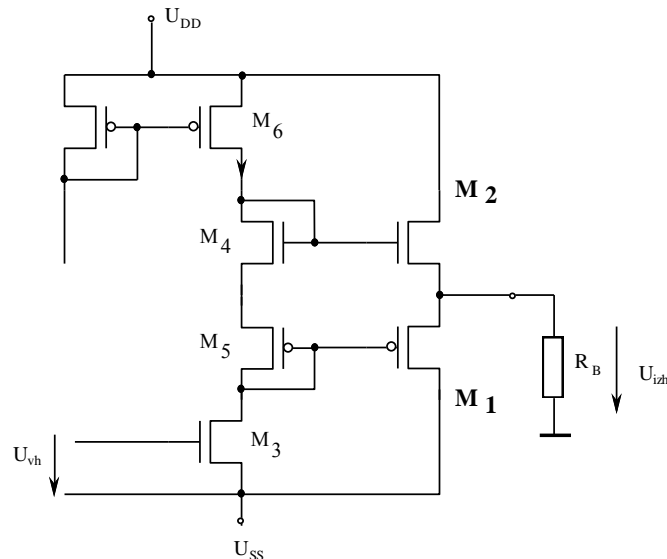
tranzistorje¹⁴¹, potem prednapetosti ustvarimo kar z dvema diodama. Pri CMOS varianti vzamemo dva MOS upora (slika 4.39) oziroma MOS diodi.

Za komplementarno izhodno stopnjo potrebujemo komplementarni par tranzistorjev. Manjšo strmino PMOS tranzistorja glede na NMOS enostavno popravimo z večjimi dimenzijami. Pri bipolarnih tranzistorjih ta pristop ni možen. V veliki večini tehnologij je PNP tranzistor v primerjavi z NPN izrazito slabši (nižje ojačenje, slabša frekvenčna karakteristika). Karakteristiko PNP lahko delno popravimo z ustrežno povezavo NPN in PNP tranzistorja v Darlingtonovi vezavi. Skupno tokovno ojačenje je enako produktu tokovnih ojačenj posameznih tranzistorjev:

$$h_{FE} = h_{FENPN} h_{FEPNP}$$



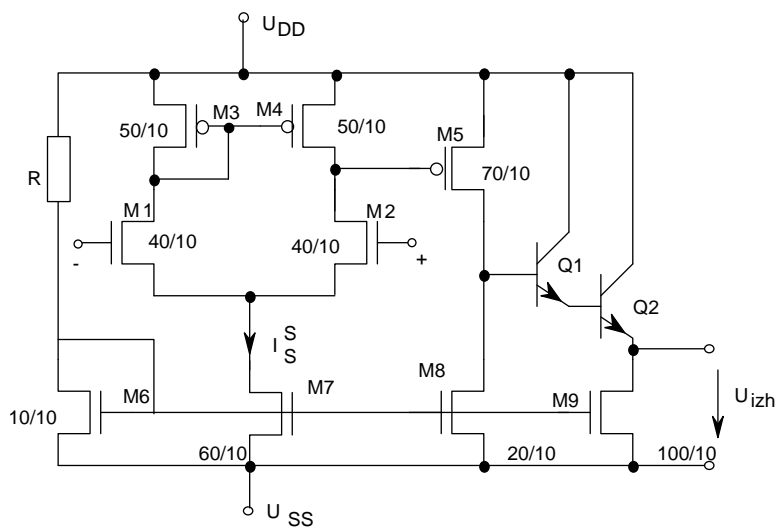
Slika 4.38: Zvišanje tokovnega ojačenja PNP tranzistorja. Vir: [BILJANOVIĆ,2001].



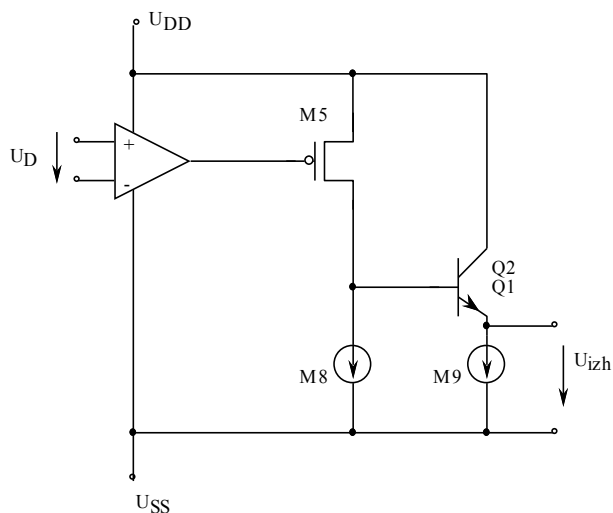
Slika 4.39: CMOS komplementarna izhodna stopnja. MOS upora M4 in M5 ustvarita prednapetost, ki jo potrebujeta izhodna tranzistorja. Vir: [ALLEN,2002].

¹⁴¹ To je možno, če smo se odločili za BiCMOS tehnologijo.

Za zgled pogledjmo ojačevalnik, ki ga prikazuje slika 4.40. M6 je referenčni tokovni tranzistor, ki tvori z M7, M8 in M9 tokovna zrcala. Izhodna stopnja je sestavljena iz dveh bipolarnih tranzistorjev v Darlingtonovi vezavi. Oba predstavljata emitorski ojačevalnik, ki ima napetostno ojačenje 1. Tok delovne točke zagotavlja tokovni generator (tranzistor M9). M5 je napetostna ojačevalna stopnja z aktivnim bremenom M8. Poenostavljeno shemo prikazuje slika 4.41.



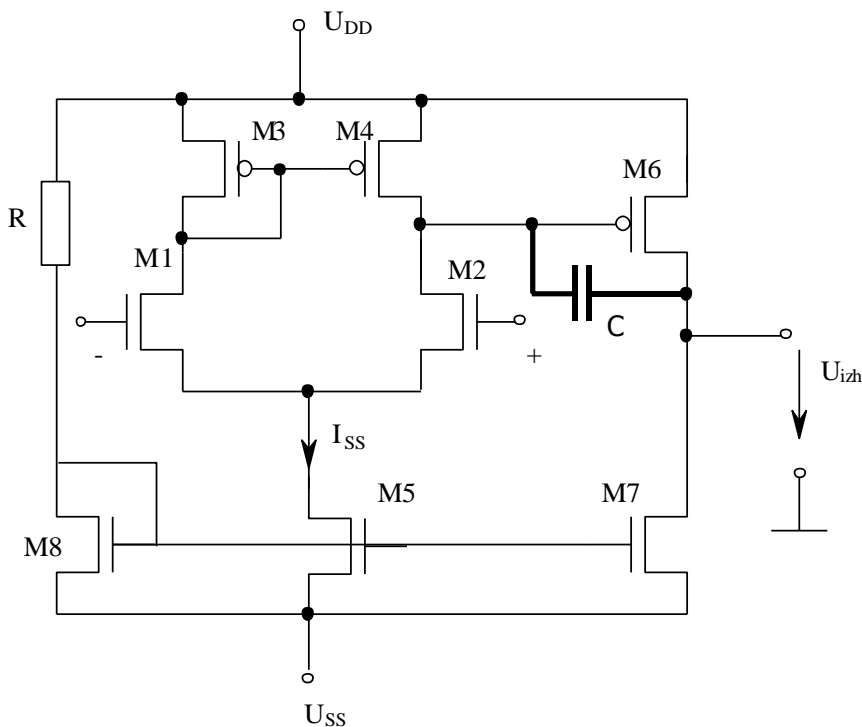
Slika 4.40: Zgled nekompenziranega ojačevalnika z bipolarno izhodno stopnjo. Vir: [ALLEN,2002].



Slika 4.41: Poenostavljena shema ojačevalnika s slike 4.40. Vir: lasten.

4.1.11. FREKVENČNA KOMPENZACIJA OJAČEVALNIKA

V večini primerov dodamo ojačevalniku povratno vezavo, ki povzroči sicer nižje ojačenje, vendar izboljša mnoge druge karakteristike (npr. popačenje, občutljivost na spremembe parametrov). Ker s povratno vezavo pripeljemo izhodni signal zopet na vhod, se pojavi nevarnost osciliranja. Ker je o tem precej napisanega (glej npr. [LEONARDIS,1981]), bomo tukaj poudarili samo nekatere posebnosti, ki so značilne za integrirana vezja.



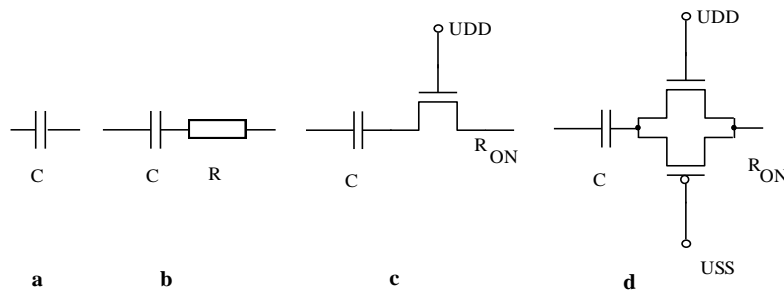
Slika 4.42: Kompenzacija ojačevalnika s kondenzatorjem C. Vir: [ONG,1986].

S kompenzacijo polov oziroma ničel lahko preprečimo, da bi se negativna povratna vezava sprevrgla v pozitivno¹⁴². Vezja za kompenzacijo so kondenzatorji ali pa preprosti linearni RC členi, ki jih priključimo na ustrezna mesta v ojačevalniku. Te elemente lahko dodamo na zunanjih sponkah integriranega vezja ali pa so že vgrajeni (notranja kompenzacija). Zanimala nas bo samo notranja kompenzacija.

Ker obstaja pri kompenzaciji več pristopov, moramo paziti, da ne izberemo takšnega, ki bo zahteval velike vrednosti kondenzatorjev ali pa celo tuljavo, ki je nikakor ne moremo izdelati.

Za kompenzacijo potrebujemo linearne elemente. Upor je lahko linearen (npr. difuzijski upor) ali pa napravljen iz MOS tranzistorja (glej sliko 4.43), ki deluje v linearnem režimu. Podobno kot pri CMOS prenosni celici lahko nelinearnost zmanjšamo z dodanim komplementarnim tranzistorjem.

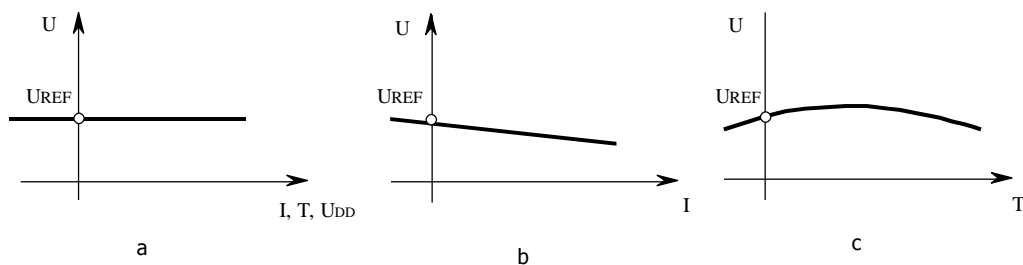
¹⁴² Tipična fazna varnost je od 45° do 60°.



Slika 4.43: Tipični elementi za kompenzacijo. Vir: lasten.

4.1.12. NAPETOSTNI REFERENČNI VIRI

Mnoga analogna vezja potrebujejo stabilen vir enosmerne napetosti¹⁴³. V splošnem je napetost nekega vira odvisna od več parametrov npr.: $U = f(I, T, U_{DD})$. Le za idealni vir velja $U = U_{REF}$. Kadar je pri nekem viru velik poudarek na stabilnosti, mu pravimo *vir referenčne napetosti*. Kakovostni napetostni viri imajo zelo majhno občutljivost na spremembo toka, napajalne napetosti in temperature. Idealni napetostni vir ima notranjo upornost $r_N = 0$, kar pomeni, da referenčna napetost ni odvisna od toka (slika 4.44 a). Ker notranja upornost povzroči padanje napetosti v odvisnosti od toka, referenčne vire zelo šibko obremenimo. Pri MOS vezjih, kjer v vrata ne teče noben tok, ta problem ne prihaja do izraza. Pri bipolarnih vezjih, kjer imamo tokovno krmiljenje tranzistorja, ta problem rešimo npr. z emitorskim sledilnikom.

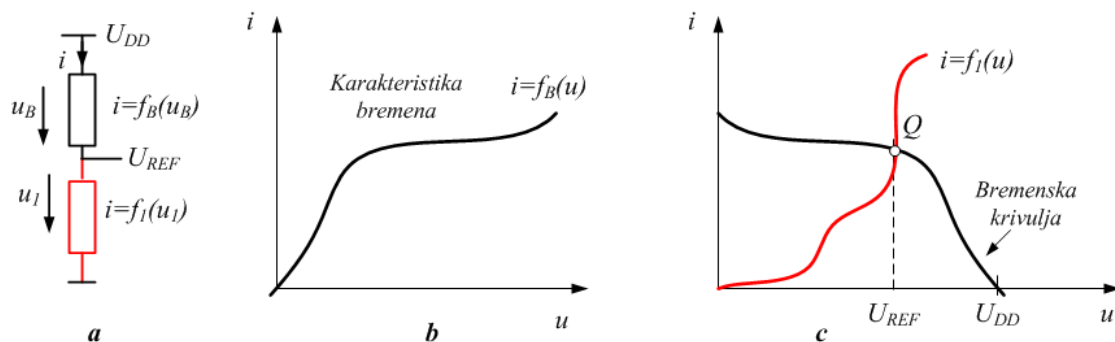


Slika 4.44: Karakteristika idealnega (a) in realnega (b), (c) napetostnega vira. Vir: lasten.

Najbolj pogosto se uporabljajo stabilni napetostni viri pri realizaciji tokovnih virov (glej zgled na sliki 4.11), ki jih potrebujemo za nastavitve delovne točke. Če je U_{GSREF} stabilna, so tudi tokovi tokovnih virov stabilni. Če vplivi parametrov niso izrazito nelinearne funkcije, oziroma če so spremembe parametrov relativno majhne, lahko izraz za karakteristiko napetostnega vira z linearizacijo zelo poenostavimo. Spremembo napetosti lahko izračunamo, če poznamo posamezne občutljivosti oziroma notranjo upornost:

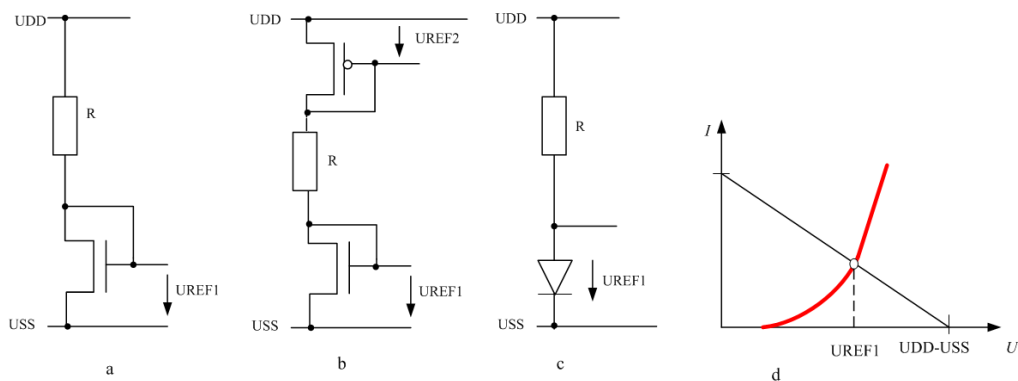
$$\Delta U_{REF} = r_N \Delta I + S_T^{UREF} \Delta T + S_{U_{DD}}^{UREF} \Delta U_{DD} \quad (4.43)$$

¹⁴³ Več o načrtovanju referenčnih virov je v [PLETERŠEK,2006] in [ALLEN,2002].



Slika 4.45: Koncept preprostega stabilnega vira napetosti: vezje (a), karakteristika bremena (b) in grafična analiza (c). Vir: lasten.

Ena izmed možnih rešitev za sintezo vira referenčne napetosti temelji na dveh elementih, ki sta priklučena na napetost, ki je višja od U_{REF} (slika 4.45). Če v karakteristiko tega elementa vrišemo premaknjeno in zrcaljeno karakteristiko bremena (bremensko krivuljo¹⁴⁴), na presečišču leži delovna točka Q . Spodnji element mora imeti del karakteristike zelo strm, drugi element pa naj ima na tem delu čim položnejši segment. Že iz grafične analize delovne točke vidimo, da se v tem primeru U_{REF} zelo malo spremeni pri spremembi U_{DD} .



Slika 4.46: Preprosti stabilizirani napetostni viri (a), (b), (c) in grafična analiza delovne točke¹⁴⁵ (d). Vir: lasten.

Najbolj enostaven referenčni vir tvorita bipolarna dioda (ali MOS dioda) in upor. Slika 4.46 prikazuje najbolj enostavne variante, ki se uporabljajo le v nezahtevnih diferencialnih ojačevalnikih. Kakovostnejši ojačevalniki imajo več referenčnih napetosti (2 do 6). V takih ojačevalnikih je skoraj polovica vseh tranzistorjev uporabljena za zagotavljanje stabilnih napetostnih virov.

¹⁴⁴ V splošnem je to nelinearna funkcija. Če je linearna, ji pravimo delovna premica.

¹⁴⁵ Velja za vezji (a) in (c).

Pogosto potrebujemo referenčne napetosti, ki so višje od 0,6V. Z zaporedno vezavo diod sicer lahko dosežemo višje vrednosti, vendar se s tem tudi večja temperaturna odvisnost, saj se temperaturni koeficienti seštevajo. Namesto diode lahko vzamemo Zenerjevo diodo ali MOS upor, kjer so kolena višja. Upor R lahko zamenjamo z MOS tranzistorjem, ki ima vgrajen kanal.

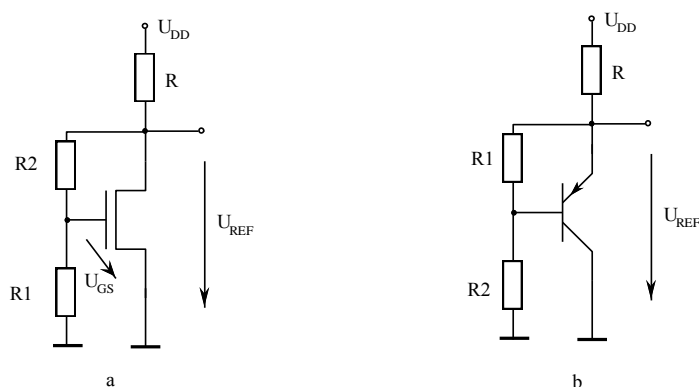
Z dodatnim tranzistorjem lahko dvignemo referenčno napetost (slika 4.47). Ker v vrata ne teče noben tok, je razmerje med napetostima:

$$\frac{U_{REF}}{U_{GS}} = \frac{R1 + R2}{R1}$$

Oziroma:

$$U_{REF} = \frac{R1 + R2}{R1} U_{GS} \quad (4.44)$$

Podobno velja za varianto z bipolarnim tranzistorjem, kjer smo tok v bazo zanemarili. Vidimo, da je stabilnost referenčne napetosti odvisna od stabilnosti kolenske napetosti tranzistorja in temperaturnega koeficienta uporov. Ker ima bipolarni tranzistor kolektor priključen na maso oziroma substrat, lahko uporabimo substratni tranzistor, ki ga imamo na voljo tudi pri navadnem CMOS procesu.



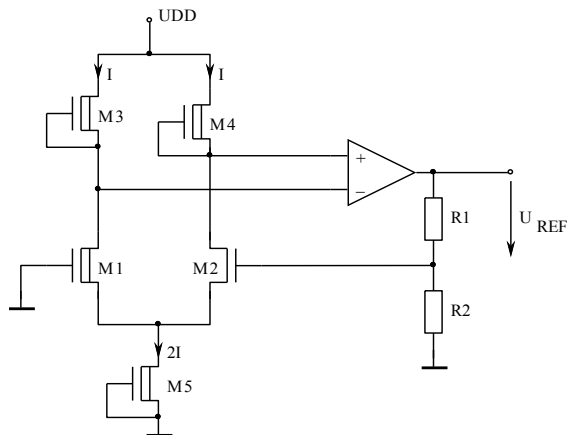
Slika 4.47: Referenčni napetostni vir z MOS (a) in z bipolarnim tranzistorjem (b).
Vir: [BILJANOVIĆ,2001].

Ne smemo pozabiti, da na stabilnost U_{REF} vplivajo skoraj vsi elementi, ki sestavljajo referenčni vir. Občutljivost na spremembo napajalne napetosti smo uspeli sicer z določenimi vezji zmanjšati, vendar je še vedno ostala temperaturna občutljivost.

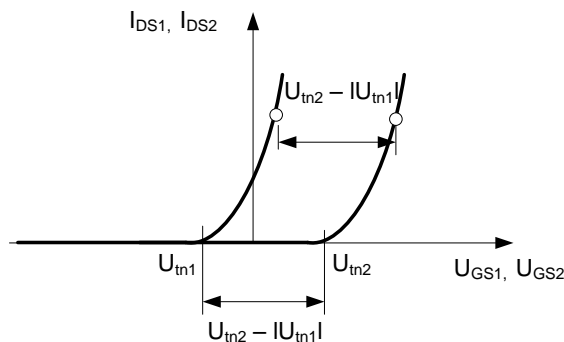
Za reševanje teh problemov so zelo primerne mostične vezave, kjer se temperaturni vplivi med seboj kompenzirajo. Isto velja za spremembo napajalne napetosti. Za zgled bomo obravnavali enega izmed boljših stabilnih virov napetosti¹⁴⁶, ki ga prikazuje slika 4.48. Diferenčni ojačevalnik, zgrajen s tranzistorji z vgrajenim kanalom, ima levo stran enako desni, z izjemo tranzistorja M2. Ta ima sicer enake dimenzije kot M1, vendar je drugačne vrste - gre za

¹⁴⁶ Mostično vezavo uporablja tudi band-gap stabilni napetostni vir [GRAY,1993].

tranzistor z induciranim kanalom. M3, M4 in M5 so v bistvu nelinearni upori. Zaradi operacijskega ojačevalnika z negativno povratno vezavo, sta toka I3 in I4 enaka, saj je edino takrat U_d enak 0.



Slika 4.48: Referenčni napetostni vir. Vir: [ALLEN,2002].



Slika 4.49: Prenosni karakteristiki tranzistorjev M1 in M2. Vir: [ALLEN,2002].

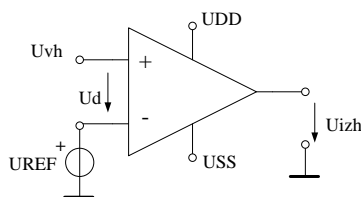
M2 ima enako geometrijo kot M1 in tudi enake lastnosti. Edina razlika je v pragovni napetosti. Karakteristika M2 je samo premaknjena za razliko pragovnih napetosti v desno, sicer sta pa popolnoma enaki (slika 4.49). To pomeni, da moramo krmiliti M2 z napetostjo $(U_{m2} - |U_{m1}|)$. Ta napetost je hkrati tudi na R2. S pomočjo navadnega delilnika napetosti lahko sedaj enostavno izračunamo U_{REF} :

$$U_{REF} = \frac{R1 + R2}{R2} (U_{m2} - |U_{m1}|) \quad (4.45)$$

S tem vezjem dosegamo zelo nizek temperaturni koeficient oziroma faktor občutljivosti na spremembo temperature: $S_T^{U_{REF}} = \frac{1}{U_{REF}} \frac{\Delta U_{REF}}{\Delta T} \leq 10 \text{ ppm}/^\circ\text{C}$.

4.2. DVOSTOPENJSKI CMOS KOMPARATOR

Za zgled bolj težavnega projektiranja bomo izbrali (napetostni) komparator. To je vezje, ki primerja vhodno napetost U_{vh} z referenčno U_{REF} (slika 4.50). Referenčna napetost je običajno priključena na en vhod, lahko pa je tudi vgrajena. Vsak enosmerni diferenčni ojačevalnik lahko pretvorimo v komparator. Obstaja več vrst komparatorjev, ki se razlikujejo po vrsti prenosne karakteristike in po vrsti izhoda¹⁴⁷ oziroma izhodne napetosti. Kljub veliki podobnosti obstajajo pomembne razlike med operacijskim ojačevalnikom in komparatorjem.



Slika 4.50: Komparator. Vir: lasten.

Ker bomo izbrali varianto komparatorja, ki ne uporablja povratne vezave, ne bo težav s stabilnostjo. Uporaba povratne vezave bi namreč zahtevala kompenzacijo ojačevalnika, ki je pa ne bomo obravnavali. (Več o tem je v navedeni literaturi npr. [ALLEN,2002].)

Na sliki 4.51 sta prikazani dve enostavni strukturi dvostopenjskega CMOS komparatorja. Prva stopnja je diferenčni enosmerni ojačevalnik, druga pa izhodni ojačevalnik. Pri varianti a je izhodni ojačevalnik v orientaciji s skupnim izvorom (M6) in aktivnim bremenom (M7), pri varianti b pa gre za [CMOS ojačevalnik](#)¹⁴⁸. Pri dimenzioniranju tranzistorjev izhajamo iz predpostavke, da vsi tranzistorji delujejo pri $U_{vh} = 0$ V v področju nasičenja. Pri majhni napajalni napetosti se lahko hitro zgodi, da kateri izmed tranzistorjev deluje v linearnem področju. Ker je ročna analiza relativno zahtevna, bomo izpolnitev te predpostavke preverjali s simulacijo.

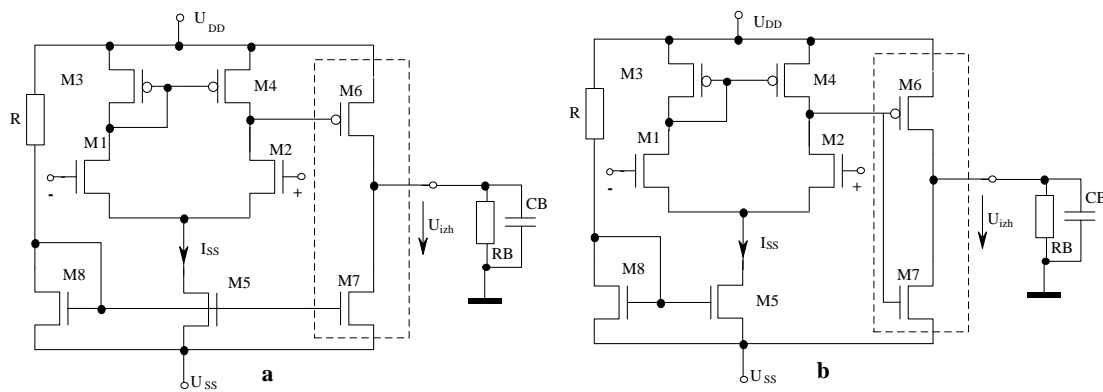
Lastnosti komparatorja delimo v naslednje skupine:

- statične ali enosmerne (npr. enosmerno ojačenje, izkrmiljenje na izhodu),
- dinamične (npr. zakasnitev, gradient izhodne napetosti) in
- druge.

V nadaljevanju bomo podrobno obravnavali samo varianto b (glej sliko 4.51). Najprej bomo napravili analizo vezja (napetostno ojačenje, izkrmiljenje na izhodu, zakasnitev oziroma hitrost delovanja), nato pa poiskali povezavo med tokovi in dimenzijami tranzistorjev.

¹⁴⁷ Mišljeno je to, ali lahko na izhod direktno priključimo logično vezje ali ne.

¹⁴⁸ Push-pull ojačevalnik.



Slika 4.51: Dve enostavni strukturi dvostopenjskega CMOS komparatorja. M6 in M7 tvorita izhodni ojačevalnik. Vir: [ALLEN,2002].

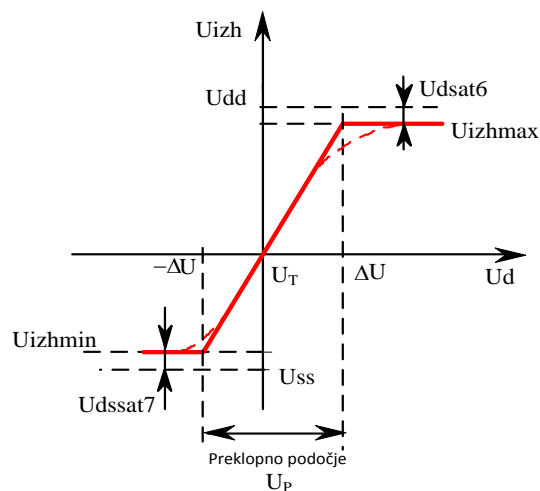
4.2.1. NAPETOSTNO OJAČENJE

Če zanemarimo nekatere vplive, je preklopna napetost U_T približno enaka U_{REF} :

$$U_T \approx U_{REF} \quad (4.46)$$

Enosmerno prenosno karakteristiko komparatorja, ki jo prikazuje slika 4.52, bomo opisali z naslednjim preprostim matematičnim modelom:

$$U_{izh} = \begin{cases} U_{izhmax}; & U_d > U_T + \Delta U \\ U_d \cdot A; & U_T + \Delta U > U_d > U_T - \Delta U \\ U_{izhmin}; & U_d < U_T - \Delta U \end{cases} \quad (4.47)$$



Slika 4.52: Prenosna karakteristika komparatorja, če je $U_T = U_{REF} = 0V$. Vir: [ALLEN,2002].

Ud je vhodna diferenčna napetost, ki je: $U_d = U_{vh} - U_{REF}$. Če U_{izhmax} in U_{izhmin} ustrezata [logičnim nivojem](#), potem gre za logično vrsto izhoda, sicer pa za analogno. V preklopnem območju U_p , to je med $U_T + \Delta U$ in $U_T - \Delta U$, deluje komparator kot ojačevalnik z ojačenjem A:

$$A = \frac{U_{izhmax} - U_{izhmin}}{U_p} \quad (4.48)$$

Takrat so vsi tranzistorji v **nasičenju** in zanje velja naslednja povezava med inkrementalnimi g parametri, delovno točko ter dimenzijami:

$$g_{21} = \sqrt{\frac{2k'_n \cdot W \cdot I_{DS}}{L}} \quad g_{22} = \lambda I_{DS} \quad (4.49)$$

Ojačenje prve stopnje:

$$A_1 = -g_{21M2} R_{nad} = \frac{-g_{21M2}}{g_{22M2} + g_{22M4}} \quad (4.50)$$

Inkrementalne parametre izrazimo z delovno točko in dimenzijami:

$$A_1 = -\frac{\sqrt{\frac{k'_n I_{SS} W_2}{L_2}}}{\frac{I_{SS} (\lambda_n + \lambda_p)}{2}} = -2 \frac{\sqrt{\frac{k'_n W_2}{L_2}}}{\sqrt{I_{ss} (\lambda_n + \lambda_p)}} \quad (4.51)$$

Ojačenje druge stopnje:

$$A_2 = -g_{21M6} R_{nad} = -\frac{g_{21M6}}{g_{22M7} + g_{22M6} + G_B} \quad (4.52)$$

$$A_2 = -g_{21M6} R_{nad} = -\frac{\sqrt{\frac{2k'_p W_6 I_6}{L_6}}}{I_6 (\lambda_n + \lambda_p) + G_B} \quad (4.53)$$

Skupno ojačenje je produkt ojačenja prve in druge stopnje: $A = A_1 A_2$

4.2.2. IZKRMILJENJE NA IZHODU

Maksimalna napetost na izhodu je odvisna predvsem od tranzistorjev M6 in M7 oziroma od U_{DSsat6} in U_{DSsat7} . Ker na velikost teh dveh napetosti vpliva tudi R_B , bomo predpostavili, da ima breme tako veliko upornost, da jo lahko zanemarimo. Na podlagi te predpostavke se bo analiza delno poenostavila.

Točka, v kateri preide MOS tranzistor v triodno območje, je $U_{DSsat} = U_{GS} - U_t$.

$$I_{DS} = \frac{k'W}{2L} U_{DSsat}^2 \quad (4.54)$$

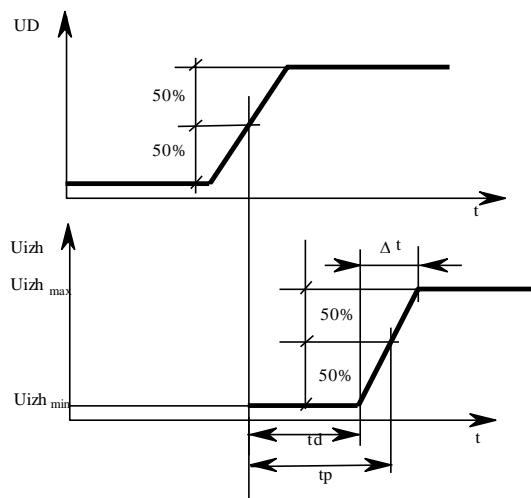
$$U_{DSsat6} = \sqrt{\frac{I_{DS6}}{k'_p W_6}} = \sqrt{\frac{2I_{DS6}}{k'_p W_6}} \cdot \frac{1}{\sqrt{2}} = \frac{1}{\sqrt{2}} \sqrt{\frac{2I_{DS6}}{k'_p W_6}} \cdot \frac{1}{L_6} \cdot L_6 \quad (4.55)$$

Podobno izračunamo U_{DSsat7} :

$$U_{DSsat7} = \sqrt{\frac{2I_{DS7}}{k'_n W_7}} \cdot \frac{1}{L_7} \quad (4.56)$$

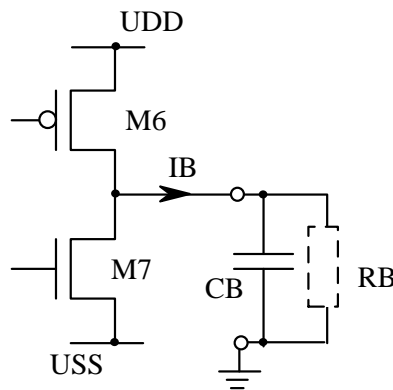
4.2.3. ZAKASNITEV

Če na vhod komparatorja priključimo stopnico, lahko izmerimo njegovo hitrost. Na sliki 4.53 vidimo tipični idealiziran odziv, ko izhodni signal narašča. (Določene podrobnosti, ki trenutno niso pomembne, so izpuščene.) Vzrok za zakasnitev t_p so kapacitivnosti MOS tranzistorjev, povezav in bremena. Ker je komparator v bistvu nelinearen dinamičen sistem, je natančna analiza zakasnitev zelo zahtevna. Pomagali si bomo z nekaterimi poenostavitvami, ki bodo zahtevale izpolnitev določenih pogojev. Prvi je ta, da kapacitivnost bremena prevladuje. Zaradi tega lahko pri analizi zanemarimo parazitne kapacitivnosti tranzistorjev. Drugi pogoj bo, da naj bo upornost bremena R_B tako velika, da bistveno ne bo vplivala na hitrost polnjenja oziroma praznjenja kondenzatorja C_B .



Slika 4.53: Odziv komparatorja na stopničast vhodni signal. Vir: [ALLEN,2002].

Pri izpolnitvi teh pogojev lahko komparator obravnavamo kot popolnoma rezistiven ojačevalnik, ki ima na izhodu vezan C_B . V bistvu sta C_B in R_B model bremena, ki je lahko npr. vhod nekega drugega analognega ali digitalnega vezja. Podobno sliko bi lahko narisali za primer, ko se izhodni signal spušča. Kadar se čas vzpona in spusta oziroma zakasnitvi razlikujeta, se običajno navaja povprečna vrednost.



Slika 4.54: Izhodna stopnja iz slike 4.51 in model bremena. Vir: [ALLEN,2002].

Ker pogosto velja $t_p \gg t_d$, bomo napravili še naslednjo poenostavitev:

$$\Delta t \approx t_p \quad (4.57)$$

Zaradi te poenostavitve je hitrost odvisna predvsem od gradienta izhodne napetosti¹⁴⁹, ki ga bomo označili s S . Za idealno uravnotežen diferenčni ojačevalnik je za $U_{G1}-U_{G2} = 0$ V tudi $U_{izh} = 0$ V in skozi M6 in M7 teče tok delovne točke. Ko se na vходу pojavi stopnica, steče skozi M6 dodaten tok, ki začne polniti kondenzator CB. Ker ima M6 visoko izhodno upornost, poteka polnjenje približno s konstantnim tokom (glej sliko 4.54):

$$i_B = \frac{dq}{dt} = C_B \frac{dU_{izh}}{dt}$$

$$\frac{dU_{izh}}{dt} = \frac{i_B}{C_B} \quad (4.58)$$

S slike 4.54 je razvidno, da lahko gradient izhodne napetosti ocenimo z:

$$S = \frac{dU_{izh}}{dt} \approx \frac{\Delta U_{izh}}{\Delta t} \approx \frac{U_{izh \max} - U_{izh \min}}{t_p} \quad (4.59)$$

Tok za polnjenje kondenzatorja zagotavlja M6. Če poznamo zahtevano vrednost S , lahko na ta način približno ocenimo potrebno velikost toka delovne točke tranzistorja M6. Ker smo uporabili določene poenostavitve (enačba 4.57), bomo zahtevali, da naj bo tok delovne točke tega tranzistorja 10-krat večji, kot je potreben za polnjenje CB. Hitrost naraščanja izhodne napetosti je zato proporcionalna dimenzijam M6. Dimenzije M6 lahko kasneje popravimo, ko s simulacijo natančno ugotovimo, kolikšna je zakasnitev t_p .

Ko smo določili tok I_6 , lahko iz razmerja tokov med tokovnimi zrcali dokaj enostavno določimo vrednosti drugih tokov.

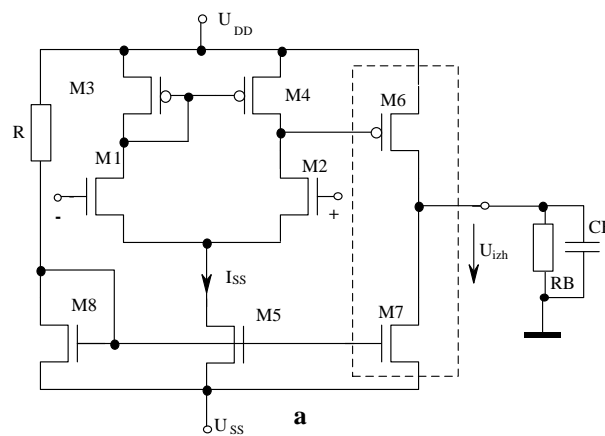
¹⁴⁹ Slew rate.

4.2.4. RAZMERJA TOKOV

Tranzistorja M5 in M7 sta priključena na skupni referenčni tranzistor M8. Tokova, ki tečeta skozi njiju, sta odvisna od njunih dimenzij:

$$\frac{I_7}{I_5} = \frac{\frac{W_7}{L_7}}{\frac{W_5}{L_5}} \rightarrow \frac{W_5}{L_5} = \frac{I_5}{I_7} \frac{W_7}{L_7} \quad (4.60)$$

$$\begin{aligned} I_{REF} &= I_8 \\ I_5 &= I_{SS} \end{aligned} \quad (4.61)$$



Slika 4.55: Struktura dvostopenjskega CMOS komparatorja. Vir: lasten.

Ker delujeta M3 in M4 kot tokovno zrcalo, morata imeti enake dimenzije. Skozi tranzistorje M3, M4, M2 in M1 teče enak tok. Ta tok je enak polovici toka, ki ga daje M5:

$$I_1 = I_3 = I_4 = I_2 = \frac{I_5}{2} = \frac{I_{SS}}{2} \quad (4.62)$$

Pri popolnem uravnoteženju je $I_6 = I_7$ in je $I_B = 0$, ko je $U_{G1} - U_{G2} = 0$. Ker imata M3 in M4 enako breme in sta enaka, je $I_3 = I_4$. Sledi, da je tudi $U_{DS3} = U_{DS4}$ oziroma $U_{GS3} = U_{GS4}$. To pomeni, da se tok v M6 ne bi spremenil, če bi vrata M6 vezali na vrata M3. M3 je neke vrste referenčni tranzistor za tok I_6 . S tem sklepanjem smo dobili povezavo med I_3 in I_6 :

$$\frac{I_3}{I_6} = \frac{\frac{W_3}{L_3}}{\frac{W_6}{L_6}} \rightarrow \frac{W_3}{L_3} = \frac{I_3}{I_6} \frac{W_6}{L_6} \quad (4.63)$$

Na podlagi izpeljanih povezav bomo v nadaljevanju projektirali komparator.

4.3. PROJEKTIRANJE KOMPARATORJA

Pri vsakem projektiranju je treba napraviti kompromis med površino (stroški proizvodnje), zakasnitvijo in porabo električne energije. Več je zahtev, težje je projektiranje. Le redko uspemo v prvem krogu najti ustrezno rešitev. V večini primerom jo najdemo šele v več iteracijah. Tipične zahteve za komparator so:

- preklopna napetost U_T , preklopno območje¹⁵⁰ U_p ali ojačenje A , UDD, USS, $U_{izh\ max}$, $U_{izh\ min}$, zakasnitev t_p , CB, RB, temperaturno območje.

Projektiranje komparatorja bomo prikazali na konkretnem zgledu, v katerem bomo problem poenostavili in upoštevali samo nekatere osnovne zahteve, ki so podane v tabeli 4.2. V tej tabeli so podani tudi najpomembnejši procesni parametri, ki jih potrebujemo pri načrtovanju. Pravilnost projektiranja bomo preverili s simulacijo.

Tabela 4.2: Zahtevane lastnosti komparatorja in poenostavljeni načrtovalski procesni podatki

A	$A \geq 1\ 000$
$U_{izh\ max}$	$U_{izh\ max} \geq 9\ V$
$U_{izh\ min}$	$U_{izh\ min} \leq 1\ V$
UDD	UDD = 10 V
USS	USS = 0 V
Zakasnitev	$t_p \leq 1\ \mu s$
CB	CB $\leq 1\ pF$
$U_T = U_{REF}$	$5V \pm 2\% = 5V \pm 100mV$
Tehnologija ¹⁵¹	2 μm CMOS
Poenostavljeni načrtovalski ¹⁵² parametri:	
U_{tn}	0,8 V
U_{tp}	-0,8 V
kn'	50 $\mu A/V^2$
kp'	22 $\mu A/V^2$
λ_n	0,02 V^{-1}
λ_p	0,03 V^{-1}

Projektiranje začnemo pri izhodnem delu komparatorja. Najprej določimo potreben tok delovne točke v izhodni stopnji, nato preidemo na diferenčno stopnjo. Ko smo določili vse dimenzije, je na vrsti simulacija, s katero preverimo, ali smo zadostili postavljenim zahtevam. Ker je $\lambda = 1\ \mu m$, bomo dimenzije zaokroževali na to število.

¹⁵⁰ Glej enačbo 4.48.

¹⁵¹ MOSIS Orbit SCNA, CMOS n-well [UYEMURA,1995].

¹⁵² Z njimi vezje projektiramo.

1. Najprej izračunamo gradient izhodne napetosti (slew rate).

$$S = \frac{dU_{izh}}{dt} = \frac{(U_{izh\max} - U_{izh\min})}{t_p} = \frac{(9-1)}{1\mu s} = 8V/\mu s$$

Tok delovne točke M6 naj bo 10-krat večji kot ga zahteva izračunan S:

$$I_6 = 10 \cdot C \frac{dU_{izh}}{dt} = 10 \cdot \frac{1 \cdot 10^{-12} \cdot 8}{10^{-6}} = 80 \mu A$$

2. Iz enačb 4.55 in 4.56 določimo dimenzije izhodne stopnje (M6 in M7), ki v stanju mirovanja deluje s tokom 80 μA .

$$U_{DS6sat} = U_{DD} - U_{izh\max} = 1V$$

$$\frac{W_6}{L_6} \geq \frac{2I_6}{k'_p (U_{Dsat6})^2} = \frac{2 \cdot 80}{22 \cdot 1} = 7,27$$

Dimenzije zaokrožimo navzgor: $W_6/L_6 = 16 \mu m / 2 \mu m$.

Podobno izračunamo $W_7/L_7 = 3,2 \approx 4$, oziroma $W_7/L_7 = 8 \mu m / 2 \mu m$.

3. Ker je izhodna stopnja sedaj popolnoma definirana, lahko izračunamo njeno ojačenje.

$$\text{Iz (4.53): } A_2 = \frac{\sqrt{2 \cdot 22 \cdot 8 \cdot 80}}{80(0,02 + 0,03)} = -41,95 \approx -42$$

$$\text{Ojačenje 1. stopnje mora biti : } A_1 = \frac{A}{A_2} = \frac{1000}{-42} = -23,8 \approx -24$$

4. Za M1 in M2 izberemo najmanjšo možno površino ($W_2/L_2=1$). Iz (4.51) izračunamo potrebni tok I_{SS} oziroma I_5 , ki naj ne bo manjši od 10 μA .

$$I_{SS} = \frac{4k'_n \frac{W_2}{L_2}}{[A_1(\lambda_n + \lambda_p)]^2} = \frac{4 \cdot 50 \cdot 1}{[24(0,02 + 0,03)]^2} = 139 \mu A$$

$$\text{Ker tok ni manjši od } 10 \mu A, \text{ so dimenzije M1 in M2: } \frac{W_2}{L_2} = \frac{W_1}{L_1} = \frac{3 \mu m}{3 \mu m}$$

Če bi bil I_{SS} manjši od 10 μA , izračunamo ponovno ustrezno razmerje W_2/L_2 s pomočjo naslednje enačbe:

$$\frac{W_2}{L_2} = \frac{I_{SS} [A_1 (\lambda_n + \lambda_p)]^2}{4k'_n}$$

5. Iz (4.60) določimo W_5/L_5 .

$$\frac{W_5}{L_5} = \frac{W_7 \cdot I_5}{L_7 \cdot I_7} = 4 \cdot \frac{139}{80} = 6,95 \approx 7. \text{ Dimenzije M5 so: } \frac{W_5}{L_5} = \frac{14 \mu m}{2 \mu m}$$

6. Določimo dimenziji tokovnega zrcala M3 in M4. Iz (4.63):

$$\frac{W_3}{L_3} = \frac{I_{SS}}{2I_6} \cdot \frac{W_6}{L_6} = \frac{139}{2 \cdot 80} \cdot 8 = 6,97 \approx 7$$

$$\text{Dimenzije M3 in M4 so: } \frac{W_3}{L_3} = \frac{W_4}{L_4} = \frac{14 \mu m}{2 \mu m}$$

7. Določitev in realizacija I_{REF} .

Za I_{REF} izberem $10 \mu A$ in izračunamo potrebne dimenzije M8:

$$\frac{I_5}{I_{REF}} = \frac{\frac{W_5}{L_5}}{\frac{W_8}{L_8}} \rightarrow \frac{W_8}{L_8} = \frac{W_5}{L_5} \frac{I_{REF}}{I_{SS}} = 8 \cdot \frac{10}{139} = 0,57 \approx 0,5$$

$$\text{Dimenzije M8 so: } \frac{W_8}{L_8} = \frac{3 \mu m}{6 \mu m}$$

Na M8 je napetost:

$$U_{GS8} = \sqrt{\frac{I_8}{k'_n W_8}} + U_m = \sqrt{\frac{10}{50 \cdot 3}} + 0,8 = 1,69V$$

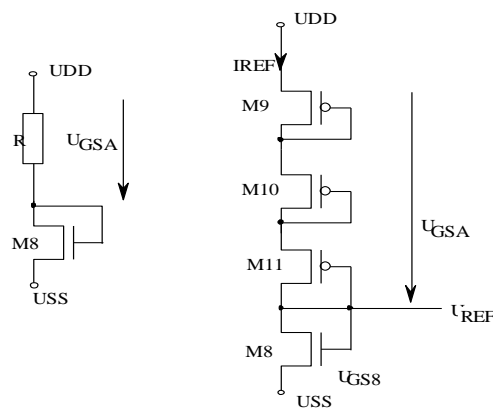
Ker bo na M8 1,69 V, moramo na preduporu zagotoviti naslednji padeč:

$$U_{GSA} = U_{DD} - U_{GS8} = 10 - 1,69 = 8,21V$$

Glede na pragovno napetost $U_t = 0,8 \text{ V}$, bomo predupor R realizirali s tremi enakimi PMOS upori (glej sliko 4.56). Na vsakem naj bo tretjina napetosti oziroma $2,74 \text{ V}$. Ker poznamo tok I_{DS} in U_{GS} , lahko določimo dimenzije M9, M10 in M11:

$$\frac{W_9}{L_9} = \frac{I_{REF}}{(U_{GS9} - U_{Tp})^2 \frac{k'_p}{2}} = \frac{10}{(2,74 - 0,8)^2 \frac{22}{2}} = 0,24 \approx \frac{1}{5}$$

Dimenzije M9, M10 in M11 so: $\frac{W_9}{L_9} = \frac{W_{10}}{L_{10}} = \frac{W_{11}}{L_{11}} = \frac{3 \mu\text{m}}{15 \mu\text{m}}$



Slika 4.56: Izvedba delilnika. Vir: lasten.

Glede na predhodne izračune smo vse dimenzije tranzistorjev zbrali v tabeli 4.3.

Tabela 4.3: Dimenzije tranzistorjev za 1. in 2. načrtovalsko iteracijo. Vir: lasten.

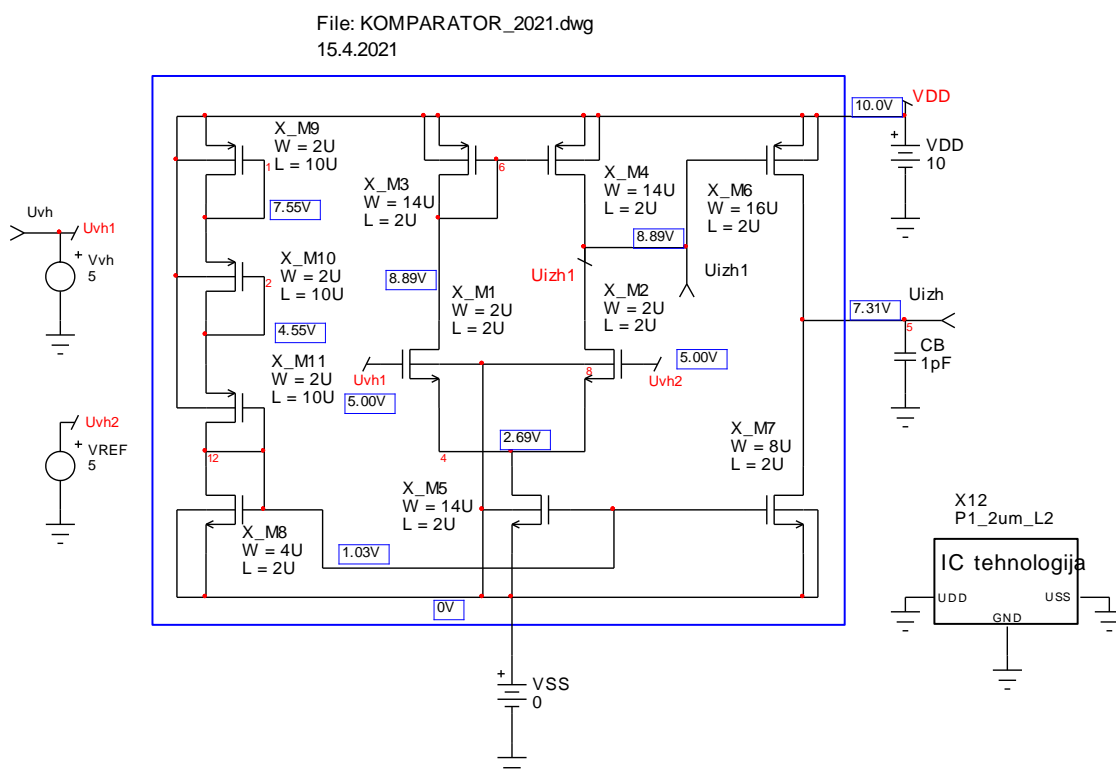
1. načrtovalska iteracija		
M1	W = 3 μm	L = 3 μm
M2	W = 3 μm	L = 3 μm
M3	W = 14 μm	L = 2 μm
M4	W = 14 μm	L = 2 μm
M5	W = 14 μm	L = 2 μm
M6	W = 16 μm	L = 2 μm
M7	W = 8 μm	L = 2 μm
M8	W = 3 μm	L = 6 μm
M9	W = 3 μm	L = 15 μm
M10	W = 3 μm	L = 15 μm
M11	W = 3 μm	L = 15 μm

2. načrtovalska iteracija		
M1	W = 3 μm	L = 3 μm
M2	W = 3 μm	L = 3 μm
M3	W = 14 μm	L = 2 μm
M4	W = 14 μm	L = 2 μm
M5	W = 14 μm	L = 2 μm
M6	W = 16 μm	L = 2 μm
M7	W = 8 μm	L = 2 μm
M8	W = 4 μm	L = 2 μm
M9	W = 3 μm	L = 15 μm
M10	W = 3 μm	L = 15 μm
M11	W = 3 μm	L = 15 μm

Tabela 4.4: Odstopanja od zahtev. Vir: lasten.

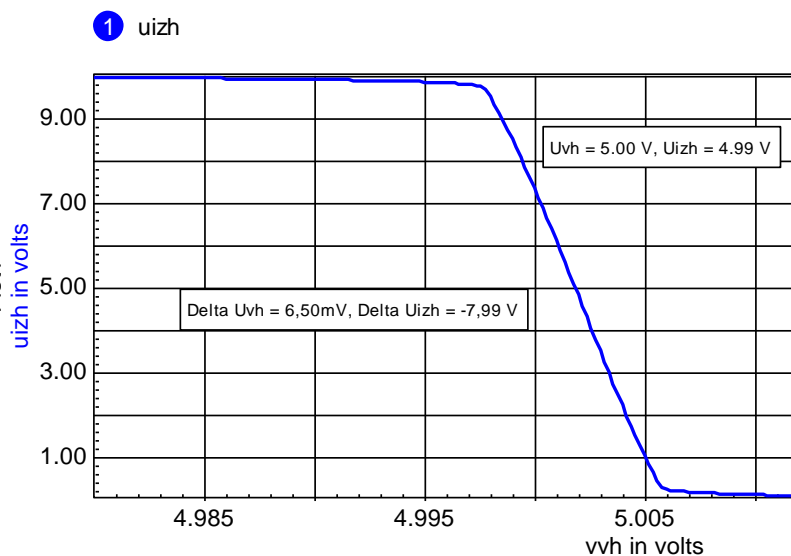
	Zahtevano	Dejansko ¹⁵³	Odstopanje
A	≥ 1000	1229	23 %
A1	24	26	8 %
A2	42	47	12 %
Up	$5V \pm 100mV$	$5V \pm 5mV$	5%
Zakasnitev tp	$\leq 1 \mu s$	419 ns	-58 %
Uizh max	$\geq 9 V$	9,7 V	-8 %
Uizh min	$\leq 1 V$	0,3 V	-70 %

Pravilnost projektiranja smo preverili s simulatorjem. Ker smo z začetno varianto dobili premalo ojačenje ($A = 453$), smo povečali razmerje W/L in s tem zmanjšali referenčni tok (M8). V tabeli 4.4 so zbrane zahteve in odstopanja. Načrtovanje s poenostavljenimi parametri je bilo pravilno, saj so vse zahteve izpolnjene. Zahteve glede zakasnitve, ojačenja in izkrmiljenja so popolnoma izpolnjene. Da bi dobili realna odstopanja od zahtev, bi bilo potrebno v nadaljevanju napraviti še [ogliščno analizo](#).

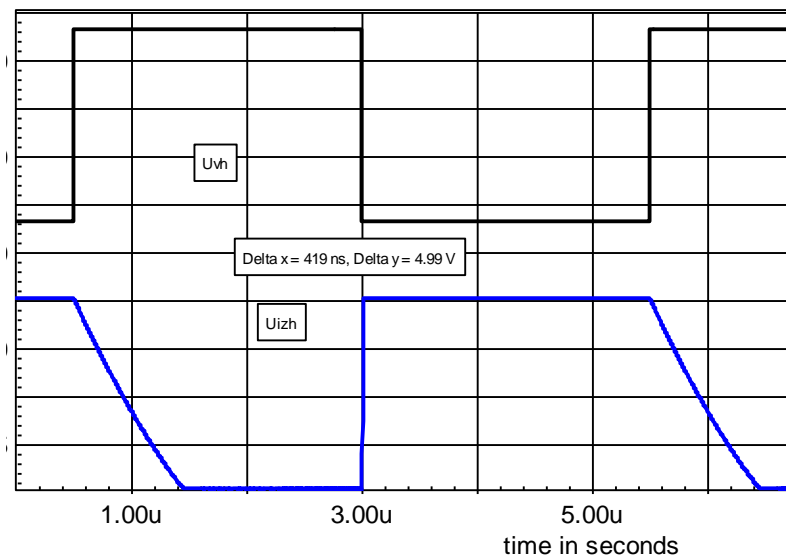


Slika 4.57: Komparator (v okvirju) z dodanim testnim vezjem in vozliščnimi napetostmi. Desno spodaj (X12) je kontejner s podatki o tehnologiji. Vir: lasten.

¹⁵³ Uporabljen je model Level = 2.



Slika 4.58: Prenosna karakteristika komparatorja. Napetostno ojačenje je $A = -7990\text{mV}/6,5\text{mV} = -1229$. Vir: lasten.

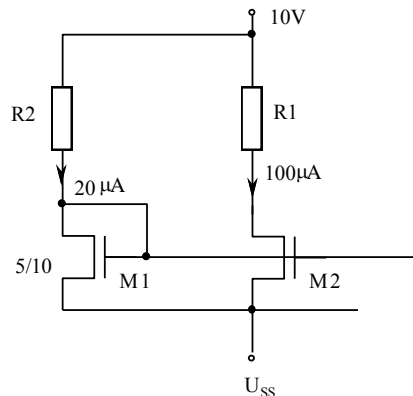


Slika 4.59: Hitrost odziva na stopnico. Zakasnitev pri spustu U_{izh} je 419 ns, zakasnitev komparatorja pa je približno¹⁵⁴ 210 ns. Nesimetričnost zakasnitev bi lahko odpravili, če bi izhodno stopnjo (M6 in M7) zamenjali s [push-pull ojačevalnikom](#) (glej [sliko 4.51b](#)). Vir: lasten.

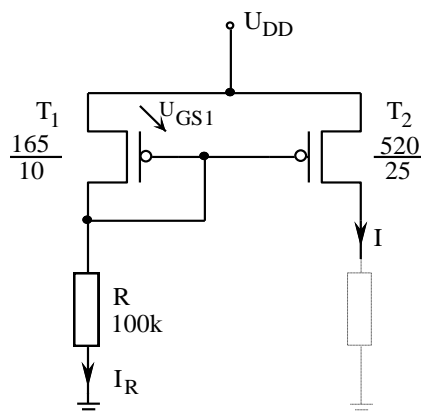
¹⁵⁴ Povprečna vrednost zakasnitve pri vzponu in spustu signala.

4.4. VPRAŠANJA IN NALOGE

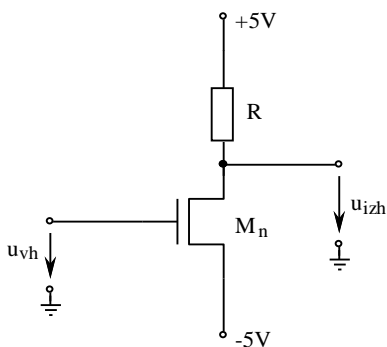
1. Projektiraj CMOS delilnik napetosti, ki bo zmanjšal napetost 5 V na 1,7 V. S simulatorjem preveri linearnost delilnika. Procesni podatki: $k'n = 28 \mu\text{A}/\text{V}^2$, $k'p = 14 \mu\text{A}/\text{V}^2$, $U_{tn} = 0,7 \text{ V}$, $U_{tp} = -0,7 \text{ V}$.
2. Določi W/L . Kolikšna je U_{GS1} in R_2 ? Procesni podatki: $k'n = 40 \mu\text{A}/\text{V}^2$, $\lambda = 0,04 \text{ V}^{-1}$, $U_{tn} = 1 \text{ V}$, $U_{ss} = 0 \text{ V}$.



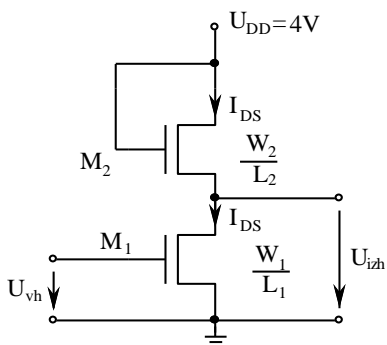
3. Kolikšna je lahko maksimalna vrednost R_1 (glej nalogo 2), da bo tokovno zrcalo še pravilno delovalo? Procesni podatki: $k'n = 40 \mu\text{A}/\text{V}^2$, $\lambda = 0,04 \text{ V}^{-1}$, $U_{tn} = 1 \text{ V}$, $U_{ss}=0 \text{ V}$.
4. Pri nalogi 2 upor R_2 zamenjaj z ustreznimi PMOS upori. Kolikšne so njihove dimenzije? $k'p = 20 \mu\text{A}/\text{V}^2$, $U_{tp} = -1 \text{ V}$.
5. V vezju potrebujemo dva tokovna vira ($20 \mu\text{A}$ in $40 \mu\text{A}$), ki bosta delovala do najmanj 1 V. Določi dimenzije tranzistorjev in upora R . Referenčni tok naj bo $10 \mu\text{A}$. Podatki: $U_{tn} = 0,8 \text{ V}$, $k'_n = 50 \mu\text{A}/\text{V}^2$, $k'_p = 25 \mu\text{A}/\text{V}^2$, $U_{DD} = 5 \text{ V}$.
6. Izračunaj velikost toka I . Podatki: $U_{DD} = 20 \text{ V}$, $k' = 20 \mu\text{A}/\text{V}^2$, $U_t = 1 \text{ V}$.



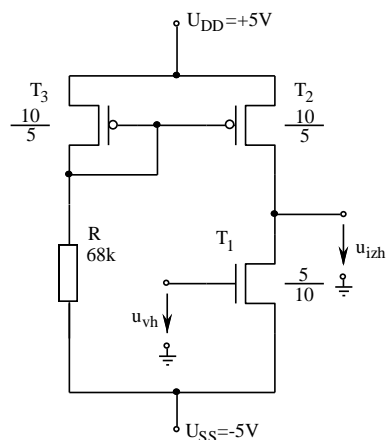
7. Izračunaj napetostno ojačenje NMOS ojačevalnika, če je $U_{vh} \approx 0 \text{ V}$, $U_{BS} = 0 \text{ V}$, $U_{tn} = 1 \text{ V}$, $k'_n = 40 \mu\text{A}/\text{V}^2$, $\lambda_n = 0,03 \text{ V}^{-1}$, $W = 5 \mu\text{m}$, $L = 5 \mu\text{m}$, $R = 15,6 \text{ k}\Omega$.



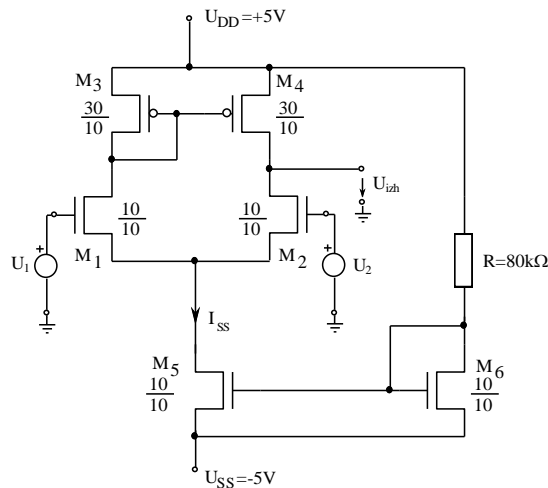
8. Določi dimenzije obeh tranzistorjev. Body pojav zanemari. Izračunaj potrebno enosmerno napetost na vohu ojačevalnika, da bo M1 v področju nasičenja. Kolikšna je izhodna upornost ojačevalnika? Nariši prenosno karakteristiko in določi meje vhodnega in izhodnega signala, pri katerih še ne nastopajo velika popačenja. Zahteve za ojačevalnik: $A_u = -5$, $U_{DS1} \approx U_{DD} / 2$ in $I_{DS1} \approx 10 \mu\text{A}$. Procesni podatki so: $k'_n = 50 \mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{V}$, $\lambda_n = 0,04 \text{V}^{-1}$, $\gamma = 0,4 \text{V}^{-1/2}$, $2\mu\text{m}$ tehnologija.



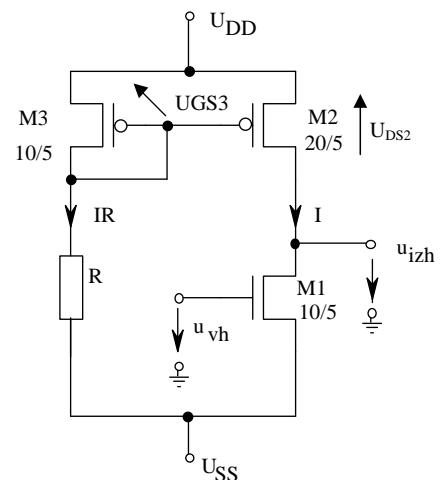
9. Izračunaj napetostno ojačenje U_{izh} / U_{vh} za majhne signale. S simulatorjem natančno določi, pri kolikšni vhodni prednapetosti ima ojačevalnik največje ojačenje. Procesni podatki: $U_{tn} = 0,7 \text{V}$, $U_{tp} = -0,7 \text{V}$, $k'_n = 14 \mu\text{A}/\text{V}^2$, $k'_p = 4 \mu\text{A}/\text{V}^2$, $\lambda_p = \lambda_n = 1/50\text{V}^{-1}$.



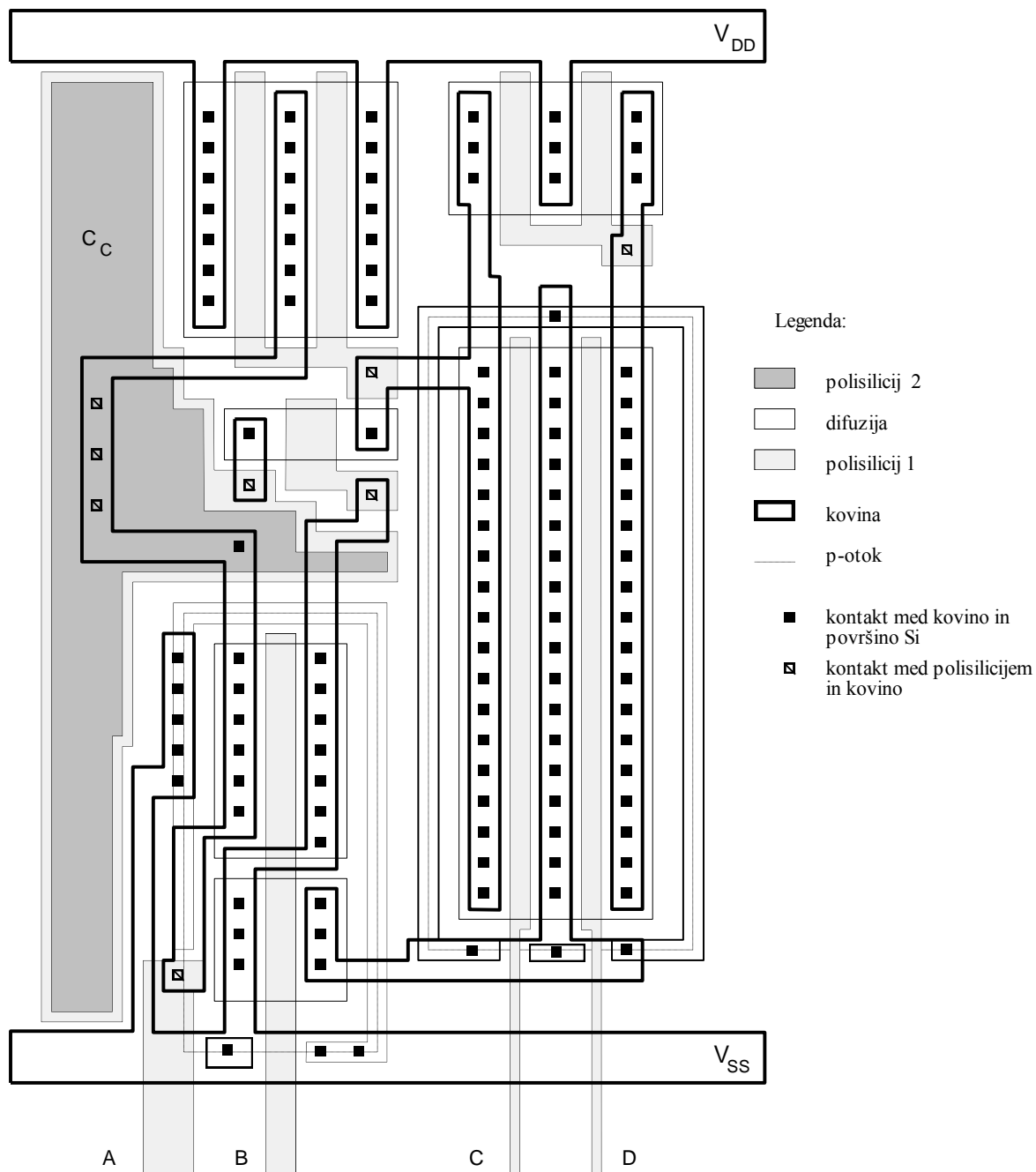
10. Dimenzioniraj preprost enostopenjski CMOS ojačevalnik, ki bo imel ojačenje $A > 150$. Podatki: $U_{tn} = 1 \text{ V}$, $U_{tp} = -1 \text{ V}$, $k'_n = 50 \mu\text{A}/\text{V}^2$, $k'_p = 25 \mu\text{A}/\text{V}^2$, $\lambda_p = \lambda_n = 1/50 \text{ V}^{-1}$. Kolikšna je potrebna vhodna prednapetost?
11. Na sliki je prikazan preprost diferenčni ojačevalnik. Izračunaj napetostno ojačenje za majhne vhodne signale. S simulatorjem določi odvisnost prenosne karakteristike od sofazne napetosti ($U_S = -2 \text{ V} \dots 2 \text{ V}$) in preostalo napetost. Procesni podatki: $k_n' = 28 \mu\text{A}/\text{V}^2$, $k_p' = 14 \mu\text{A}/\text{V}^2$, $\lambda_n = \lambda_p = 0,01 \text{ V}^{-1}$, $U_{tn} = 1 \text{ V}$, $U_{tp} = -1 \text{ V}$.



12. Kolikšno je napetostno ojačenje ojačevalnika s slike 4.40? Tok skozi M6 je $20 \mu\text{A}$, $k'_n = 110 \mu\text{A}/\text{V}^2$, $k'_p = 50 \mu\text{A}/\text{V}^2$, $\lambda = 0,04 \text{ V}^{-1}$, $U_{tp} = -0,7 \text{ V}$, $U_{tn} = 0,7 \text{ V}$, $h_{FE} = 100$, $U_{DD} = 5 \text{ V}$, $U_{SS} = -5 \text{ V}$.
13. V vezju, ki je na sliki 4.55, spremenimo M6 v NMOS. Komentiraj izhodno stopnjo. Kolikšno je napetostno ojačenje?
14. Projektiraj komparator, ki bo še enkrat hitrejši od tega, katerega lastnosti so v tabeli 4.2. Ostali podatki so enaki.
15. Izračunaj tok tokovnega vira, njegovo izhodno upornost ter minimalno napetost, do katere še deluje kot tokovni generator. $U_{tp} = -0,7 \text{ V}$, $k'_p = 50 \mu\text{A}/\text{V}^2$, $\lambda_p = 0,05 \text{ V}^{-1}$, $R = 68 \text{ K}$, $U_{DD} = 5 \text{ V}$, $U_{SS} = -5 \text{ V}$.



16. Nariši vezje na nivoju tranzistorjev. Določi tudi njihove dimenzije. Debelina oksida, ki ločuje obe polikristalni plasti, je $0,5 \mu\text{m}$.



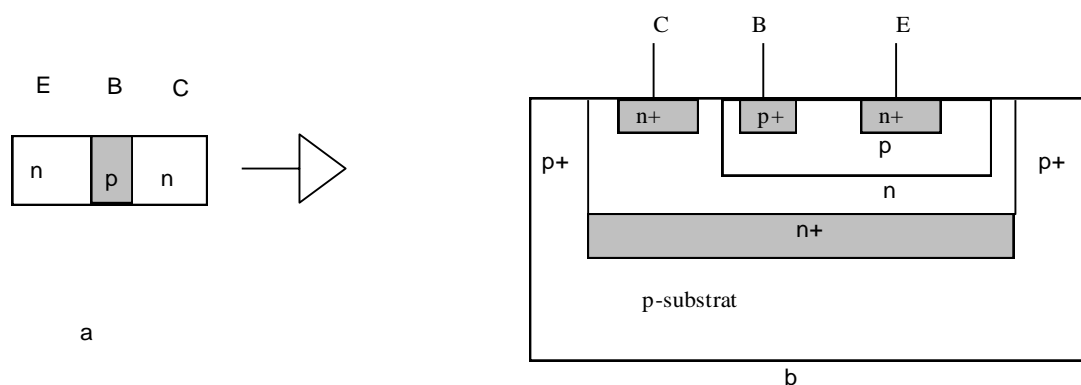
17. Uporabi rezultat prejšnje naloge. Kolikšno je napetostno ojačenje, če je $V_{DD} = 20 \text{ V}$ in $V_{SS} = 0 \text{ V}$, $k'n = 40 \mu\text{A/V}^2$, $k'p = 20 \mu\text{A/V}^2$, $\lambda = 0,04 \text{ V}^{-1}$, $U_{tp} = -1 \text{ V}$, $U_{tn} = 1 \text{ V}$, napetost na sponki B proti VSS je 4 V? Izračun ojačenja preveri s simulatorjem.
18. Vezje pri prejšnji nalogi je nepopolno. Projektiraj manjkajoči del, ki ustvari 4 V napetost na sponki B proti VSS.
19. S simulatorjem določi frekvenčno karakteristiko ojačevalnika iz naloge 17. Kolikšna je zgornja frekvenčna meja?

5. BIPOLARNA INTEGRIRANA VEZJA

Bipolarni tranzistor kot parazitni element smo delno že obravnavali pri CMOS vezjih. Srečali smo ga tudi pri izhodnih stopnjah MOS ojačevalnikov. Tam smo tudi posebej poudarili njegove dobre lastnosti, zaradi katerih se uporablja v izhodnih stopnjah (glej poglavje 4.1.10. [Izhodne stopnje](#), str. 167). V tem kratkem poglavju bomo obravnavali nekatere bistvene lastnosti bipolarnega tranzistorja, ki jih bomo kasneje potrebovali. Podrobno obravnavo je mogoče najti v mnogih knjigah. Nekaj jih je tudi navedenih na koncu skripte [GRAY,1993], [ZAJC,1989]. Podobno velja za tehnologijo izdelave. Razvoj integriranih vezij se je začel z bipolarno tehnologijo, ki temelji na planarni tehnologiji oziroma na njenih osnovnih korakih: epitaksiji, difuziji, oksidaciji, litografiji in metalizaciji. Ker je ta tehnologija danes že zastarela in ker jo je zamenjala [BiCMOS](#), jo bomo nadaljevanju samo na kratko opisali. Opisali bomo, kako pridemo od koncepta osnovne bipolarne strukture do integrirane izvedbe. Začeli bomo z najbolj enostavno izvedbo, ki jo bomo nato postopoma izpopolnjevali.

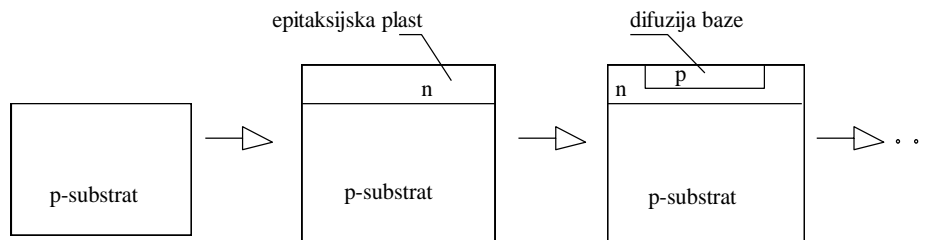
5.1. BIPOLARNA TEHNOLOGIJA

Struktura bipolarnega tranzistorja je kompleksnejša od MOS tranzistorja. To se kaže tudi v tehnologiji, ki potrebuje več mask, in v enačbah, s katerimi opisujemo karakteristiko. Dober bipolarni tranzistor mora imeti tanko bazo, kolektorsko plast s konstantno koncentracijo in močno dopiran emitor. Ker dobimo z difuzijo padajoč profil koncentracije nečistoč, je za izdelavo kolektorske plasti edina možnost epitaksija. To je tudi ena izmed pomembnih razlik med klasično bipolarno in klasično MOS tehnologijo. Pri slednji smo lahko vse potrebne polprevodne strukture napravili z difuzijo oziroma ionsko implantacijo.



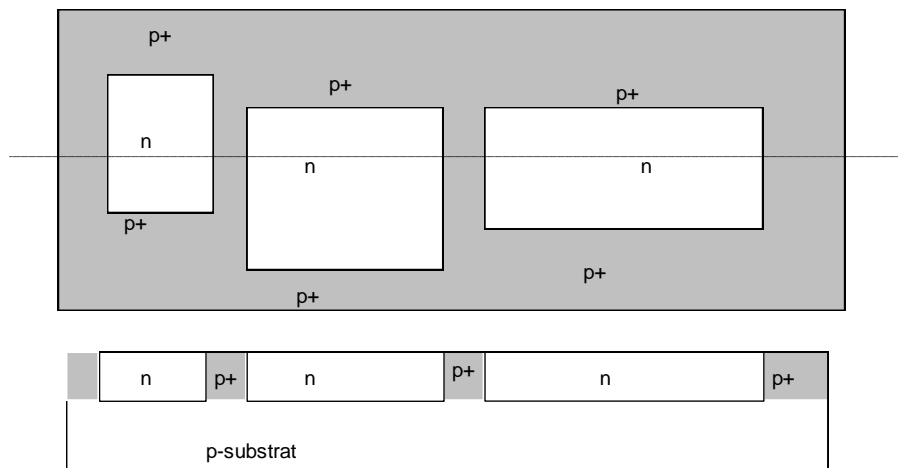
Slika 5.1: Od koncepta NPN tranzistorja (a) do integrirane izvedbe (b). Metalizirani priključki niso narisani. Vir: lasten.

V začetnih korakih najprej napravijo epitaksijsko plast, v katero z difuzijami oziroma ionsko implantacijo ustvarijo ustrezne plasti (glej sliko 5.2).



Slika 5.2: Začetni koraki pri izdelavi bipolarnega tranzistorja. Vir: lasten.

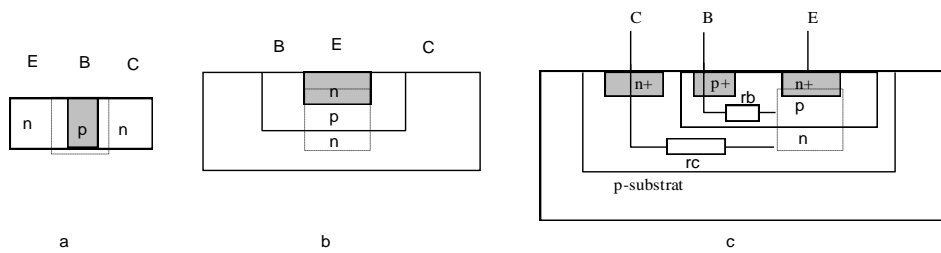
Pri epitaksiji se enakomerno nalaga plast silicija po celotni površini rezine. Ker ne želimo, da bi bili vsi kolektorji povezani med seboj, je treba rešiti problem izolacije (pri MOS tranzistorjih tega problema ni bilo!). Ker epitaksije ni mogoče omejiti le na del površine, je treba na vseh mestih, kjer ne bo nobenega elementa, izvesti tako globoko difuzijo (p^+), da se stakne s substratom. Na ta način dobimo n-otoke. Ker je substrat na najnižjem potencialu, so vsi pn-spoji med substratom in otoki zaporno polarizirani. Dobili smo izolirane otoke, v katere lahko namestimo tranzistorje oziroma upore (slika 5.3). Po tem koraku z difuzijami napravimo ostali del strukture. V primerjavi s klasično CMOS tehnologijo potrebujemo več mask¹⁵⁵.



Slika 5.3: Izolirani otoki, v katere namestimo tranzistorje in upore (tloris in presek). Vir: lasten.

Bistveni del tranzistorja je v bazi in delno na robu emitorske in kolektorski plasti. To področje, ki je na sliki 5.4 označeno črtkano, tvori *intrinzični tranzistor*. Tukaj se dogaja ves proces, ki je značilen za bipolarni tranzistor. Tudi večina enačb, ki opisujejo karakteristiko tranzistorja, se nanaša samo na intrinzični del. Dostop do intrinzičnega tranzistorja omogoča preostali del strukture, katerega vpliv je treba posebej modelirati.

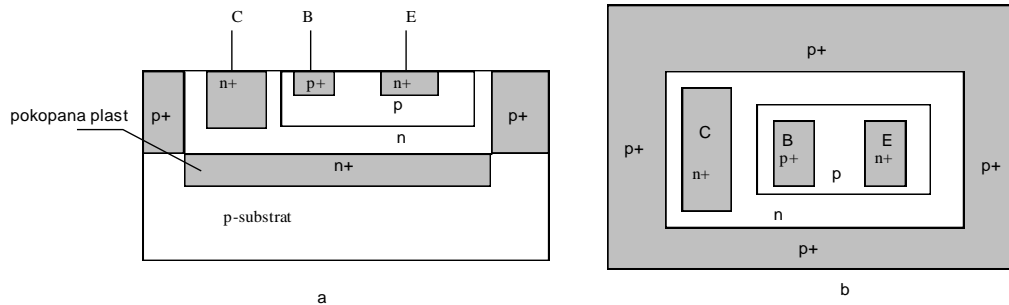
¹⁵⁵ Pri tipični osnovni bipolarni tehnologiji potrebujemo od 6 do 8 mask.



Slika 5.4: Od koncepta do najbolj preproste variante NPN tranzistorja. Vir: lasten.

Vsaka oddaljenost med priključki in med intrinzičnim tranzistorjem pomeni parazitno upornost. Ker je intrinzični tranzistor relativno oddaljen od fizično dostopnih točk, moramo do njega zagotoviti čim manjšo upornost. Parazitske upornosti¹⁵⁶ r_c , r_e in r_b upočasnjujejo delovanje tranzistorja in hkrati tudi povečujejo minimalno kolektorsko napetost U_{CE} (saturacijska napetost). Ker je r_e najbližji in ker je emitor tudi močno dopiran, ima najnižjo upornost. Pri načrtovanju moramo predvsem paziti, da r_c in r_b nista preveliki. Zmanjšamo ju lahko na naslednje načine:

1. uporabimo čim več kontaktov,
2. med kolektor in substrat vstavimo močno dopirano n^+ plast (pokopana plast),
3. poskrbimo, da so razdalje do intrinzičnega tranzistorja čim krajše.



Slika 5.5: Presek (a) in tloris (b) tipičnega bipolarnega tranzistorja. Kontakti in kovinske povezave zaradi preglednosti niso narisani. Pokopana plast zmanjša parazitsko upornost r_c .

Vir: [GRAY,2009].

Glede na položaj emitorja in kolektorja poznamo dve vrsti bipolarnih tranzistorjev: *vertikalnega* in *lateralnega*. Pri vertikalnem teče glavni tok v vertikalni smeri, pri lateralnem pa v vodoravni (slika 5.6). Pri lateralnem je emitor obdan s kolektorjem. Ker je proces (globine difuzij in koncentracija) optimiran na izdelavo vertikalnega NPN tranzistorja, so lateralni dosti slabši¹⁵⁷, slabša je tudi njihova frekvenčna karakteristika). Ker pri večini tehnologij ni možno hkrati napraviti dober vertikalni NPN in vertikalni PNP, je za PNP vrsto edina možnost ravno lateralna izvedba. Izjema je substratni PNP, ki pa ima kolektor vezan na napajalno napetost in je zaradi tega primeren le za delovanje v orientaciji s skupnim kolektorjem. Kot smo že omenili pri

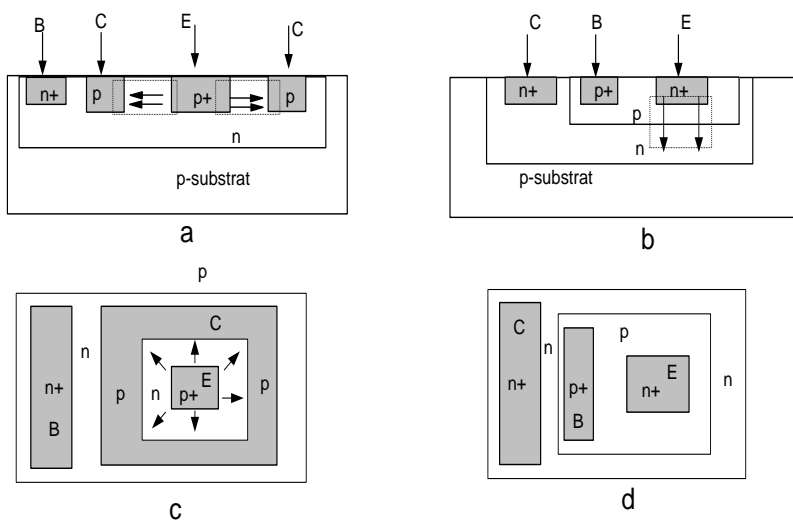
¹⁵⁶ Zaradi pomanjkanja prostora r_e ni narisano.

¹⁵⁷ Tokovno ojačenje h_{FE} vertikalnega je približno 50-250, lateralnega pa približno 20-50.

MOS ojačevalnikih, je možno z Darlingtonovo vezavo NPN in PNP tranzistorja povečati tokovno ojačenje (glej sliko 5.38, str. 170).

Tabela 5.1: Tipične vrednosti parametrov vertikalnega NPN in lateralnega PNP tranzistorja. Vir: [GRAY,1993].

Parameter	Vertikalni NPN površina emitorja $2 \mu\text{m}^2$	Lateralni PNP površina emitorja $2 \mu\text{m}^2$
h_{FE}	120	50
I_s	$6 \cdot 10^{-18} \text{ A}$	$6 \cdot 10^{-18} \text{ A}$
V_A	35 V	30 V
BV_{CE0}	8 V	14 V
BV_{CB0}	18 V	18 V
BV_{EB0}	6 V	18 V
τ_F	10 ps	650 ps
τ_R	5 ns	5 ns
I_{c0}	1 pA	1 pA



Slika 5.6: Lateralni (a) in vertikalni bipolarni tranzistor (b). Vir: lasten.

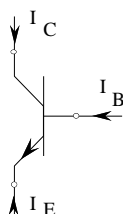
Klasična bipolarna tehnologija je naravnana predvsem na izdelavo vertikalnega NPN tranzistorja. S plastmi, ki jih dobimo pri tem procesu, je možno napraviti tudi druge elemente¹⁵⁸:

- substratni (vertikalni) PNP in lateralni PNP,
- diode (stikalne, Zenerjeve),
- tiristor,
- plastne upore (napravljeni z difuzijo ali ionsko implantacijo) in preščitnjene upore,
- kondenzatorje,
- Schottkijeve diode in spojne FET-e.

¹⁵⁸ Tukaj jih bomo samo našteali. Podrobnejši opisi so v npr. [FURLAN,1975], [BILJANOVIĆ,2001], [GRAY,1993].

5.2. MODEL BIPOLARNEGA TRANZISTORJA

Modeliranje bipolarnega tranzistorja je zahtevnejše kot pri MOS tranzistorju. Enosmerno odvisnost med tokovi in napetostmi opisujejo Ebers-Mollove enačbe (glej sliki 5.1 in 5.2). Ker so transcendentne, je njihova uporaba pri analizi zelo zahtevna.

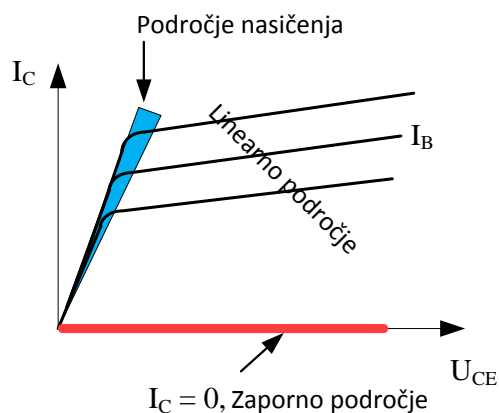


$$I_E = -I_{ES} \left(e^{\frac{U_{BE}}{U_T}} - 1 \right) + \alpha_R I_{CS} \left(e^{\frac{U_{BC}}{U_T}} - 1 \right) \quad (5.1)$$

$$I_C = \alpha_F I_{ES} \left(e^{\frac{U_{BE}}{U_T}} - 1 \right) - I_{CS} \left(e^{\frac{U_{BC}}{U_T}} - 1 \right) \quad (5.2)$$

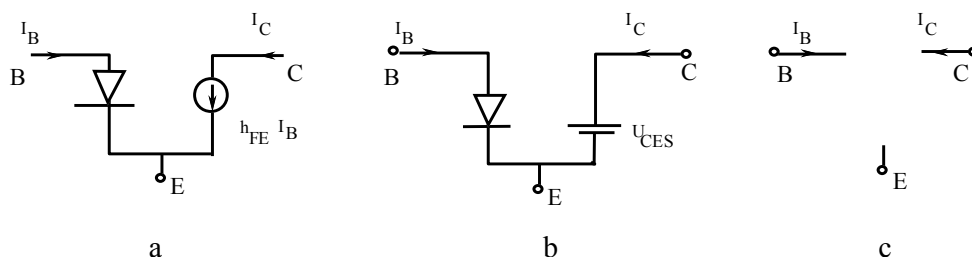
$$U_T = \frac{kT}{q}$$

Ebers-Mollove enačbe opisujejo enosmerne razmere le v tistem delu karakteristike, kjer je delovna točka še relativno oddaljena od mejnega področja. Blizu mejnih vrednosti začnejo delovati še dodatni fenomeni, ki jih Ebers-Mollove enačbe ne upoštevajo. Prav tako niso upoštevane dinamične lastnosti. Z dodajanjem parazitnih kapacitivnosti lahko to pomanjkljivost delno odpravimo. Ebers-Mollov model je bil eden izmed prvih, ki je celovito obravnaval karakteristiko bipolarnega tranzistorja. Kasneje so se pojavili izboljšani modeli, ki so upoštevali tudi dinamični vidik tranzistorja: npr. simulator SPICE uporablja Gummel-Poonov model.



Slika 5.7: Približen položaj linearnega področja, področja nasičenja in zapornega področja.
Vir: lasten.

Pri projektiranju in pri preprosti analizi se zaradi zahtevnih enačb zatekamo k poenostavitvam. Poenostavitve so povezane z velikostjo signala oziroma s področjem na karakteristiki. Npr.: če gre za majhne signale, uporabimo preproste dvovhodne parametre oziroma modele. Tranzistor lahko deluje v linearnem področju, v področju nasičenja in v zapornem področju. Vsakemu izmed teh področij pripada določen model (glej sliko 5.8). Področje delovanja je odvisno od polarizacije pn-spojov (glej tabelo 5.2). Pri določitvi si pomagamo z napetostmi U_{BE} , U_{CB} in U_{CE} . Glede na rezultate naših ocen nato izberemo enega izmed preprostih modelov, ki jih prikazuje slika 5.8.



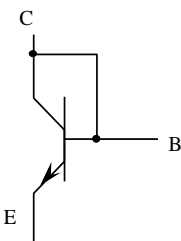
Slika 5.8: Modeli za linearno področje (a), za področje nasičenja (b) in za zaporno področje (c). Glej tudi sliko 5.7. Vir: lasten.

Ker je tok baze eksponentno odvisen od U_{BE} , se zelo redko uporabljajo modeli, pri katerih bi nastopala odvisnost tokov od U_{BE} . Če bomo kljub temu takšno odvisnost kasneje potrebovali, jo bomo izpeljali iz Ebers-Mollovih enačb. Mnogokrat diodo nadomestimo kar z napetostnim virom, ki ima vrednost $0,6V$. Pri določanju področja, v katerem deluje tranzistor, si lahko pomagamo tudi s tabelo 5.2. Ko smo določili ustrezno področje, izberemo še ustrezen model (glej sliko 5.8).

Tabela 5.2: Režimi oziroma področja delovanja NPN tranzistorja. Glej tudi sliko 5.7. Vir: lasten.

SPOJ	NAPETOSTI	TOK	IME PODROČJA	ZGLED UPORABE
EB : prevodno CB : zaporno	$U_{BE} \approx 0,6V$ $U_{CB} \geq 0V$	$I_C = I_B h_{FE}$	(linearno) aktivno	ojačevalnik
EB : zaporno CB : zaporno	$U_{BE} < 0,6V$ $U_{CB} \geq 0V$	$I_E = 0, I_C = 0$ $I_B = 0$	zaporno področje	stikalo
EB : prevodno CB : prevodno	$U_{BE} \approx 0,6V$ $U_{CB} < 0V$	$I_C < I_B h_{FE}$	nasičenje	stikalo
EB : zaporno CB : prevodno	$U_{EB} \geq 0V$ $U_{BC} \approx 0,6V$		inverzno aktivno	

Ker tudi povezava med dimenzijami in karakteristiko ni več tako preprosta, kot je bila pri MOS tranzistorju, je ne bomo obravnavali. Tam je tok tekel v vodoravni smeri in zato smo lahko z razmerjem W/L spreminjali lastnosti tranzistorja (npr. strmino). Ker je pri vertikalnem tranzistorju glavna dogajanja v vertikalni smeri, s širjenjem emitorja bistveno ne vplivamo na karakteristiko. Z večanjem površine emitorsko-baznega spoja večamo samo **maksimalni emitorski tok**.



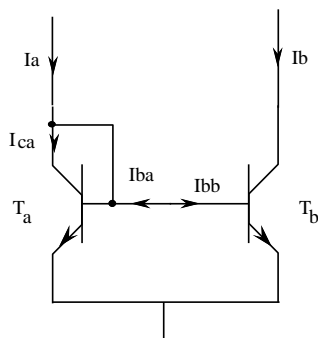
Slika 5.9: Tranzistor z $U_{CB} = 0V$ je v linearnem področju. Vir: lasten.

5.3. NEKATERI BIPOLARNI GRADNIKI

Na kratko bomo obravnavali samo najvažnejše bipolarne gradnike. Med njimi ne bo močnostne bipolarne izhodne stopnje, saj smo jo obravnavali že pri MOS ojačevalnikih.

5.3.1. TOKOVNA ZRCALA

Bipolarna tokovna zrcala imajo zelo podobno strukturo kot MOS zrcala. Na sliki 5.10 je prikazano bipolarno tokovno zrcalo. Oba tranzistorja, ki naj bosta popolnoma enaka, naj obratujeta v linearnem področju. Ta pogoj je pri T_a zagotovo izpolnjen, saj je $U_{BC} = 0$. Tranzistor T_b lahko deluje v linearnem področju ali pa je v nasičenju. To je odvisno od padca napetosti na bremenu, kar pa na sliki ni narisano.



Slika 5.10: Bipolarno tokovno zrcalo. Vir: [GRAY,2009].

Ker je na obeh tranzistorjih enaka napetost U_{BE} , sta tudi bazna oziroma kolektorska toka enaka. Tok I_a je enak:

$$I_a = I_{ca} + I_{ba} + I_{bb}$$

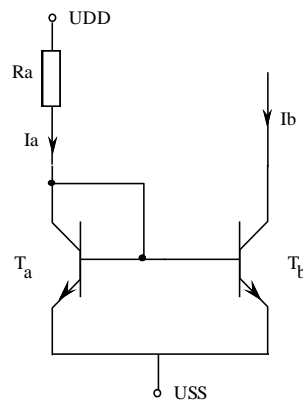
$$I_a = I_{cb} + 2I_{bb} = I_{cb} \left(1 + \frac{2}{h_{FE}} \right)$$

Za $h_{FE} \gg 1$ se zgornja enačba poenostavi v:

$$I_a = I_b$$

Torej oba toka sta skoraj enaka. I_a je referenčni tok, ki ga zagotovimo na podoben način kot pri MOS tokovnih zrcalih. Najbolj enostavna varianta je upor, ki je priključen na napajalno napetost. Ker je U_{BE} približno 0,6 V, velja:

$$I_a = \frac{UDD - 0,6 - USS}{R_a}$$



Slika 5.11: Enostavna realizacija referenčnega toka. Vir: [GRAY,2009].

Pogosto potrebujemo razmerje tokov, ki bo različno od 1. Poglejmo natančneje, kakšno je razmerje tokov. Tokrat bomo uporabili Ebers-Mollove enačbe. Kadar deluje tranzistor v linearnem področju, lahko v enačbi (5.1) zanemarimo drugi člen. Hkrati lahko zanemarimo tudi enico:

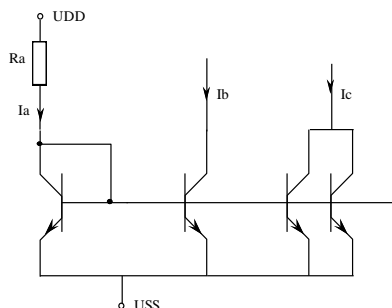
$$I_E \approx -I_{ES} \left(e^{\frac{U_{BE}}{U_T}} - 1 \right) \approx -I_{ES} e^{\frac{U_{BE}}{U_T}} \quad (5.3)$$

Ker je emitorski tok približno enak kolektorskemu, lahko zapišemo naslednje razmerje tokov:

$$\frac{I_a}{I_b} = \frac{I_{Ea}}{I_{Eb}} = \frac{-I_{ESa} e^{\frac{U_{BEa}}{U_T}}}{-I_{ESb} e^{\frac{U_{BEb}}{U_T}}} = \frac{I_{ESa}}{I_{ESb}}$$

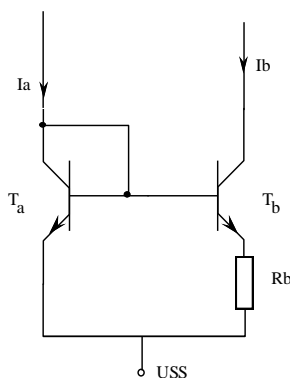
Ker sta obe bazni napetosti enaki, lahko enaka člena v zgornji enačbi krajšamo. Tok I_{ES} je proporcionalen površini bazno-emitorskega spoja in konstanti k , v kateri so zajeti ostali parametri. Če sta oba tranzistorja popolnoma enaka, je razmerje enako 1. Iz enačbe je razvidno, da lahko s površinami S določamo razmerje tokov.

$$\frac{I_a}{I_b} = \frac{k \cdot S_a}{k \cdot S_b} = \frac{S_a}{S_b} \quad (5.4)$$



Slika 5.12: Niz tokovnih zrcal. Vir: [GRAY,2009].

Namesto povečanja tranzistorjev lahko isto dosežemo z vzporedno vezavo enakih tranzistorjev (slika 5.12). Za večja razmerja (nad 5) izberemo raje logaritemsko Widlarjevo zrcalo, ki ga prikazuje slika 5.13.



Slika 5.13: Logaritemsko Widlarjevo zrcalo. Vir: [GRAY,2009].

Zopet bomo zahtevali, da sta oba tranzistorja popolnoma enaka. Najprej zapišemo napetostno zanačno enačbo:

$$U_{BE1} = U_{BE2} + I_b R_b \quad (5.5)$$

Iz (5.3) izrazimo U_{BE} :

$$U_{BE} = U_T \ln \frac{I_E}{I_{ES}}$$

Ta izraz vstavimo v enačbo 5.5, in ker sta tranzistorja popolnoma enaka, dobimo naslednjo transcendentno enačbo:

$$U_T \ln \frac{I_a}{I_b} = I_b R_b$$

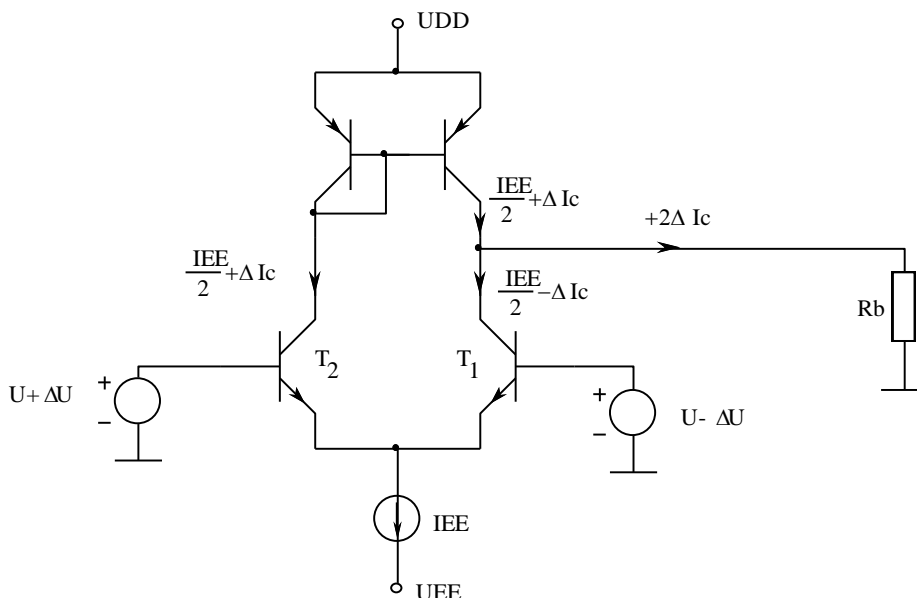
Razmerje je sedaj v logaritemskem izrazu, kar pomeni, da lahko z uporabo R_b dosegamo zelo velika razmerja tokov. Iz enačbe je tudi razvidno, da mora biti $I_a > I_b$, sicer bo logaritem negativen. Žal je enačba na analitični način nerešljiva. Pri projektiranju je v bistvu ne potrebujemo, saj izhajamo iz znanega razmerja tokov. Iz zgornje enačbe lahko hitro izračunamo potrebno upornost R_b :

$$R_b = \frac{U_T}{I_b} \ln \frac{I_a}{I_b}$$

Zgled: Za razmerje tokov 1:20 ($I_a = 200 \mu\text{A}$, $I_b = 10 \mu\text{A}$) je potreben upor $7,5 \text{ k}\Omega$.

5.3.2. TRANSKONDUKTANČNI OJAČEVALNIK

Bipolarni transkonduktančni ojačevalnik ima enako strukturo kot MOS varianta. Majhna sprememba vhodne napetosti povzroči majhno spremembo kolektorskega toka. Ker je vhodna napetost na T_2 povečana za ΔU , se poveča tudi kolektorski tok za ΔI_c . Pri tranzistorju T_1 je ravno obratno. Ker teče v obeh vejah tokovnega zrcala enak tok, mora zaradi Kirchhoffovega tokovnega zakona teči v breme tok $2\Delta I_c$.



Slika 5.14: Bipolarni transkonduktančni ojačevalnik. Vir: [GRAY,2009].

ΔI_c je proporcionalen inkrementalni transkonduktanci g_{21} tranzistorja T2 in spremembi napetosti na U_{BE} :

$$\Delta I_c = g_{21} \Delta U_{BE} = g_{21} \Delta U$$

g_{21} lahko enostavno ocenimo, če poznamo kolektorski tok T2 (k je dimenzijska konstanta z vrednostjo 1V):

$$g_{21} \approx \frac{33I_c}{k}$$

Vhodna napetost je razlika med U_1 in U_2 :

$$u_{vh} = U_1 - U_2 = 2\Delta U$$

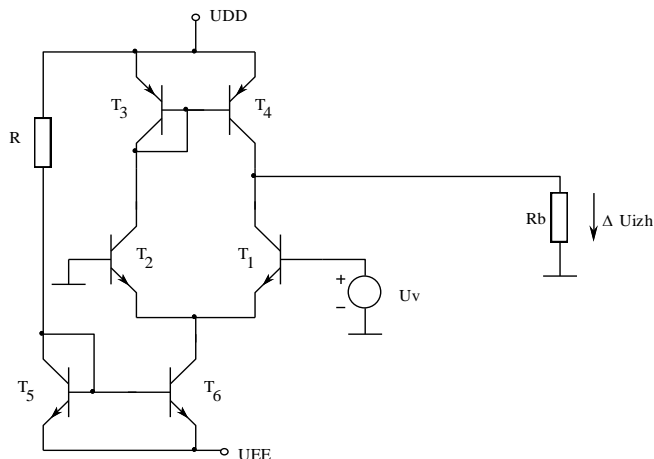
Tok, ki teče v breme, je:

$$i_b = \frac{u_{vh} 33I_c}{k} = \frac{u_{vh} 33I_{EE}}{2k} \quad (5.6)$$

Iz zgornje enačbe je razvidno, da je strmina transkonduktančne prenosne karakteristike celotnega ojačevalnika enaka strmini tranzistorja T2 oziroma T1. Tokovni generator, ki zagotavlja tok delovne točke, realiziramo s tokovnim zrcalom ali pa z uporom velike vrednosti.

Zgled:

Izračunaj ΔU_{izh} , če se vhodna napetost U_v spremeni od 0 V na 5 mV. Vsi tranzistorji so enaki. Ostali podatki: $U_{DD} = 10$ V, $U_{EE} = -10$ V, $R = 10$ K, $R_b = 10$ K. Rezultat preveri s simulatorjem.



Slika 5.15 Zgled transkonduktančnega ojačevalnika. Vir: lasten.

Skozi T5 teče referenčni tok $I_5 = \frac{U_{DD} - U_{EE} - U_{BE}}{R} \approx 2\text{mA}$

Zaradi tokovnega zrcala velja: $I_1 = I_6/2$ in $I_5 = I_6$

Inkrementalno transkonduktančno ojačenje T1 je:

$$g_{21} \approx \frac{33I_1}{k} = \frac{33 \cdot 1mA}{V} = 33mA/V$$

Ojačevalnik krmilimo z vhodno napetostjo:

$$u_{vh} = U_1 - U_2 = 5mV$$

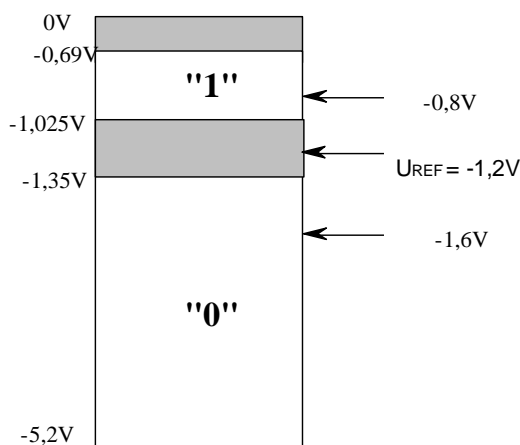
V breme teče tok: $i_b = g_{21} \cdot u_{vh} = 33mA/V \cdot (-5mV) = -0,165 mA$

Na bremenu se pojavi napetost -1,65 V. S simulatorjem dobimo -1,41 V (podatki za modele tranzistorjev NPN $h_{FE} = 80$, PNP $h_{FE} = 10$).

5.3.3. ECL DRUŽINA

Večina logičnih vezij deluje tako, da tranzistorji prehajajo iz področja zapore v področje nasičenja. Nakopičeni nosilci v bazi tranzistorja, ki prehaja iz nasičenja v linearno področje, povzročajo zakasnitev. Temu so se snovalci ECL (Emitter Coupled Logic) vezij izognili tako, da vsi tranzistorji delujejo neprestano v aktivnem področju in nikoli ne pridejo v nasičenje oziroma zaporo.

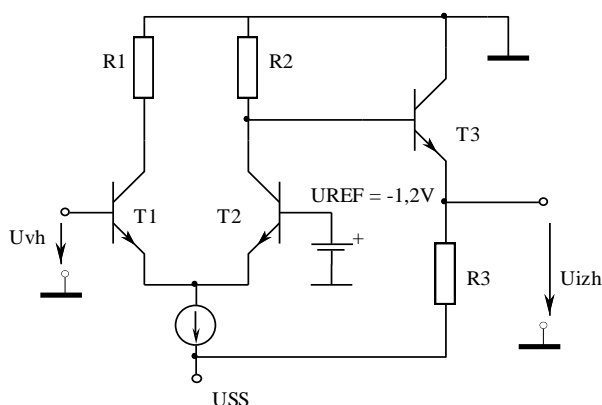
Praden začnemo razlago delovanja, je treba podati korespondenco med logičnimi vrednostmi in analognimi napetostmi (slika 5.16). Pri razlagi bomo uporabili kar tipične vrednosti, ki so na sliki poudarjene s puščico.



Slika 5.16: Korespondenca med analognimi napetostmi in logičnimi nivoji.

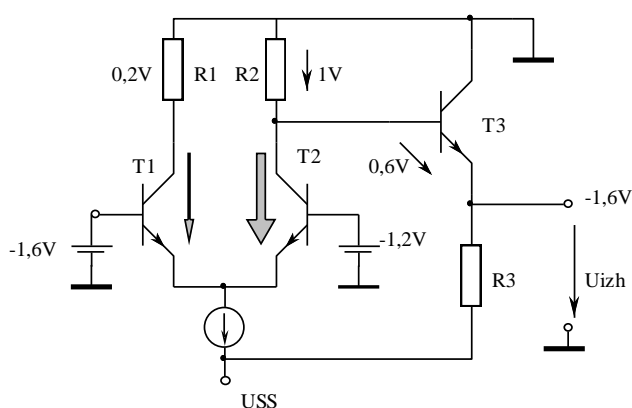
Vir: [TAUB, 1977].

Osrednji del vezja je diferenčni ojačevalnik, ki ga tvorita tranzistorja T1 in T2 (slika 5.17). T2 je vedno priključen na referenčno napetost, ki znaša $-1,2\text{ V}$. Referenčna napetost in napetosti logičnih nivojev so tako izbrane, da noben tranzistor nikoli ne pride v nasičenje oziroma v zaporo. Če je na bazi T1 nižja napetost (npr. $-1,6\text{ V}$) od referenčne ($-1,2\text{ V}$), potem večina toka teče skozi T2. Vrednost R2 je izbrana tako, da se takrat na njem ustvari padec napetosti 1 V . Na izhod diferenčnega ojačevalnika je priključen emitorski sledilnik, ki loči izhod od diferenčnega ojačevalnika in hkrati zagotavlja nizko izhodno upornost. Če še upoštevamo U_{BE} tranzistorja T3, dobimo na izhodu $-1,6\text{ V}$. To pa je glede na logične nivoje logična ničla. Torej na vhod smo dali logično ničlo in ta se je pojavila tudi na izhodu.



Slika 5.17: Bistveni del ECL logičnih vrat. Vir: [TAUB, 1977].

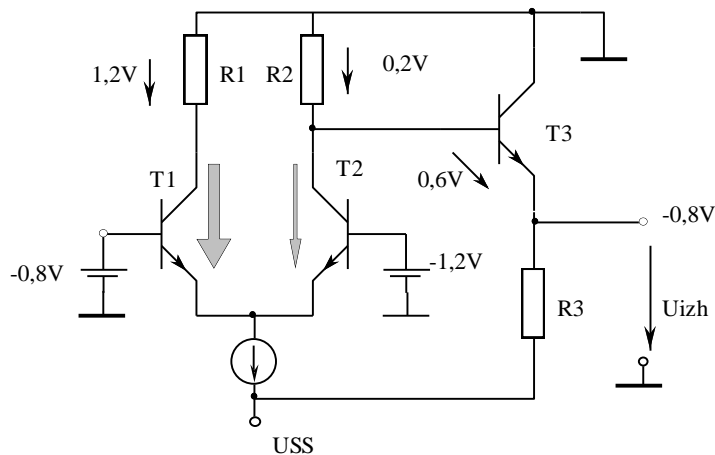
Ko na vhod priključimo logično enico oziroma $-0,8\text{ V}$, steče večina toka skozi T1. Na R2 se ustvari majhen padec napetosti $0,2\text{ V}$ oziroma na izhodu dobimo $-0,8\text{ V}$. Glede na logične nivoje je to logična enica.



Slika 5.18: Na vhod je priključena logična 0. Vir: [TAUB, 1977].

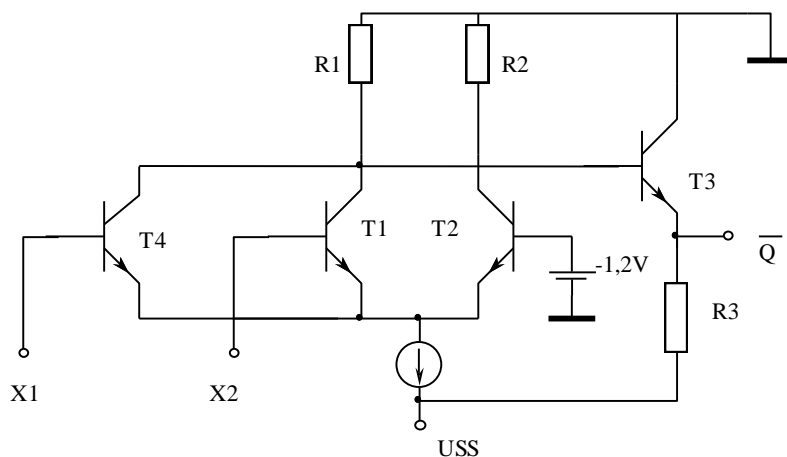
Takšno logično vezje je seveda za zdaj še neuporabno. Sedaj na vhod paralelno k T1 priključimo dodatni tranzistor T4. Takoj ko bo na T4 ali pa na T1 napetost $-0,8\text{ V}$ ("1"), bo večina toka stekla skozi T1 oziroma T4. Torej dobili smo dvovhodna OR vrata. S paralelnim

priključevanjem še večjega števila tranzistorjev lahko dobimo večvhodno vezje. Ker je dogajanje na T1 ravno nasprotno kot na T2, lahko s priključitvijo izhodnega tranzistorja dobimo NOR vrata.



Slika 5.19: Na vhod je priključena logična 1. Vir: [TAUB, 1977].

Ker dejansko samo preusmerjamo tok T1 in T2, je tok iz napajalnega vira neprestano konstanten. Pri drugih logičnih vezjih dobimo kratke sunke, kar povzroča motnje na napajalnih linijah. Pri CMOS vezjih so se tokovni sunki pojavili samo pri prehodu logičnega stanja, ko sta za trenutek prevajala oba tranzistorja. Po preklopu pa je tok padel na nič, kar je zelo ugodno. Pri ECL je obremenitev napajalnega vira neprestano enaka ne glede na spremembe stanja. Zato prištevamo ECL vezja k tistim vezjem, ki za svoje delovanje potrebujejo kar precejšno moč vira.

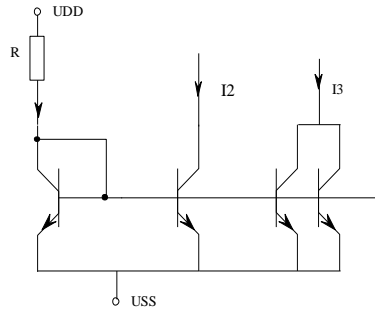


Slika 5.20: Dvovhodna NOR vrata. Vir: [TAUB, 1977].

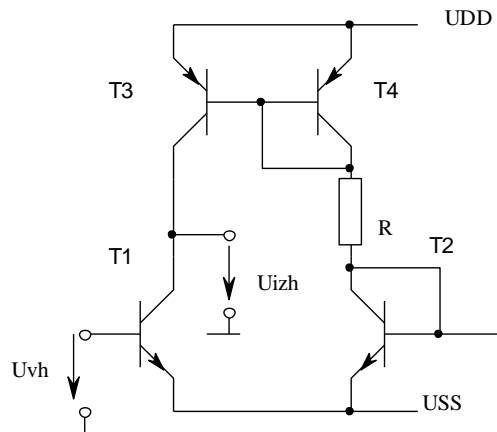
Nenavadni logični nivoji otežujejo povezovanje z drugimi družinami logičnih vezij. Z ustreznimi napetostnimi translatorji lahko te probleme enostavno rešimo.

5.4. VPRAŠANJA IN NALOGE

1. Kolikšna sta tokova I_2 in I_3 , če so vsi tranzistorji enaki ($U_{DD} = 10\text{ V}$, $U_{SS} = -10\text{ V}$, $R = 50\text{ K}$)?



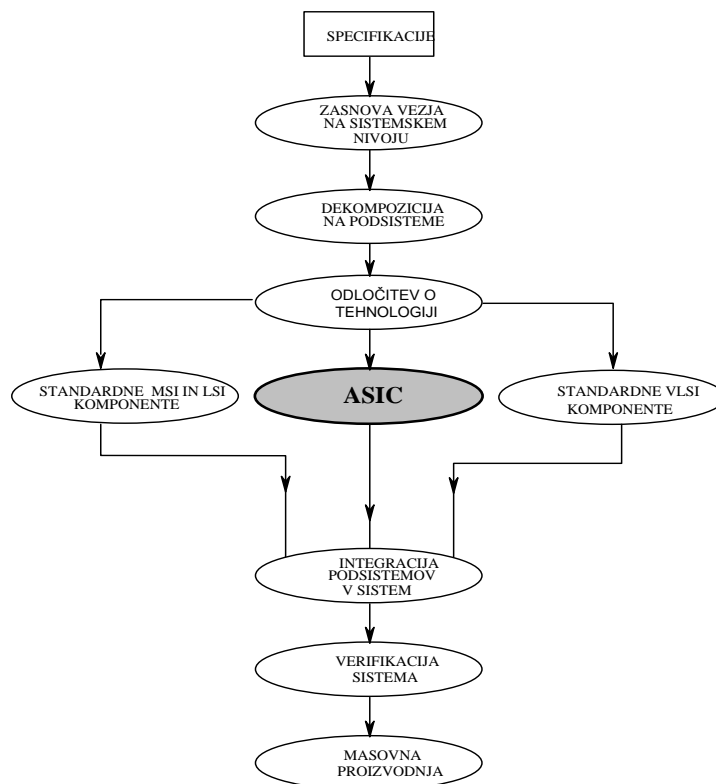
2. Kolikšno je napetostno ojačenje za majhne signale? $U_{DD} = 10\text{ V}$, $U_{SS} = -10\text{ V}$, $R = 5\text{ K}$, $h_{22} = 20\text{ }\mu\text{S}$. Vsi tranzistorji so enaki.



3. Nariši geometrijsko strukturo Widlarjevega logaritmskega tokovnega zrcala.

6. NAČRTOVALSKI PRISTOPI

Načrtovanje integriranega vezja je pogosto samo del načrtovanja večjega sistema, ki predstavlja zaključeno enoto. Sistem je zelo splošen pojem, saj lahko predstavlja raketo ali pa varovalko. Glede na vsebino učbenika se bomo omejili le na elektronske sisteme. Z besedo *sistem* bomo poimenovali kompleksno elektronsko vezje, ki opravlja analogne in/ali digitalne funkcije (npr. krmilno vezje za trdi disk).



Slika 6.1: Posamezne faze načrtovanja kompleksnega sistema, ki je sestavljen iz več komponent. Vir: lasten.

Načrtovanje teh sistemov zahteva sistematični pristop. Sistem najprej definiramo na konceptualnem nivoju kot črno škatlo, ki ima natančno definirane vhode in izhode. Nato sledi njegova dekompozicija na podsisteme (glej sliko 6.1). Delitev na podsisteme je v veliki meri odvisna od:

- zahtevanih lastnosti,
- velikosti serije,
- kompleksnosti sistema,
- gradnikov, ki jih imamo na razpolago,
- razpoložljive tehnologije,
- roka,
- razpoložljivih finančnih sredstev.

6.1. PRIMERJAVA MED KUPLJENIMI IN NAČRTOVANIMI GRADNIKI

Elemente, s katerimi zgradimo sistem ali podsistem, bomo imenovali gradnike. Gradniki se z razvojem tehnologije neprestano izboljšujejo. V preteklosti je bila elektronka osnovni gradnik, danes je npr. mikrokrmilnik. Današnje gradnike delimo v naslednje skupine:

- *Standardne*¹⁵⁹ *MSI in LSI komponente* - razne družine logičnih vezij srednje integracije, npr. TTL, CMOS; LM741, LM723 itd.).
- *Standardne VLSI komponente* - A/D pretvornik, mikroprocesor, modem, D/A pretvornik, mikrokontroler, programabilni čipi FPD (Field Programmable Devices). V takem podsistemu najdemo tudi standardne MSI oziroma LSI gradnike, ki imajo "stransko vlogo".
- Po naročilu izdelana (namenska) integrirana vezja - *ASIC vezja*.

Potem ko smo izdelali vse podsisteme, sledi njihova integracija v kompletan sistem, njegova verifikacija in nato masovna proizvodnja. Puščice ponazarjajo smer idealnega procesa načrtovanja. V resnici se večkrat vrnemo na prejšnjo fazo ali pa celo na začetek (glej sliko 6.1).

Kljub temu, da nas bo zanimal predvsem pristop, ki zahteva ASIC vezja, bomo v nadaljevanju na kratko primerjali vse tri možne realizacije elektronskih podsistemov.

Standardne MSI in LSI komponente

To je najstarejši pristop, ki ima naslednje slabosti¹⁶⁰:

1. velika fizična obsežnost,
2. visoka cena proizvodnje v primeru velikih serij,
3. nizka zanesljivost.

Ima pa tudi nekatere dobre lastnosti, kot so npr.:

1. kratki čas načrtovanja,
2. enostavna diagnoza napake,
3. majhno poslovno tveganje,
4. neodvisnost od proizvajalca - na tržišču je veliko proizvajalcev.

¹⁵⁹ SSI (Small - Scale Integration) je oznaka za integrirano vezje, ki vsebuje največ 100 tranzistorjev. MSI (Medium - Scale Integration) jih vsebuje od 100 do 1 000, LSI (Large - Scale Integration) od 1 000 do 10 000 in VLSI (Very Large - Scale Integration) več kot 10 000.

¹⁶⁰ Dobre in slabe lastnosti veljajo za tipične primere vezij, ki jih je mogoče realizirati z izbranim pristopom.

Standardne VLSI komponente

V to skupino bomo uvrstili FPD komponente¹⁶¹ in mikroprocesorske sisteme. FPD so vezja, ki vsebujejo množico gradnikov, ki jih lahko po želji povežemo (programiramo) in tako dobimo zahtevano funkcijo. Tipični predstavniki so: PROM, PAL, FPGA¹⁶². Slednji so za majhne serije zelo zanimivi, saj vsebujejo pestro množico gradnikov. Topologija povezav je odvisna od vsebine pomnilnika (RAM ali pa EPROM), kar pomeni veliko fleksibilnost, saj lahko strukturo zelo hitro po potrebi spreminjamo. Kompleksnost FPGA vezij neprestano narašča, tako da si ta pristop zelo hitro utira pot na tržišče.

Mikroprocesorji so se pojavili po letu 1970. Zaradi velike fleksibilnosti so v tistem času delno zavrli zelo nagel vzpon izdelave vezij po naročilu. Če uporabimo ta pristop, potem funkcijo vezja definira program. Za komunikacijo z okoljem so včasih potrebni ustrezni vmesniki (npr. A/D in D/A pretvornik).

Dobre lastnosti:

- Zelo velika fleksibilnost - funkcijo vezja lahko spremenimo v večini primerov s predelavo programa.
- Če serija ni prevelika, je cena nizka.
- Z enako aparaturno opremo lahko realiziramo več različnih sistemov - ugodno za nabavo in servisiranje.
- Fizično je sistem manjši kot pri prejšnjem pristopu.

Slabosti:

- Zaradi težnje po univerzalnosti za nekatere primere mikroprocesorski sistem ni optimalno zasnovan¹⁶³. Npr.: zadostna bi bila natančnost štirih bitov, mikroprocesor in A/D pa sta osembitna.
- Pri večjih serijah je predrag.
- Glede na prvi pristop je potrebna razvojna oprema precej dražja (razvojni sistem, programska oprema, logični analizator itd.).
- Odvisnost od proizvajalca. Npr.: mikroprocesor, ki ga želimo uporabiti, izdeluje samo eno podjetje. Če iz kakršnihkoli vzrokov preneha proizvodnjo, nimamo več dobaviteljev.
- Z drugimi pristopi lahko večinoma dosegamo večje hitrosti.

ASIC vezja

ASIC (*Application Specific Integrated Circuits*) vezja je tretji možni pristop. To so vezja, ki so posebej izdelana za določenega naročnika in se zato lahko zelo dobro približajo njegovim zahtevam. Ta vezja se odlikujejo predvsem po naslednjih lastnostih:

¹⁶¹ Programirljiva vezja (Field Programmable Devices).

¹⁶² Na področju FPD vezij se terminologija še ni popolnoma ustalila. Dober pregled tega področja je v članku S. Brown, J. Rose: "FPGA and CPLD Architectures: A Tutorial", IEEE Design and Test of Computers, Summer 1996, str. 42-57.

¹⁶³ Optimalnost se nanaša na naročnikov cilj.

1. Skoraj popolna zadostitev naročnikovih zahtev.
2. Zaradi majhnih dimenzij elementov in kratkih povezav (majhne RC konstante) imajo veliko hitrost.
3. Zelo majhna fizična obsežnost.
4. Nizka cena za velike serije.
5. Zakritost ideje - lažja zaščita pred kopiranjem.
6. Večja zanesljivost.
7. Manjša poraba energije.

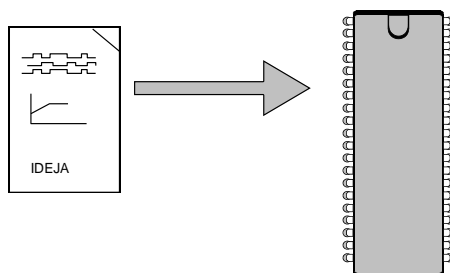
Slabosti:

1. Visoka cena načrtovanja.
2. Zaradi nedostopnosti vseh vozlišč vezje težko testiramo.
3. Veliko poslovno tveganje.
4. Odvisnost od proizvajalca.
5. Majhna fleksibilnost v primeru neke spremembe v načrtu¹⁶⁴.
6. Težko je predvideti končno ceno.

Izbor je odvisen od zahtevanih lastnosti (hitrosti delovanja, miniaturnosti, moči ipd.) in od ekonomskega izračuna. Ker nas zanima predvsem pristop, ki zahteva načrtovanje integriranega vezja, ga bomo v nadaljevanju podrobneje opisali.

6.2. NAČRTOVANJE NAMENSKIH (ASIC) VEZIJ

Kako pridemo od ideje do integrirane komponente? Pot je dokaj težavna in vodi preko mnogih faz. Potek načrtovanja integriranih vezij je zelo odvisen od izbrane tehnologije in od sposobnosti ter opremljenosti načrtovalcev. Kljub veliki raznolikosti pristopov bomo na kratko obravnavali bistvene skupne značilnosti.

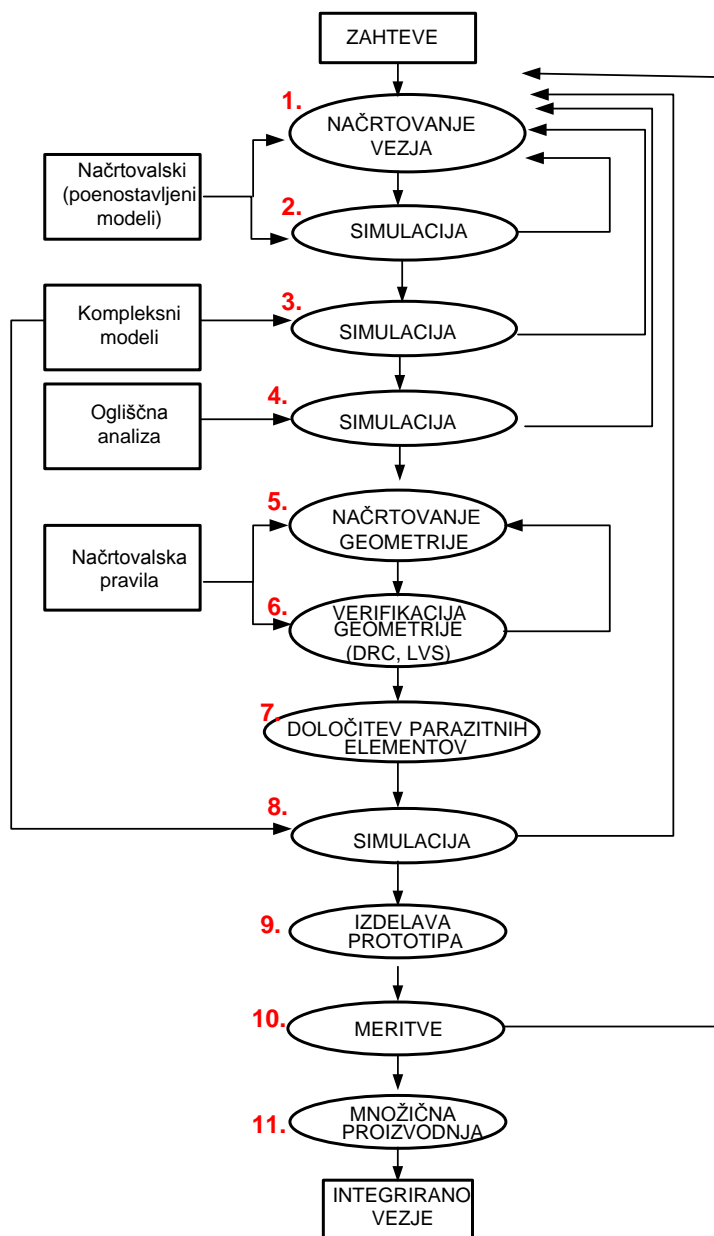


Slika 6.2: Kako priti od ideje do integrirane komponente? Vir: lasten.

Načrtovanje hibridnih vezij poteka drugače kot načrtovanje monolitnih. Obstaja tudi bistvena razlika med načrtovanjem analognih in logičnih vezij. Zelo težko je reči, katero načrtovanje je najtežje, saj na to vplivajo tudi drugi faktorji kot npr.: zahtevana hitrost, cena, moč itd. V

¹⁶⁴ Fleksibilnost ASIC vezij je možno povečati s posebnimi gradniki oziroma elementi, ki omogočajo spremembo povezav na čipu. Npr. del čipa ima podobno strukturo kot PAL.

povprečju je najtežje kompletno načrtovanje (full custom) monolitnih analognih vezij. V učbeniku bo poudarek ravno na tej vrsti načrtovanja, saj se v njem pojavlja največ posebnosti, ki so značilne prav za načrtovanje integriranih vezij.



Slika 6.3: Poenostavljen razvojni cikel preprostega analognega monolitnega integriranega vezja. Vir: lasten.

Z analizo procesa, ki vodi od koncepta do množične proizvodnje, lahko ugotovimo, da je celoten postopek sestavljen iz približno desetih korakov oziroma faz, ki so prikazane na sliki 6.3. Prikazani so samo najbistvenejši koraki načrtovanja analognih monolitnih integriranih vezij. Z razvojem tehnologije in načrtovalskih metod obstajajo razne bližnjice, ki bodo obravnavane v nadaljevanju.

Vsako načrtovanje se začne z nekim konceptom oziroma idejo, v kateri se definirajo cilji, ki jih želimo z integriranim vezjem doseči. Recimo, da je cilj integriran ojačevalnik. Najprej natančno določimo njegove lastnosti (zahteve) in dopustna odstopanja: ojačenje, frekvenčno karakteristiko, temperaturno območje itd. Ti podatki so vhod v sintezo oziroma načrtovanje, katere rezultat je vezalna (logična) shema. Na njej so vsi elementi in njihove vrednosti. Sledi verifikacija oziroma simulacija (**SPICE**) te sheme (korak števil. 2), kjer s simulatorjem preverjamo, ali vezje ustreza postavljenim zahtevam. Pri simulaciji najprej uporabimo poenostavljene modele, torej enake kot smo jih uporabili pri načrtovanju. Če lastnosti ustrezajo zahtevam, ponovimo simulacijo s kompleksnimi modeli (3. korak). Nato preverimo robustnost vezja glede na variacijo lastnosti tranzistorjev, temperature in napajalne napetosti (4. korak).

Če so lastnosti še vedno znotraj dovoljenih odstopanj, nadaljujemo z načrtovanjem geometrijske strukture (5. korak). Elemente je treba konkretno razmestiti in jih povezati. V bistvu moramo vezje narisati tako, kot zahteva tehnološki postopek. Temu opisu pravimo tudi *fizični opis vezja*. S programom **DRC** (Design Rule Check) preverimo ali je geometrija načrtana v skladu s tehnološkimi zahtevami. Tukaj gre predvsem za določene omejitve kot so npr.: minimalne razdalje, prekrivanje ipd. Potrebno je tudi preveriti skladnost geometrijskega opisa z logičnim (Smo povezali vse elemente? Smo kakšnega izpustili?). Tipično ime tega programa je **LVS** (Layout Versus Schematic)

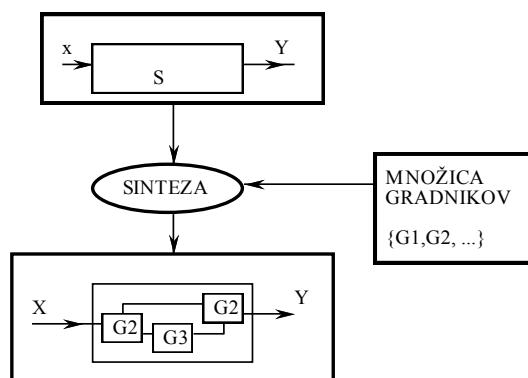
Sedaj ko so znane fizične dimenzije vezja, lahko določimo vrednosti parazitnih elementov (parazitne kapacitivnosti, upornosti in induktivnosti). Ker smo jih pri načrtovanju delno zanemarili, je treba preveriti, ali bistveno ne vplivajo na zahtevane lastnosti vezja. Vezje opremimo s parazitnimi elementi in zopet uporabimo simulator (8. korak). Zaradi upoštevanja parazitnih elementov lahko kompleksnost vezja zelo naraste. S simulatorjem izračunane karakteristike vezja naj bi bile približno takšne, kot jih bomo kasneje izmerili. Zelena luč za množično proizvodnjo dobimo šele, ko se strinjamo z rezultati izmerjenih karakteristik prototipov.

6.2.1. KONCEPT SINTEZE

V predhodnem poglavju smo na kratko opisali potek načrtovanja nekega splošnega kompleksnega sistema (glej sliko 6.1). Opisan postopek načrtovanja imenujemo hierarhično načrtovanje. Recimo, da smo se odločili, da bo določen podsistem ali pa kar celoten sistem realiziran v enem integriranem vezju. Ker je proces načrtovanja zelo zahteven, ga razdelimo na več korakov. Eden izmed najpomembnejših korakov, ki se tudi največkrat pojavlja, je sinteza. Sinteza je proces opisovanja sistema S ali podsistema z enostavnejšimi podsistemi oziroma gradniki (glej sliko 6.4). Gradnike delimo na *implementacijske* in na *načrtovalske*. Implementacijski so tisti, ki jih pozna tehnologija izdelave. Pri integriranih vezjih so to: celice, gradniki v nepovezanih mrežah ali pa dimenzije mask. Načrtovalski gradniki so tisti, s katerimi opisujemo vezje na višjih nivojih. Najbolj tipične množice načrtovalskih gradnikov so npr. vrata, registri, tranzistorji ipd. (glej sliko 6.5). Množico načrtovalskih gradnikov, ki jo imamo na razpolago, pogosto imenujemo knjižnica gradnikov. Bolj je ta bogata, lažje je načrtovanje. To velja tudi za implementacijske gradnike.

Ker je programiranje v nekaterih delih zelo podobno načrtovanju integriranih vezij, si bomo pomagali z analogijo. Narisati moramo krog na ekranu. Če nimamo nobene knjižnice z rutinami za grafiko, potem moramo sami napisati in tudi preveriti rutino za risanje kroga. Če bi to rutino dobili v kupljeni knjižnici, bi bilo načrtovanje seveda lažje. Najbolj primitivni implementacijski gradniki, ki jih pri programiranju uporabljamo, so ukazi, ki jih pozna programske jezik (množenje, izpis na ekran itd.). Večji je nabor ukazov, lažje je načrtovanje.

Pri integriranih vezjih se pojavljajo podobne razmere. Preprosta in cenena NMOS tehnologija pozna samo NMOS tranzistorje, diode in kondenzator. V primeru kompletnega načrtovanja so to najbolj primitivni načrtovalski gradniki, ki jih ima načrtovalec na razpolago. CMOS tehnologija pozna več primitivnih gradnikov. Poleg tega, kar nudi NMOS tehnologija, imamo še PMOS tranzistorje, difundirane upore in določene vrste bipolarnih tranzistorjev. Ker je procesiranje zahtevnejše, je CMOS implementacija dražja, vendar je zato lažje načrtovanje.



Slika 6.4: Splošna sinteza. Vir: lasten.

Prvi korak pri načrtovanju je funkcijski opis prihodnjega integriranega vezja. Vezje opišemo kot črno škatlo, ki ima natančno definirane vhode in izhode ter funkcijo. Nato sledi več zaporednih sintez, pri katerih se množica gradnikov vedno bolj konkretizira. Rezultat teh vmesnih sintez je opis sistema na različnih nivojih. Od zelo abstraktnega opisa sistema s postopnimi sintezami prihajamo do vedno bolj konkretnega. Začetni del načrtovanja integriranega vezja se konča, ko je vezje opisano samo z implementacijskimi gradniki.

Nato je na vrsti načrtovanje mask (glej sliko 6.3.). Po tem koraku je vezje opisano z dimenzijami pravokotnih odprtin v maskah. Šele ko so vsi načrti za maske izdelani, lahko dobimo podatke o parazitnih kapacitivnostih, induktivnostih in upornostih. Sedaj je možno izvesti zelo natančno simulacijo vezja. Ker je pri tej simulaciji poudarek na preverjanju časovnih zakasnitev, imenujemo ta korak časovna verifikacija. Če le-ta pokaže, da se vezje obnaša v skladu s specifikacijami, se načrtovanje konča. Nato sledi izdelava poskusne serije. V roke dobimo prototipe, katerih karakteristike natančno izmerimo in jih primerjamo s predpisanimi. Če so odstopanja znotraj dovoljenih toleranc, lahko steče masovna proizvodnja.

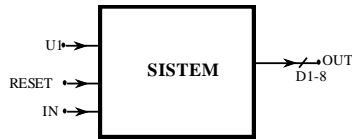
Ožje je tolerančno območje, težje je načrtovanje. Do odstopanja od pričakovanih vrednosti karakteristik izdelanega čipa prihaja zaradi:

- variacije procesnih parametrov,
- zaokroževanja dimenzij ter
- poenostavljene sinteze in analize.

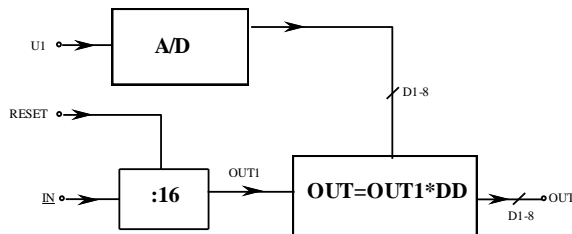
Vplive večine prej naštetih vzrokov je možno oceniti z različnimi tolerančnimi analizami (npr. Monte Carlo, vogalne točke¹⁶⁵) še pred izdelavo čipa.

¹⁶⁵ Corner analysis.

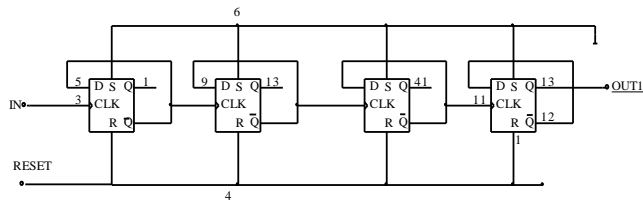
NIVO SISTEMA



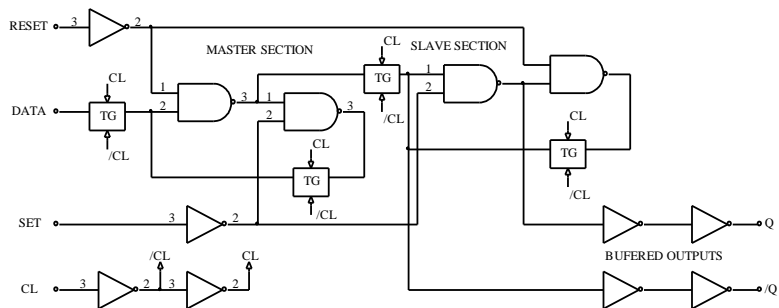
NIVO PODSISTEMOV



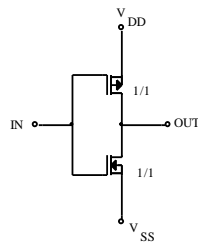
NIVO REGISTROV



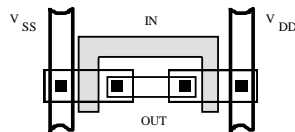
NIVO VRAT



NIVO TRANZISTORJEV



NIVO MASK



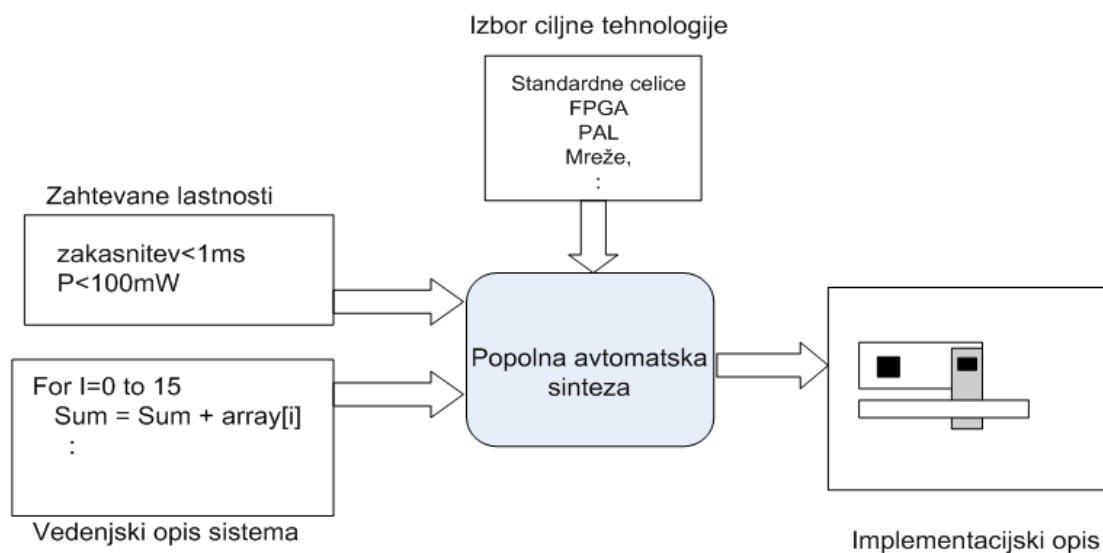
Slika 6.5: Različni načrtovalski nivoji integriranega vezja. Vir: lasten.

Pri analizi vlogalnih točk preverimo delovanje vezja pri:

- najbolj neugodnih procesnih odstopanjih¹⁶⁶ (vsi tranzistorji počasni, vsi tranzistorji hitri, NMOS počasni in PMOS hitri, NMOS hitri in PMOS počasni) in pri
- variaciji okoljskih parametrov (minimalna in maksimalna temperatura), najnižja in najvišja napajalna napetost itd.).

6.2.2. AVTOMATSKA SINTEZA

Podobno kot v računalništvu je tudi na področju mikroelektronike kmalu vzniknila ideja, da bi zahtevano obnašanje sistema opisali s formalnim HDL jezikom¹⁶⁷ in nato z ustreznim prevajalnikom opis prevedli v implementacijski opis (glej sliko 6.6). V skupini HDL jezikov sta VHDL (Very High Speed Integrated Circuits Hardware Description Language) in Verilog danes najpogosteje uporabljena jezika, s katerim opisujemo različne razvojne nivoje (glej sliko 6.7). V povezavi s HDL jezikom se pojavlja dvoje orodij: simulator in prevajalnik (sintetizator). S simulatorjem preverjamo pravilnost delovanja, (silikonski) prevajalnik pa je namenjen avtomatski sintezi. Vhodni podatki v prevajalnik so opis vezja¹⁶⁸, ciljna tehnologija in razne zahteve glede lastnosti vezja (npr. hitrost, disipacija, površina itd.). Cilj h kateremu teži ta pristop je, da bi lahko iz vedenjskega opisa na nivoju podsistemov na avtomatski način tvorili implementacijske gradnike. Če je ciljna tehnologija ASIC, potem je to geometrijska struktura (glej sliko 6.6). Za poljubni podsistem današnji prevajalniki še tega ne zmorejo. Dokaj uspešne pa so pretvorbe iz enega nivoja v drugega. Večina današnjih VLSI logičnih vezij je napravljena delno ali pa v celoti z avtomatsko sintezo.



Slika 6.6: Idealna avtomatska sinteza. Vir: lasten.

¹⁶⁶ Worst case speed, Best case speed, worst case power, worst case zero, worst case one.

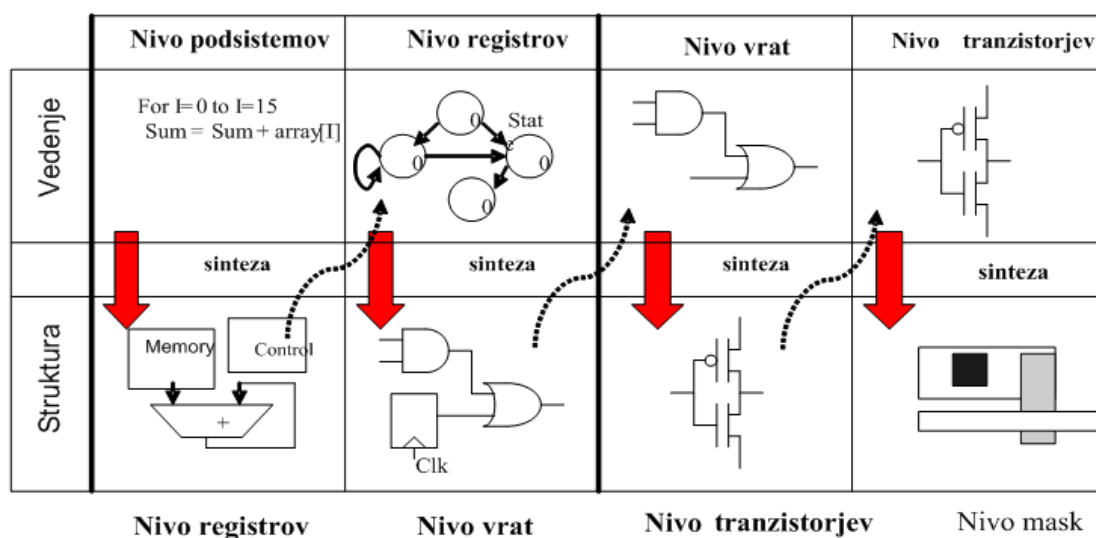
¹⁶⁷ HDL = Hardware Description Language

¹⁶⁸ Večinoma se pojavljajo VHDL, Verilog in C.

Omenili bomo samo nekaj prednosti HDL sinteze:

- zelo skrajša čas načrtovanja,
- omogoča načrtovanje zelo kompleksnih vezij,
- velika prenosljivost.

Izkoriščenost površine oziroma počasnost je največja slabost. Z ročnim načrtovanjem geometrije je možno doseči večjo izkoriščenost in hitrost. V začetnem obdobju¹⁶⁹ prevajalnikov je bilo razmerje hitrosti približno 1:8 v korist ročnega načrtovanja, danes pa še samo 1:2. Večino današnjih načrtovalcev logičnih vezij uporablja HDL. V razvoju je tudi različica, ki bo namenjena analognim vezjem.



Slika 6.7: Sinteza na različnih nivojih. Vir: lasten.

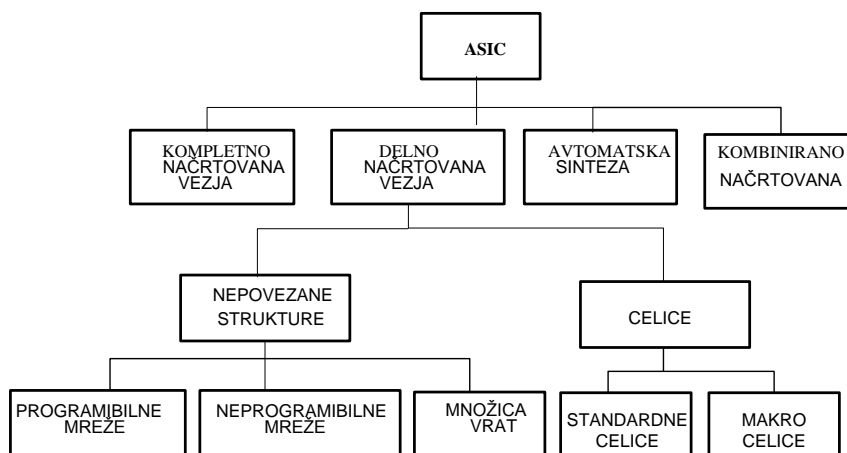
6.2.3. TAKSONOMIJA ASIC VEZIJ – NAČRTOVALSKI PRISTOPI

Na sliki 6.8 je prikazana taksonomija ASIC vezij oziroma načinov načrtovanja (design style, design methods). V bistvu obstajajo trije različni pristopi. V začetnem obdobju mikroelektronike je obstajal samo en način načrtovanja in realizacije integriranega vezja, kjer je bilo treba načrtati prav vse maske in določiti dimenzije prav vsakega tranzistorja. Takšno *kompletno načrtovanje* (Full Custom) je bilo izredno zahtevno delo in zaradi tega tudi zelo drago. Z večanjem tržišča oziroma povpraševanja so se kmalu pojavili razni alternativni pristopi, ki so prirejani za določne naročniške potrebe. V glavnem gre za različne kompromise med stroški načrtovanja in velikostjo čipa.

¹⁶⁹ D. Chinnery and K. Keutzer, "Closing the Gap Between ASIC and Custom: An ASIC Perspective", Proc. of the 2000 Design Automation Conference, str. 637-643, Junij, 2000.

Delitev se nanaša predvsem na delo, ki ga je treba vložiti v načrtovanje. Del vezja npr. načrta naročnik, preostanek pa opravi izdelovalec vezij. Tovrstno načrtovanje imenujemo *delno načrtovanje integriranih vezij* (Semi Custom).

Omeniti moramo še avtomatsko sintezo, pri kateri uporabimo poseben prevajalnik (silicon compiler), ki opis celotnega vezja ali pa samo enega dela prevede v podatke na nivoju mask. Slabost današnjih prevajalnikov se kaže predvsem v premajhni optimalnosti glede površine in hitrosti. Če pa so specializirani za določen tip vezja, se lahko zelo približajo optimalnim zahtevam. V tem primeru jih uporabljamo kot dodatno orodje pri načrtovanju. Običajno jih imenujemo kar *generatorje*. Npr. namesto da bi sami načrtali 512x8-bitni RAM, raje uporabimo ustrezen RAM generator.



Slika 6.8: Načrtovalski pristopi oziroma taksonomija načrtovanja ASIC vezij¹⁷⁰. Vir: lasten.

V naslednjih poglavjih bomo podrobneje opisali kompletno in delno načrtovanje ter na koncu napravili primerjavo. Načrtovalec se o vrsti pristopa odloča predvsem na podlagi različnih stroškov načrtovanja in implementacije, zahtevane hitrosti in pestrosti gradnikov ter časa, ki ga ima na razpolago za razvoj integriranega vezja.

6.3. KOMPLETNO NAČRTOVANA INTEGRIRANA VEZJA PO MERI

To je najstarejši in tudi najzahtevnejši pristop. Za to skupino integriranih vezij je značilno, da lahko načrtovalec spreminja dimenzije in geometrijo prav vsakega tranzistorja. To seveda pomeni, da mora načrtati **prav vse maske**, ki jih zahteva proces. Zato smo to skupino poimenovali *kompletno načrtovana vezja po meri*. To načrtovanje traja v primerjavi z drugimi pristopi **najdlje**. Ker moramo izdelati vse maske, se zaradi tega sicer povečajo stroški, vendar jih lahko kompenziramo z **manjšo površino silicija**, saj lahko izkoristimo prav vsak delček čipa. **Manjša površina pomeni tudi večjo hitrost delovanja**. Ko so vezja izdelana, je njihovo

¹⁷⁰ Delitev v literaturi ni enotna.

funkcijo v splošnem nemogoče spreminjati, ne da bi spremenili vsaj eno izmed mask. Če pri načrtovanju predvidimo posebne diode, ki jih lahko kasneje prežigamo, lahko tudi ta vezja delno spreminjamo. Takšno programiranje omogoča v primerjavi s PAL-om zelo malo različnih variant in jih zato nismo uvrstili v skupino programabilnih.

Pri kompletno načrtovanih vezjih je za funkcionalno pravilnost in za geometrijo v celoti odgovoren načrtovalec:

- spopasti se mora z zelo težavnim načrtovanjem,
- upoštevati mora razne stranske pojave, ki se težko predvidijo, predno vezje ni realizirano,
- poskrbeti mora za ustrezno zaščito pred tiristorskim pojavom itd.

Za ceno prej naštetih težav lahko načrtovalec vezje optimizira glede **površine** in **hitrosti**. Z načrtovanjem se lahko spusti do nivoja tranzistorjev. Seveda lahko pri tem uporablja že preskušene koncepte oziroma rešitve, ki jih ima spravljene v knjižnici. Te lahko po potrebi spreminja. Takšno načrtovanje je najdražje, vendar je površina silicija, ki je potrebna za izdelavo vezja, najmanjša glede na druge pristope. Manjša površina pomeni, da so povezave krajše in vezje je zaradi tega hitrejše. Zato je ekonomsko upravičeno le pri zelo velikih serijah, kjer z manjšo površino silicija pokrijemo stroške načrtovanja. Za tovrstno načrtovanje je potrebno zelo veliko izkušenj in znanja. Večina analognih vezij je načrtana po tej metodi. Ker so logična VLSI vezja preveč kompleksna, se uporabljajo drugi pristopi. Izjema so logični gradniki, ki se bodo pojavili v vezju v zelo velikem številu in niso preveč kompleksni (npr. pomnilna celica). Geometrija kompletno načrtovanih vezij v splošnem nima neke regularne strukture - izjema so npr. pomnilniki.

Kadar bomo vezje izdelovali v manjših serijah, kadar je čas načrtovanja pomemben in kadar hitrost delovanja vezja ni odločilna, je kompletno načrtovanje predrago. Prihranek, ki ga dobimo na manjši površini silicija pri majhnih serijah, ne pokrije vseh stroškov izdelave in načrtovanja. Vse stroške, ki jih imamo z integriranim vezjem, lahko v grobem razdelimo v dve skupini: stroški načrtovanja in stroški izdelave. **Stroški izdelave integriranega vezja so odvisni predvsem od površine, stroški načrtovanja pa od kompleksnosti vezja in postavljenih zahtev.** V preteklosti je največji del stroškov pri načrtovanju odpadel na načrtovanje geometrije. Pristop, ki bo v nadaljevanju podrobneje opisan, temelji ravno na tem prihranku.

6.4. DELNO NAČRTOVANA INTEGRIRANA VEZJA PO MERI

Če nismo popolnoma prepričani, da bomo lahko prodali ogromno število čipov, in če želimo čimprejšnjo realizacijo, potem se rajši odločimo za delno načrtovanje, ki porabi sicer več površine, je pa zato lažje, hitrejše in cenejše. Ta pristop delimo na dve veliki podskupini: na standardne celice in na nepovezane strukture.

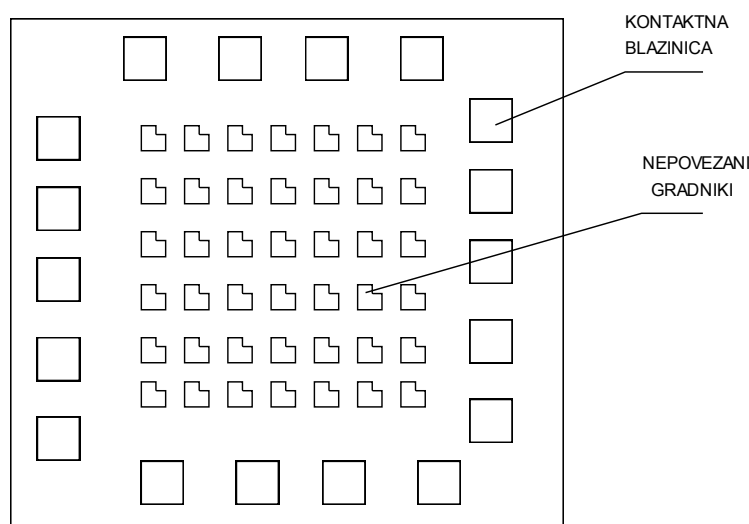
Nepovezane strukture temeljijo na množici že napravljenih, vendar **nepovezanih** gradnikov, ki se še vedno nahajajo na rezini. Postopek izdelave je potekal do metalizacije. Pri kompletno načrtovanih vezjih in pri vezjih, načrtovanih s standardnimi celicami (več o tem v naslednjem poglavju), je treba izdelati prav vse maske, kar je znoten del stroškov, posebej še, če imamo majhno serijo. Velikost serije lahko umetno povečamo, če uporabimo princip univerzalnosti: tovarna, ki izdeluje čipe, s študijo tržišča najprej ugotovi, katere gradnike bi načrtovalci potrebovali. Izbran nabor gradnikov razporedi po čipu in izdelavo ustavi, ko pride

do načrtovanja mask, ki definirajo povezave. Take rezine nato prodajajo. Tipični gradniki, ki jih srečamo v nepovezanih strukturah, so:

- MOS tranzistorji,
- primitivni logični gradniki,
- gradniki z MSI kompleksnostjo,
- analogni gradniki.

Prvotno so obstajali samo nepovezani MOS tranzistorji. Danes so to skorajda poljubni gradniki. Npr. del strukture je EPROM, del RAM, generator pravokotnih impulzov, ostalo pa primitivni logični gradniki.

Načrtovalec se na podlagi množice gradnikov in njihovega števila odloči o konkretni vrsti nepovezane strukture. Nato napravi načrt za povezovanje in tovarna čipov rezine izdela do konca.



Slika 6.9: Nepovezana struktura. Vir: lasten.

Tipične nepovezane strukture so:

- neprogramabilne ali nepovezane mreže (kovinske povezave oziroma maske načrta načrtovalec),
- programabilne¹⁷¹ mreže (povezave uporabnik sprogrмира) in
- množica vrat.

¹⁷¹ Angleški izraz je *programmable*, ki pa ga v slovenščino eni prevajajo kot programabilen drugi pa programabilen. Glede na pogostost zadetkov na spletu in na priporočilo Slovarja novejšega besedja slovenskega jezika, Založba ZRC, 2014 sem se odločil za programabilen.

6.3.1. NEPROGRAMABILNE MREŽE

Vežje, ki ima množico med seboj še **nepovezanih in sistematično razporejenih** osnovnih gradnikov in so izdelani samo do metalizacije, imenujemo *mreže*. V bistvu gre za **rezine, ki niso procesirane do konca** in imajo urejeno geometrijsko strukturo¹⁷². Uporabnik mora izbrati ustrezno mrežo (z zadostnim številom gradnikov), nato pravilno povezati osnovne gradnike in napraviti načrt za maske, ki definirajo povezave. Nato v tovarni procesirajo rezine do konca, jih razrežejo in čipe vstavijo v ohišja. Na ta način se stroški izdelave predhodnih mask razdelijo na več naročnikov in se s tem znižajo. Poslovno tveganje je samo ena ali dve maski (metalizacija), kar je znatno manj kot pri kompletno izdelanih vezjih.

Najbolj primitivni gradniki na neprogramabilnih¹⁷³ mrežah so pari tranzistorjev, upori in kondenzatorji. Gradniki so lahko tudi kompleksnejši: npr. množica vrat, operacijski ojačevalniki ipd. V nekaterih primerih je množica osnovnih gradnikov, ki jih ponujajo mreže, za načrtovanje večinoma preveč primitivna. Načrtovalec mora začeti z načrtovanjem gradnikov, kot so npr. NAND vrata. Določene rešitve ponujajo proizvajalci v obliki *makrojev*. To so že preskušene strukture, ki jih lahko pri načrtovanju uporabimo. Npr.: makro za NAND vrata si lahko predstavljamo kot nalepko, na kateri so narisane povezave, in jo lepimo na mrežo osnovnih gradnikov. Makroji so v CAE/CAD programskih paketih implementirani v obliki knjižnic, ki jih vzdržuje običajno proizvajalec. Izbor gradnikov večinoma narekuje tržišče.

Vse neprogramabilne mreže imajo podobno strukturo, sestavljeno iz jedra in perifernega področja (slika 6.10). *Periferne celice* so posebni gradniki, ki ležijo na robu (periferno območje) in so namenjene povezavi z nogicami oziroma zunanostjo tabletk. Zato imajo relativno veliko metalno površino in močnejše izhodne tranzistorje ter razne zaščite. Notranjost vezja sestavljajo vrste z gradniki, ki jih imenujemo *notranje celice*, ter povezovalni kanali.

Glede na gradnike v jedru tabletk in funkcijo, ki jo želimo realizirati, lahko razvrstimo mreže v tri skupine:

- logične mreže,
- analogne mreže in
- kombinirane mreže.

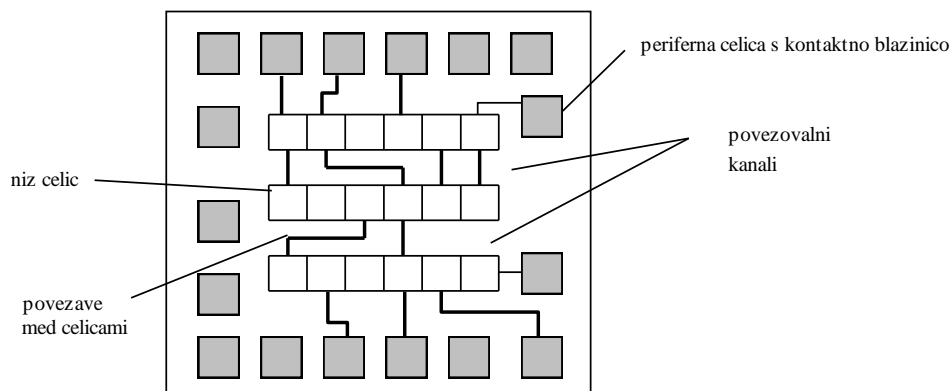
Gradnike povezujemo ročno (majhna vezja) ali pa s posebnimi programi, ki jih uvrščamo v skupino orodij za avtomatsko sintezo.

6.2.1.1. LOGIČNE MREŽE

To so strukture, ki so namenjene načrtovanju logičnih vezij. Pogosti kratici, s katerima poimenujemo logične mreže, sta **GA** (Gate Array) in **ULA** (Uncommitted Logic Array - nepovezana logična mreža). Najbolj primitivni osnovni gradniki, ki so nepovezani, so pari p- in n-MOS tranzistorjev. Pogosto proizvajalci na čipu ponujajo tudi razne uporabne gradnike (npr. reset logika). Običajno so v perifernem območju.

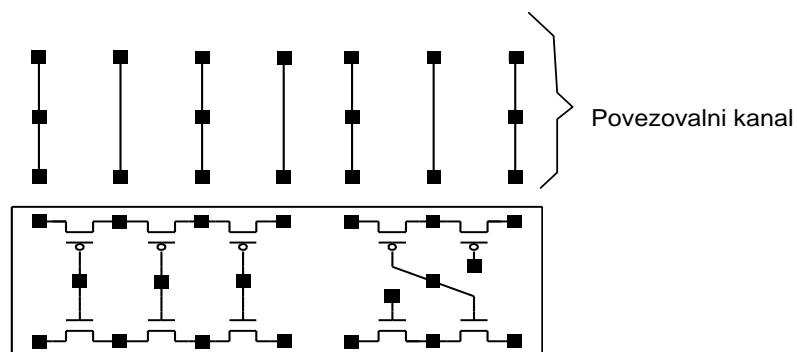
¹⁷² Angl.: mask-programmable gate array (MPGA), uncommitted array. Terminologija ni enotna oziroma konsistentna.

¹⁷³ Atribut neprogramabilna je dodan zato, ker po končanem procesiranju (vse faze) funkcije teh vezij ne moremo več spreminjati.

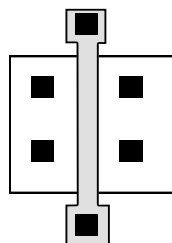


Slika 6.10: Poenostavljena geometrija logične mreže. V resnici imamo večje število vrst in njihova dolžina je večja. Vir: lasten.

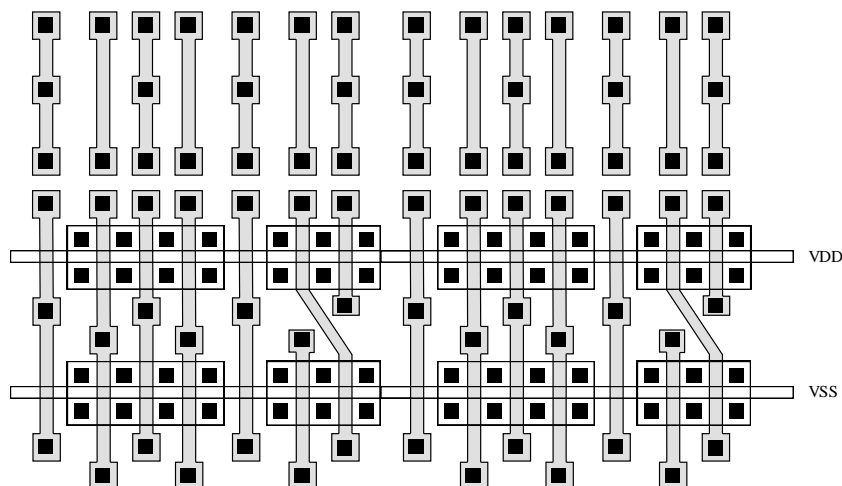
Tipično celico v jedru, ki jo sestavljajo pari MOS tranzistorjev in del povezovalnega kanala prikazujeta sliki 6.11 in 6.13. Velikost logičnih mrež se določa s številom ekvivalentnih vrat. Proizvajajo jih v različnih velikostih: od 200 do 200 000 vrat. Logične mreže z visoko kompleksnostjo srečujemo redko, saj porabijo preveč prostora za povezave (slaba izkoriščenost silicijeve površine).



Slika 6.11: Z okvirjem je označena vsebina ene celice iz notranjosti logične mreže. Kvadrati so kontakti, ki so dostopni pri povezovanju. Na vrhu se vidi še del povezovalnega kanala. Vir: lasten.



Slika 6.12: Struktura enega tranzistorja. Vir: lasten.

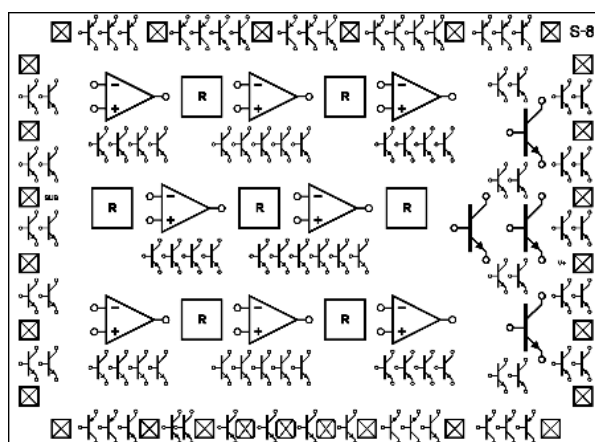


Slika 6.13: Struktura celice s slike 6.11. Zaradi preglednosti niso narisane vse podrobnosti (npr. otoki). Prostor, ki je rezerviran za linijo z napajalno napetostjo, je že narisano. Vir: lasten.

Na sliki 6.11 je prikazana ena celica iz jedra in del kanala ULA vezja. V celici je pet parov komplementarnih MOS tranzistorjev s polikristalnimi vrati. Vertikalne povezave v kanalu so polikristalne in jih uporabljamo pri križanju in povezovanju linij. Da bi bilo povezovanje enostavnejše, so med elementi ene celice vse povezave polikristalne. Geometrijo te celice prikazuje slika 6.13.

6.2.1.2. ANALOGNE IN ANALOGNO-DIGITALNE MREŽE

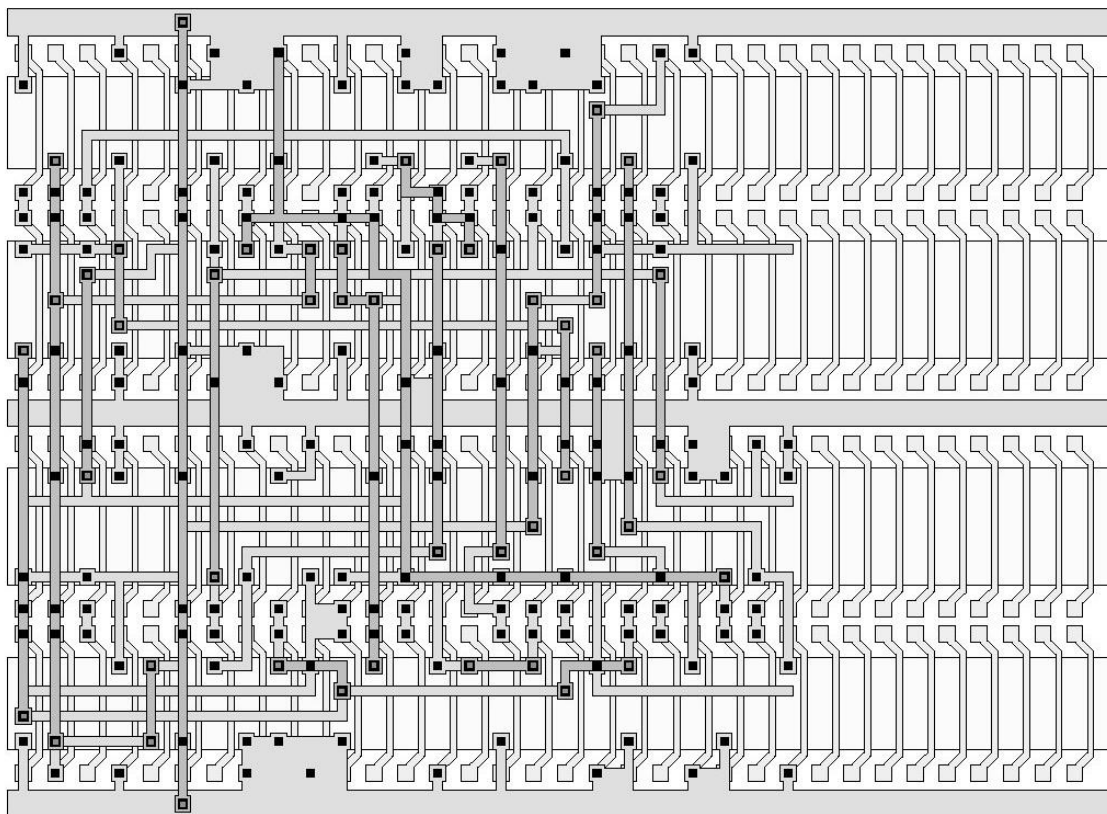
Analogna mreža je zgrajena podobno kot logična mreža. Na rezini so nepovezani analogni gradniki, npr.: tranzistorji, upori, operacijski ojačevalniki (glej sliko 6.14). Analogne mreže se uporabljajo za realizacijo analognih funkcij. Pri mrežah z zelo nizko kompleksnostjo (npr. 20 tranzistorjev, 50 uporov) za načrtovanje geometrije sploh ne potrebujemo posebne CAE opreme. Povezave narišemo kar z debelejšim barvnim svinčnikom in te podatke pošljemo v tovarno. Z dodatkom logičnih gradnikov dobimo analogno-digitalne mreže.



Slika 6.14: Analogna mreža S8 švedske firme SGA. Uporabnik ima za povezovanje na razpolago drugi kovinski nivo. Vir: "SLA Linear Arrays S-Series", prospekt firme SGA, 1999.

6.3.2. MNOŽICA VRAT (SEA OF GATES)

Kadar imamo na razpolago več plasti za povezovanje, povezovalnih kanalov več ne potrebujemo. Pridobljen prostor lahko zapolnimo z dodatnimi gradniki. Tako dobljeno strukturo, ki ima večjo gostoto gradnikov kot navadna mreža, imenujemo množica vrat (Sea of Gates ali SOG). Podobno kot pri nepovezanih mrežah mora tudi tukaj načrtovalec definirati samo povezave. Teh povezav ne rišemo ročno, ampak si pomagamo s posebnimi orodji (več o tem je v poglavju Avtomatska sinteza).



Slika 6.15: Množica vrat (sea of gates). Na levi je del čipa, ki ima že povezane tranzistorje, na desni so vrste nepovezanih tranzistorjev in linije z napajalno napetostjo. Vir: [WESTE,2005].

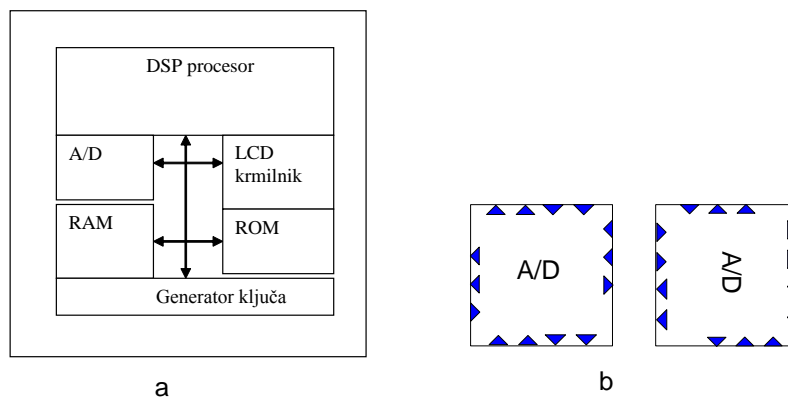
6.3.3. MAKRO CELICE

To so večinoma zelo kompleksni gradniki (RAM, mikrokontroler, A/D pretvornik itd.), ki jih prodaja načrtovalska hiša. Gre za že preizkušene rešitve, ki so bile preverjene z meritvami. V bistvu gre prodajo intelektualne lastnine¹⁷⁴. Prodajalec ponuja geometrijsko strukturo, opis karakteristik in ustrezen model, ki omogoča vključitev celice v simulacijo. Glede na podatke, ki jih daje načrtovalec, ločimo dve vrsti makro celic:

¹⁷⁴ Intellectual Property Blocks (IP blocks).

- Znana je samo geometrijska struktura, shema vezja pa ne (hard IP bloks).
- Znana je samo shema vezja (soft IP blocks).

S pomočjo makro celic lahko zelo hitro sestavimo čip, ki bo opravljal zelo kompleksne naloge.



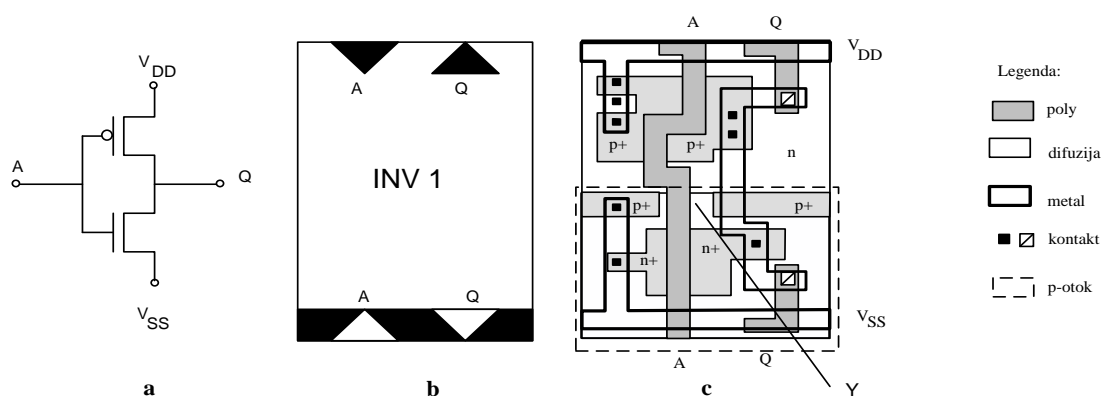
Slika 6.16: Zgled čipa, ki je sestavljen iz 5 kupljenih makro celic in lastnega dela (generator ključa), ki ga je načrtal načrtovalec (a). Makro celico lahko v večini primerov poljubno obrnemo (b). Vir: lasten.

6.3.4. NAČRTOVANJE S (STANDARDNIMI) CELICAMI

Kompletno načrtovanje se lahko poenostavi, če načrtujemo s celicami (Cell Based Design). *Celica* je funkcionalno zaključen gradnik, katere geometrijska struktura je na takšen način zasnovana, da poenostavlja načrtovanje geometrije (glej sliko 6.17). Lahko jih ustvarimo sami ali pa jih kupimo. Tipične celice so: NAND vrata, števcji, operacijski ojačevalniki, vhodno-izhodne celice itd. Nekatere so lahko zelo primitivne (npr. upori, močnejši tranzistorji), nekatere pa so lahko kompletni funkcijski podsistemi (npr. A/D pretvornik, RAM itd.). V CAE/CAD programskih paketih za načrtovanje so celice organizirane v ustreznih knjižnicah.

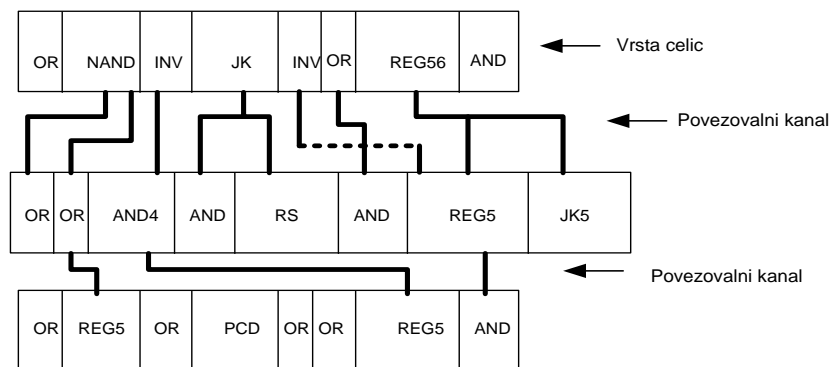
Ker se načrtovalcu ni treba spuščati v načrtovanje gradnikov, je tudi čas, potreben za razvoj, bistveno krajši kot pri popolnem načrtovanju. Velikost celic in celoten sistem geometrije je tako izbran, da se tudi **načrtovanje geometrije zelo poenostavi**.

Načrtovalec načrtuje geometrijo vezja s sestavljanjem in povezovanjem **enako visokih** pravokotnih likov – celic (glej sliko 6.18). Tako načrtovanje imenujemo načrtovanje s standardnimi *celicami*.



Slika 6.17: (a) Invertor, (b) simbol celice, ki ga vidi načrtovalec¹⁷⁵, (c) notranjost celice. Področje NMOS tranzistorjev je označeno z Y. Celice ne smemo poljubno obrniti, saj morajo ležati v vrsti. Vir: [UYEMURA,1995], [BAKER,2010].

Načrtovalec mora poznati položaj priključkov, dimenzije celice in njihovo funkcijo. Celice ustrezno razporedi v vrste in jih nato ustrezno poveže (glej sliko 6.18). Podobno velja za periferni del čipa, ki vsebuje vhodne oziroma izhodne celice. Na pogled je geometrija podobna tisti, ki smo jo srečali pri mrežah. Tukaj si lahko sami izbiramo razporeditev celic in širino kanalov, pri mrežah pa ne. Mreže so bile tudi delno že izdelane, saj so manjkale samo povezave. Tukaj pa je treba izdelati prav vse maske - enako kot pri kompletnem načrtovanju.



Slika 6.18: Načrtovalec razmesti celice v vrste in nastavi ustrezne širine povezovalnih kanalov. Nato celice poveže. Razmeščanje in povezovanje lahko izvede tudi poseben program (autorouter). Vir: lasten.

Kupljene celice. V večini primerov je načrtovalcu notranjost zakrita oziroma manjka. Geometrijo celic je izdelal ekspert oziroma proizvajalec čipov. Le-ta je tudi poskrbel za pravilno delovanje in za zaščito pred tiristorskim pojavom. Vse celice so bile že najmanj enkrat izdelane in tudi preizkušene. Treba jih je samo pravilno razmestiti in povezati. Za načrtovanje s standardnimi celicami potrebujemo ustrezno programsko opremo, saj je treba prilagoditi simulator in razne preverjevalne programe. V tovarni geometrijo čipa kompletirajo: v prazne

¹⁷⁵ Oblika simbola ni enotna in je odvisna od načrtovalske programske opreme.

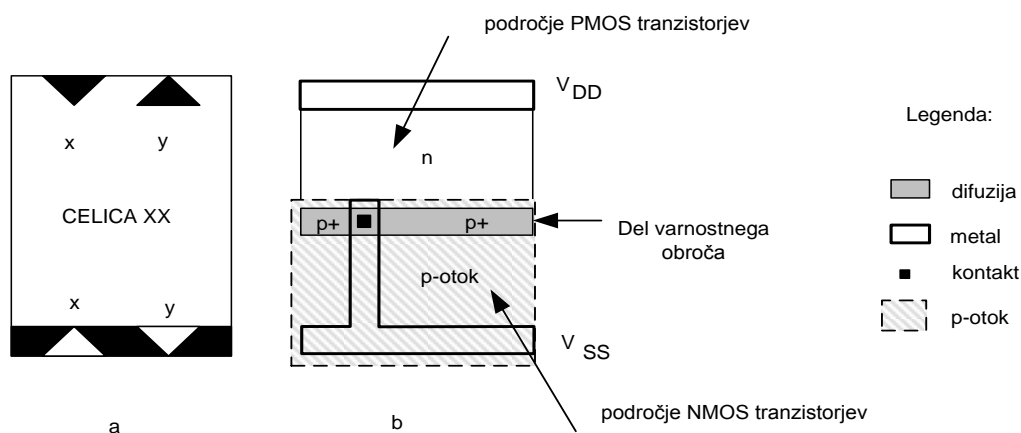
prostore celic vstavijo ustrezne geometrije. Npr. v inverter s slike 6.17 b bi vstavili geometrijo 6.17 c.

Lastne celice. Kadar pričakujemo, da bomo določen gradnik ali del vezja večkrat uporabili, je smiselno, da ga definiramo kot celico in shranimo v knjižnico. Če gre za isto tehnologijo, lahko celice prenašamo iz projekta v projekt. Za razliko od kupljenih celic lahko po potrebi vsebino celice ustrezno spremenimo.

Zgled

Na sliki 6.19 je prikazana notranjost splošne CMOS standardne celice. Vsaka celica je razdeljena na dve področji: na n-področje (substrat) in na p-otok. Področje n je predvideno za p-kanalne in p-otok za n-kanalne tranzistorje. Na zgornjem robu na nivoju kovine poteka napajalna napetost V_{DD} , na spodnjem pa V_{SS} . Če so celice postavljene ena poleg druge, se napajalne napetosti pravilno nadaljujejo. Podobno velja za p-otok. S tem prihranimo pri površini, saj ima lahko več celic skupen p-otok.

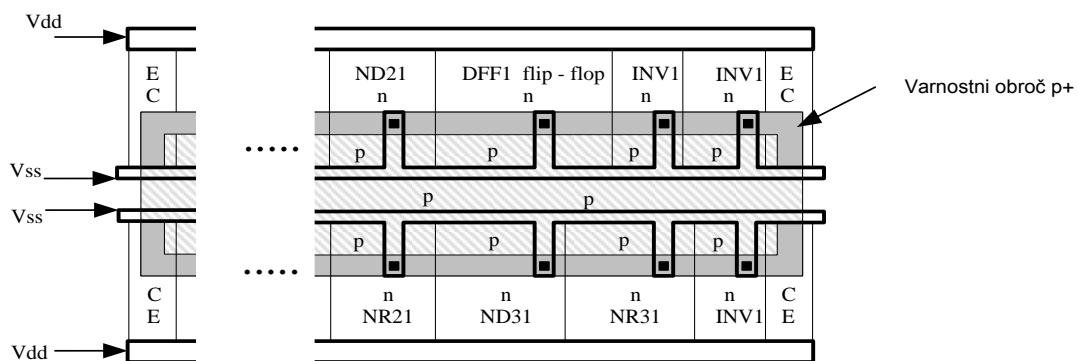
Vsak gradnik ima tudi priključke (vhodi in izhodi), s katerimi se povezuje z drugimi celicami. Ker je na zgornjem in spodnjem robu napajalna napetost na nivoju kovine, je edina možna povezava izvedena s polikristalnim silicijem, ki leži pod kovino. Običajno so priključki na zgornjem robu enako razporejeni kot na spodnjem.



Slika 6.19: Struktura standardne celice je sestavljena iz dveh področij. Vir: lasten.

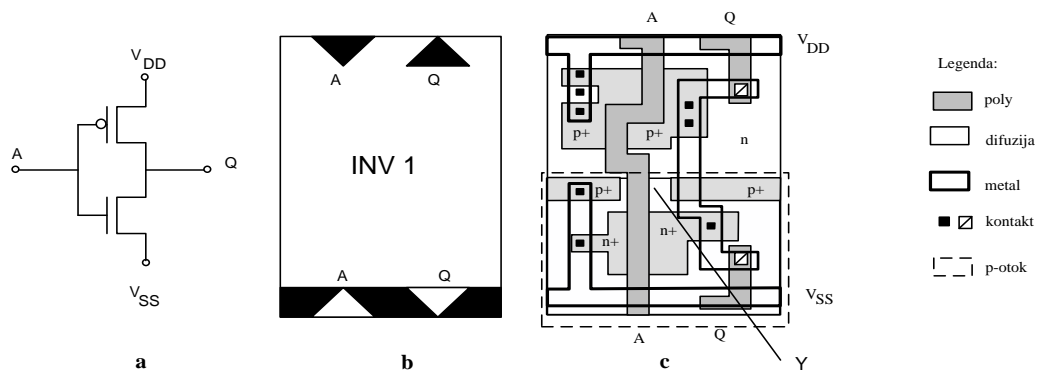
Ker gre za CMOS vezja, je treba rešiti problem tiristorskega pojava. Ta problem je za načrtovalca transparenten, saj so celice tako sestavljene, da z ustreznim sestavljanjem gradimo takšno strukturo, ki je odporna proti tiristorskemu pojavu. V primeru n-substrata in p-otokov mora biti vsak otok obkrožen s p-obročem, ta pa na več mestih priključen na napajalno napetost V_{SS} . Če primerno postavimo naslednjo vrsto (le-ta mora biti zrcaljena preko x-osi), lahko prihranimo pri površini, saj je p-otok skoraj popolnoma obdan s p-obročem.

Iz tega sledi, da moramo imeti vedno **parno** število vrst - vrsti s p-kanalnimi tranzistorji sta obrnjeni druga proti drugi. Obroč je sicer na dveh mestih prekinjen, vendar zaradi tega njegova vloga ni znatno zmanjšana. Vsaka druga (parna) vrsta mora biti torej zrcaljena preko x osi (glej sliko 6.20).



Slika 6.20: Dve sosednji vrsti standardnih celic. Zaradi večje preglednosti je p+ posebej poudarjen s sivo. Vir: lasten.

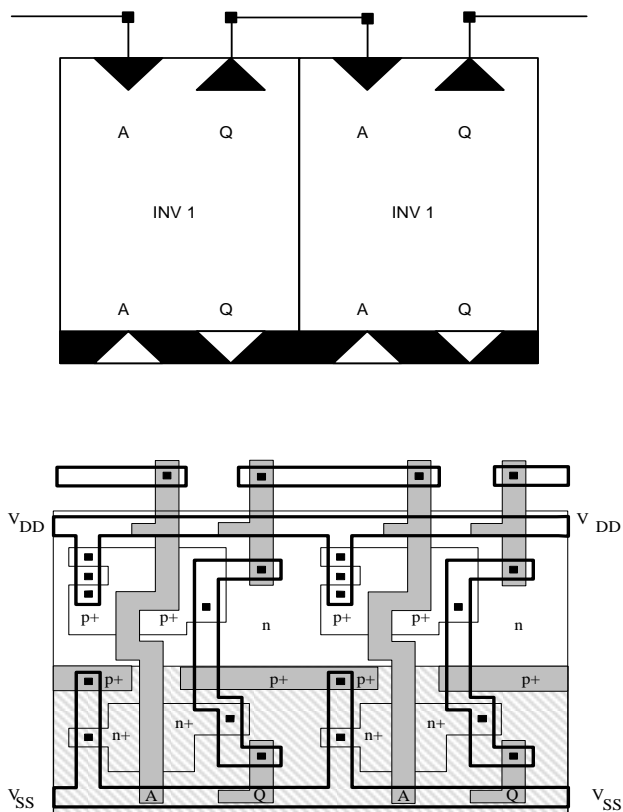
Za zgled si pogledjmo preprost CMOS inverter, ki je prikazan na sliki 6.17 in na sliki 6.21. Inverter ima en vhod (A) in en izhod (Q). Oba sta simetrično nameščena na spodnjem in na zgornjem robu. Oba priključka A in Q sta realizirana na nivoju polikristalnega silicija. Ker na preseku polikristalnega silicija in difuzije nastane tranzistor, je potrebno p⁺ zaščitni obroč na mestu Y prekiniti.



Slika 6.21: Struktura inverterja. Vir: [UYEMURA,1995].

Ker je višina celic nespremenljiva, lahko večamo potrebno površino samo v horizontalni smeri. Npr. RS flip-flop je širši kot inverter, saj vsebuje več tranzistorjev.

Na sliki 6.22 je prikazana struktura dveh povezanih inverterjev. Za povezovanje celic imamo na razpolago kovino in polikristalni silicij. Če lahko izbiramo, potem izberemo kovino, saj ima manjšo upornost. To je še posebej pomembno pri dolgih povezavah.



Slika 6.22: Geometrijska struktura dveh povezanih invertorjev. Vir: lasten.

6.3.5. PROGRAMABILNE MREŽE

To so nepovezane strukture, kjer gradnike povezujemo z vpisom ustreznih podatkov v RAM. To lahko storimo, ko je komponenta že prispajkana oziroma med samim delovanjem. S spremembo povezav spreminjamo tudi funkcionalnost. Ker povezave na določen način programiramo¹⁷⁶ jih označujemo jih s kratico FPD (Field Programmable Devices). Gre za dokončno izdelane čipe ali pa makro celice. Ker imajo neko ponavljajočo strukturo, jih uvrščamo k mrežam. Glede na gradnike, ki jih vsebujejo, jih delimo v logične in analogne programabilne mreže. Ta vezja so sestavljena iz niza vhodnih in izhodnih celic ter funkcionalnih celic, s katerimi realiziramo zahtevane funkcije. Gradniki, ki jih imamo pri sintezi na razpolago, so v večini primerov razna vrata in pomnilni elementi (flip-flopi). Vhodne celice so v najbolj preprostih primerih navadni močnostni ojačevalniki s komplementarnima izhodoma.

Funkcijo vezja določimo tako, da v ustrezen pomnilnik vpišemo podatke o povezanosti funkcionalnih gradnikov. Pomnilni element je lahko ROM, EPROM, RAM, NOVRAM itd.

¹⁷⁶ V večini literature so programabilna vezja klasificirana k ASIC vezjem.

Primeri: PROM, FPLA, PLA, FPGA, FPAA itd¹⁷⁷. Pri načrtovanju se v danes uporabljajo ustrezna orodja, ki omogočajo delno ali pa popolno avtomatsko sintezo.

Za ta vezja se načrtovalci odločajo v naslednjih primerih:

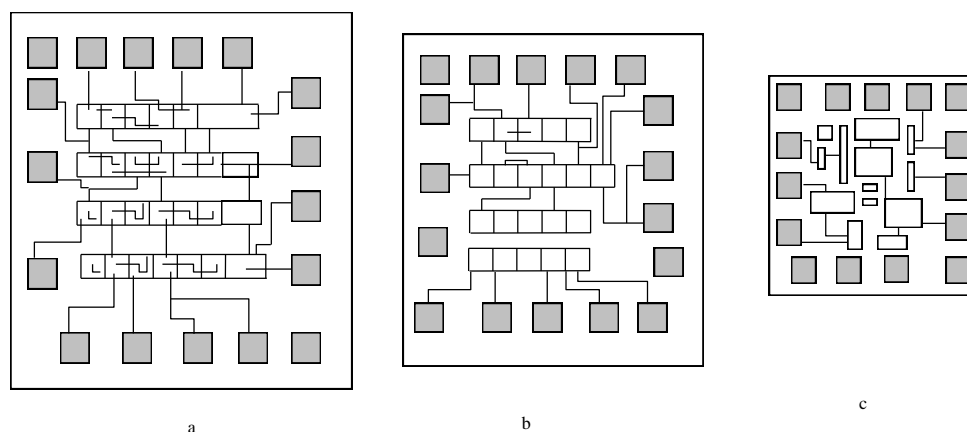
- kadar želijo izdelati prototip,
- kadar vezje ni pretirano kompleksno in
- kadar vezje ne bo izdelano v velikih serijah.

S FPD elementi se večinoma srečamo v obliki čipa. Današnja tehnologija omogoča, da na delu čipa, ki ga načrtujemo, napravimo tudi FPD strukturo. Na ta način dobimo vezje po meri, katerega lastnosti oziroma funkcijo lahko tudi delno programiramo.

6.5. PRIMERJAVA MED NAČRTOVALSKIMI PRISTOPI

1. Stroški izdelave

Stroški izdelave so odvisni predvsem od površine čipa. S kompletnim načrtovanjem lahko isto vezje realiziramo na najmanjši površini oziroma vsa površina je skoraj v celoti izkoriščena. Pri standardnih celicah del neizkoriščenega prostora ostaja v povezovalnih kanalih. Podobno je pri mrežah, kjer zelo redko uspemo uporabiti prav vse gradnike. Zato imajo mreže najslabšo izkoriščenost silicija. Ker so stroški proizvodnje odvisni predvsem od velikosti čipa, se pri velikih serijah odločamo za standardne celice oziroma kompletno načrtovanje.



Slika 6.23: Primerjava geometrije treh vezij: (a) mreža, (b) standardne celice in (c) kompletno načrtovano vezje. Vir: lasten.

¹⁷⁷ Dober pregled FPD vezij je v članku S. Brown, J.Rose: "*FPGA and CPLD Architectures: A Tutorial*", IEEE Design & Test of Computers, summer 1996, str. 42-75.

2. Stroški načrtovanja

Stroški načrtovanja so povezani s potrebno programsko opremo, s tehnologijo in časom, ki je potreben za načrtovanje. Najnižji stroški načrtovanja so pri ASIC programabilnih vezjih, kjer je programska oprema zelo poceni (navaden PC). Neprogramabilne mreže so za manjše serije zelo privlačen pristop. Dražje je načrtovanje s standardnimi celicami. Najzahtevnejše je kompletno načrtovanje, ki zahteva zelo dosti časa, zahtevna CAE/CAD orodja in zelo dosti znanja ter izkušenj. Stroške procesiranja je možno znižati tudi tako, da si površino na rezini razdeli več naročnikov¹⁷⁸. To je še posebej koristno, če gre za preskušanje novih idej.

3. Čas načrtovanja

Trajanje načrtovanja je odvisno od kompleksnosti vezja, njegove zanesljivosti in od načrtovalskega pristopa. Programabilna vezja lahko v celoti načrtamo in programiramo tudi v enem dnevu. Za mreže traja načrtovanje in izdelava čipov dlje (od nekaj tednov do nekaj mesecev). Še dlje traja načrtovanje s standardnimi celicami. Kompletno načrtovanje traja več kot leto dni. Pri načrtovanju z makro celicami lahko relativno hitro pridemo do delujočega vezja.

Tabela 6.1: Primerjava med različnimi pristopi načrtovanja. Vir: lasten.

	Kompletno načrtovanje	Standardne celice	Mreže	Makro celice	FPD-programabilna vezja¹⁷⁹
velikost gradnika	poljubna	konstantna višina	nespremenljiva	poljubna	nespremenljiva
vrsta gradnika	poljubna	poljubna	nespremenljiva	poljubna	programabilna
namestitev	poljubna	samo v vrsti	nespremenljiva	poljubna	nespremenljiva
povezave	poljubne	poljubne	poljubne	poljubne	programabilne
cena orodij	visoka	srednja	srednja	visoka	zelo nizka
gostota	zelo velika	velika	srednja	velika	nizka
karakteristike	zelo dobre	zelo dobre do srednje	srednje	zelo dobre	nizke
izdelava	vse maske	vse maske	samo povezave	vse maske	
fleksibilnost	majhna	majhna	majhna	majhna	velika
potreben čas	dolg	kratek	kratek	kratek	zelo kratek

¹⁷⁸ V angl. multiproject.

¹⁷⁹ Po naši taksonomiji FPD vezja ne spadajo v skupino ASIC vezij. Dodana so samo za primerjavo.

4. Električne karakteristike

Ker s kompletnim načrtovanjem dosežemo najmanjšo površino, so ta vezja glede na druga najhitrejša in porabijo najmanj moči.

Mnoga podjetja se zatekajo h kompromisnim rešitvam. Da bi čim prej prišla s čipom na tržišče, ga najprej realizirajo z mrežami. Ko se izkaže, da so trendi na tržišču ugodni, pristopijo h kompletnem načrtovanju.

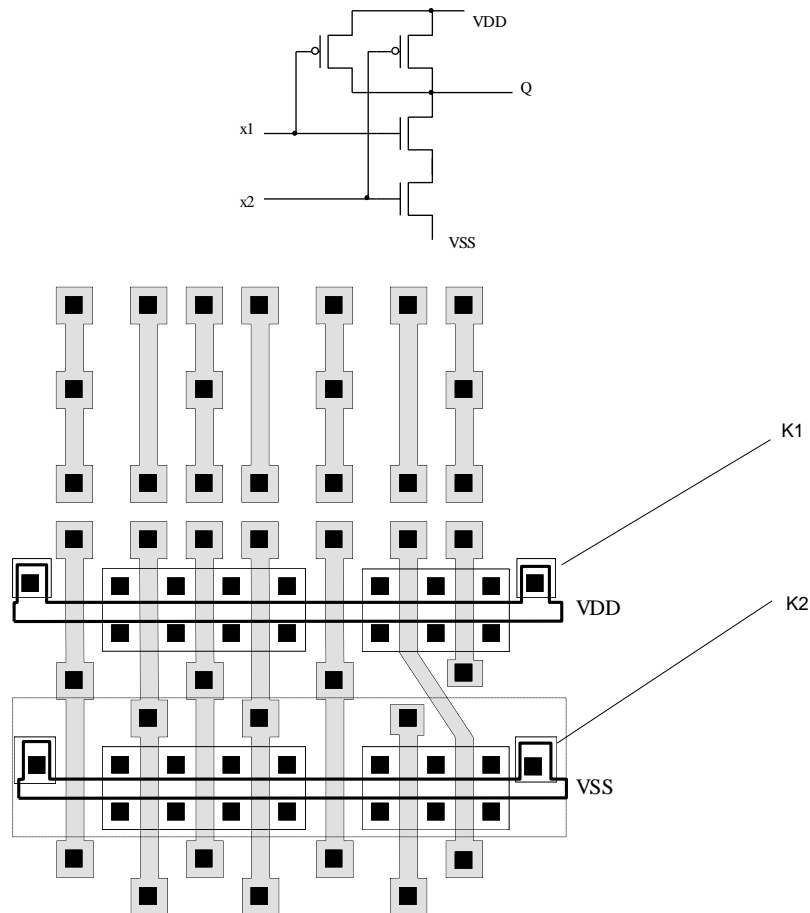
5. Fleksibilnost na spremembe

Pogosto se zgodi, da se kasneje spremenijo specifikacije, kar pomeni, da je treba spremeniti funkcionalnost sistema. Če smo to predvideli, lahko to do neke mere dosežemo z različnimi prevezavami na priključkih ali pa z delnim programiranjem določenih programabilnih celic (npr. PAL celice) na čipu. Tukaj se kaže velika prednost FPGA vezij, kjer to dosežemo z enostavno spremembo programa.

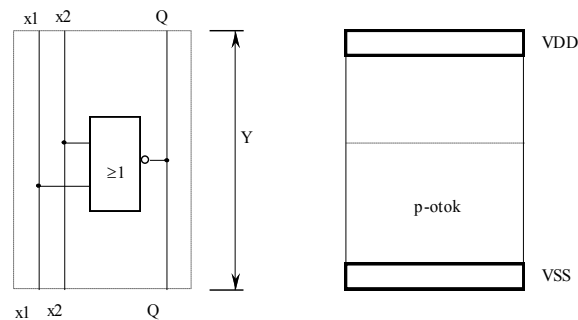
V tabeli 6.1 je na pregleden način prikazana primerjava med različnimi pristopi načrtovanja.

6.6. VPRAŠANJA IN NALOGE

- Na sliki je prikazan del CMOS logične mreže. Ustrezno poveži tranzistorje, da boš dobil vezje, ki ga prikazuje slika (dvovhodna NAND vrata). Vsi tranzistorji naj imajo enake dimenzije. Pod VDD linijo so p-kanalni, pod VSS pa n-kanalni MOS tranzistorji. Zaradi večje preglednosti so vsi kontakti črno pobarvani. Kakšna je vloga kontaktov K1 in K2 (označena sta samo dva)? Zakaj so obkroženi s tankim pravokotnikom?



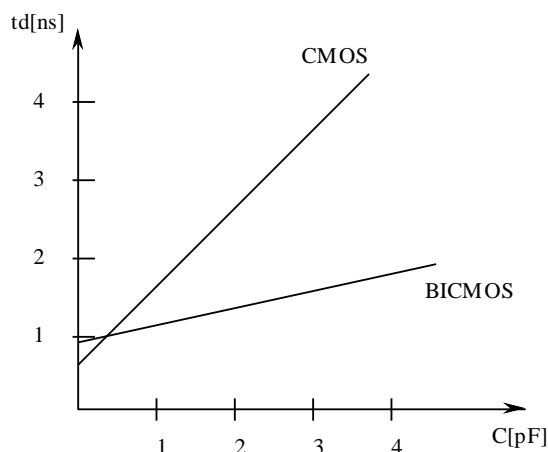
- Napravi načrt za 2-vhodna NAND vrata, ki bodo realizirana v obliki standardne celice. Pri načrtovanju upoštevaj položaj priključkov x1, x2 in Q. Da bo vaja lažja, si sam izberi višino Y. Spodnja polovica celice je p-otok. Na zgornjem oziroma spodnjem robu celice teče kovinska povezava z napajalnima napetostima.



7. IZBRANA POGLAVJA

7.1. BiCMOS

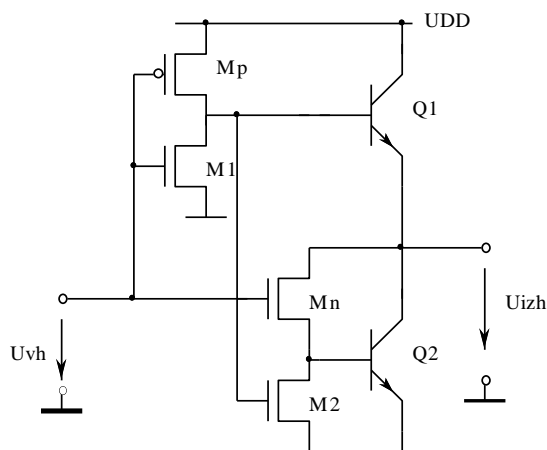
Bipolarni tranzistor je v primerjavi z unipolarnim hitrejši, lahko ga bolje izkrmilimo in ima večje transkonduktančno ojačenje. Glede površine je slabši od MOS tranzistorja, saj ga je treba vedno izolirati. Ker se izolacija izvaja z globoko p⁺-difuzijo, porabi precej prostora (vertikalna difuzija je približno enaka lateralni!). Bipolarna vezja porabijo tudi več moči. Sicer je CMOS tehnologija, ki je bila optimizirana za izdelavo MOS tranzistorjev, omogočala tudi izdelavo bipolarnih, ki pa so bili slabše kakovosti. Z razvojem tehnologije oziroma povečanjem števila procesnih korakov je bilo kmalu mogoče obe tehnologiji združiti v eno, ki jo označujemo z BiCMOS¹⁸⁰. Ker imajo načrtovalci BiCMOS vezij na razpolago večji nabor gradnikov, so njihova vezja po karakteristikah večinoma boljša od čistih CMOS.



Slika 7.1: Zakasnitev konvencionalnih tokovno zmogljivih ojačevalnikov (bufferjev) v odvisnosti od kapacitivnosti bremena. Vir: [KANG,1996].

Pri načrtovanju lahko del integriranega vezja realiziramo z ECL gradniki, del pa s CMOS. Obstajajo pa tudi posebni BiCMOS logični gradniki, ki imajo bipolarne tranzistorje samo na izhodu, logični del pa je realiziran s CMOS tranzistorji. Za zgled pogledjmo preprost BiCMOS invertor, ki ga prikazuje slika 7.2.

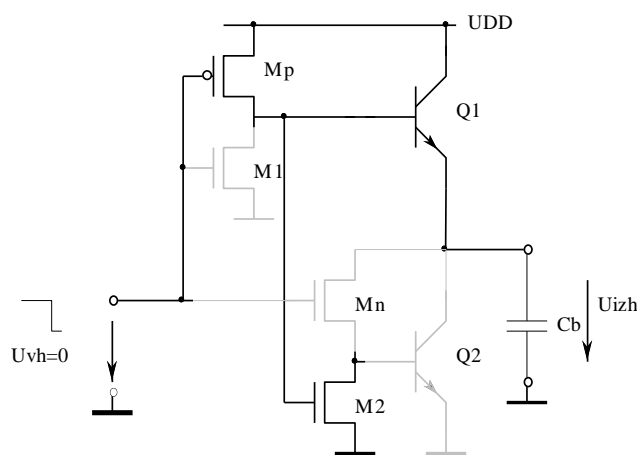
¹⁸⁰ Ker BiCMOS tehnologija omogoča hkratno izdelavo CMOS in bipolarnih elementov, vsebuje še več procesnih korakov kot bipolarna. Ker je v tej skripti večji poudarek na elektroniki kot na sami tehnologiji, sem opis tehnologije izpustil.



Slika 7.2: BiCMOS invertor. Vir: [UYEMURA,1995], [KANG,1996].

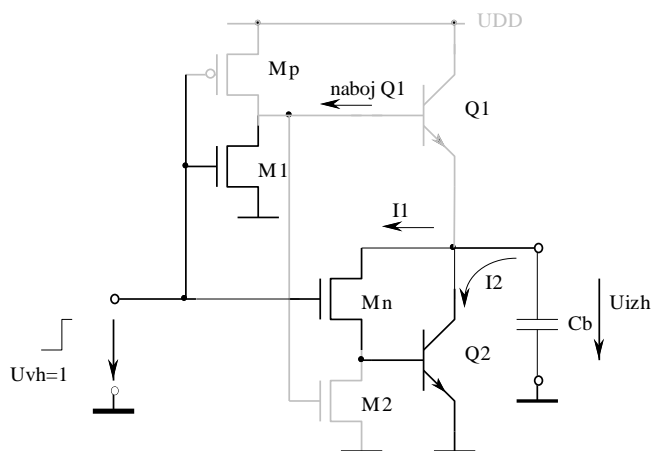
Ko na vhod priključimo 0 V, prevaja Mp, Mn in M1 sta zaprta (glej sliko 7.3). Ker prevaja Mp, prevaja tudi M2. Baza Q1 je priključena preko Mp na UDD. Ker prevaja M2, je Q2 zaprt. Na izhodu se pojavi napetost $U_{DD}-U_{BE1}$. Sedaj na vhod priključimo logično enico (glej sliko 7.4). Visoka napetost na vhodu zapre Mp in M2. Ker prevaja M1, je zaprt M2. Ker M1 prevaja, izprazni naboj, ki je v bazi Q1. Že pri obravnavi ECL vezij smo ugotovili, da preklop tranzistorja iz področja nasičenja povzroča zakasnitev. Ker Mn prevaja, poveže bazo Q2 s kolektorjem. Na ta način Q2 ne preide v nasičenje, ampak ostane na meji linearnega režima¹⁸¹. Na izhodu je sedaj 0,6 V.

Pri CMOS invertorju smo uspeli, da je bila razlika med logičnimi nivoji enaka U_{DD} , tukaj pa je $U_{DD}-2U_{BE}$. Ker je to pri nizkih napajalnih napetostih moteče, dodajo dodatne tranzistorje, kar pa gre seveda na škodo večje površine.



Slika 7.3: Tokovi pri preklopu vhodne napetosti na logično ničlo (aktivni tranzistorji so poudarjeni). Vir: lasten.

¹⁸¹ Za nasičenje mora biti U_{BC} rahlo pozitivna.



Slika 7.4: Tokovi in aktivni tranzistorji pri preklonu vhodne napetosti na logično enico. Vir: lasten.

Če primerjamo površino CMOS invertorja z BiCMOS, vidimo, da ima slednji precej večjo. Pri načrtovanju se je treba torej odločiti za kompromis med hitrostjo in površino. BiCMOS gradnike uporabljamo predvsem na obrobju tabletko, kjer so izhodni bufferji, ki morajo krmiliti zunanja bremena. Če se ne soočamo s prevelikimi zakasnitvami, se v notranjosti tabletko odločamo raje za CMOS. Zelo obremenjena vozlišča raje krmilimo z BiCMOS gradniki. Več o načrtovanju BiCMOS vezij je v [PLETERŠEK,2006].

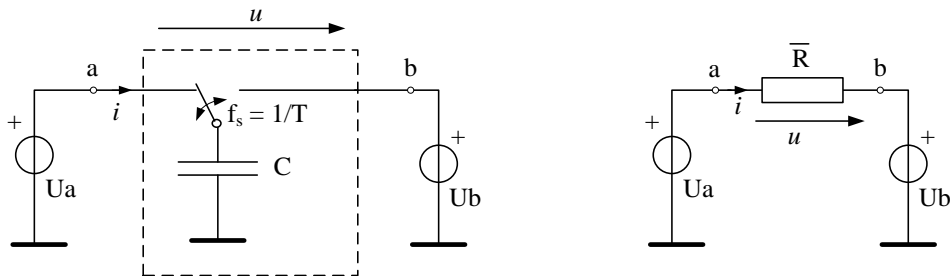
7.2. SC VEZJA

Povpraševanje po natančnih filtrih, A/D oziroma D/A pretvornikih, je postavilo načrtovalce integriranih vezij pred velik problem. Za izdelavo takih vezij namreč potrebujemo komponente z zelo majhno toleranco. Lastnosti vsakega elementa so odvisne od profila nečistoč in od dimenzij. Ker dimenzije dosti bolj kontroliramo kot nečistoče, skušamo tako načrtovati, da so lastnosti gradnika odvisne predvsem od dimenzij elementov oziroma uporov (npr. $A_u = -R_2/R_1$). Tabela 7.1 prikazuje relativne razlike med elementi, ki naj bi imeli enake dimenzije. Kondenzator izrazito izstopa po natančnosti izdelave in temperaturni stabilnosti. Integrirana vezja so bila v začetku večinoma enosmerna vezja, pri katerih so kondenzatorje redko uporabljali. Ključni element, ki je določal natančnost neke lastnosti, je bil večinoma upor. Za zamenjavo upora s kondenzatorjem je bila potrebna korenita sprememba v načinu načrtovanja.

Tabela 7.1: Relativna razlika med nekaterimi elementi [ONG,1986]

element	dimenzije	relativno ujemanje	temp. koef.
R difuzijski	$W = 50 \mu\text{m}$	$\pm 0,4 \%$	$2000 \text{ ppm}/^\circ\text{C}$
R ionska implantacija	$W = 40 \mu\text{m}$	$\pm 0,12 \%$	$400 \text{ ppm}/^\circ\text{C}$
C (MOS kond. $t_{\text{OX}} = 0,1 \mu\text{m}$)	$L = 250 \mu\text{m}$	$\pm 0,06 \%$	$26 \text{ ppm}/^\circ\text{C}$

V nadaljevanju bomo na kratko prikazali osnovni koncept vezij, pri katerih imata operacijski ojačevalnik, kondenzator in stikalo ključno vlogo. Ta vezja imenujemo SC vezja (Switched Capacitor Circuit) ali **preklopna kondenzatorska vezja**. Najprej bomo napravili zamenjavo upora, nato pa obravnavali preprost zgled z integratorjem.



Slika 7.5: Koncept SC upora. Vir: lasten.

Predpostavimo, da imamo kondenzator, ki ga lahko s frekvenco f_c preklapljammo s točke a na točko b (slika 7.5). Med sponkama a in b naj bo napetost $\Delta U = U_a - U_b$. Ko je stikalo na levi, sprejme kondenzator v času Δt naboj ΔQ :

$$\Delta Q = C \Delta U = C(U_a - U_b)$$

Nato preklopimo stikalo na desno in ta naboj kondenzator odda. Povprečni tok I je približno enak:

$$\bar{I} = \frac{Q}{T} = \frac{C}{T}(U_a - U_b)$$

Ker je T enak $1/f_c$, preide zgornja enačba v:

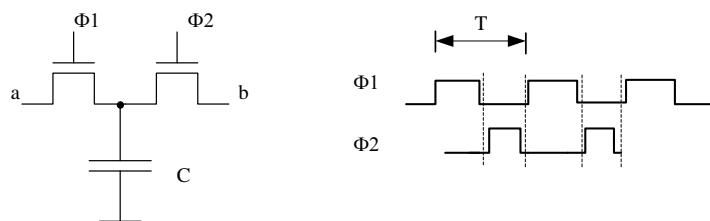
$$\bar{I} = f_c C (U_a - U_b) \quad (7.1)$$

Ker je produkt $f_c C$ lahko samo prevodnost, je to enačba za karakteristiko upora¹⁸², ki ima vrednost:

$$\bar{R} = \frac{1}{f_c C} = \frac{T}{C} \quad (7.2)$$

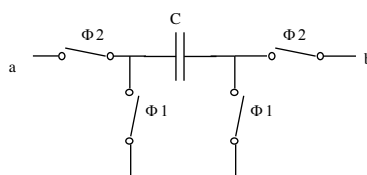
Upornost R se nanaša na povprečno vrednost. Stikala lahko enostavno napravimo z MOS tranzistorjema, ki ju krmilimo s protifazno uro, kjer se impulzi ne smejo prekrivati (slika 7.6). Ker v bistvu prenašamo samo vzorce napetosti, je treba paziti na to, da ni f_c prenizka. Označimo s f_s najvišjo harmonsko komponento, ki jo še želimo procesirati. Pri vzorčenju se spekter signala ponavlja z mnogokratnikom frekvence vzorčenja. Če želimo to z navadnim filtrom zadušiti, mora biti $f_c \gg f_s$ oziroma $f_c = 20 \dots 100f_s$.

¹⁸² V bistvu gre za emulacijo upora.



Slika 7.6: SC upor (levo) in krmilni signal (desno). Vir: [BAKER,2010].

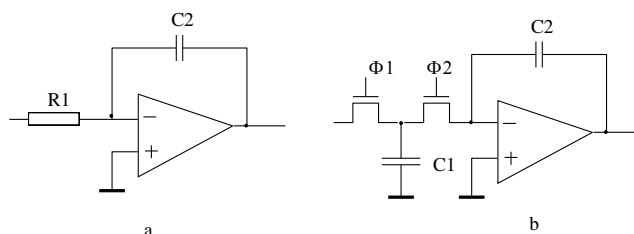
Parazitne kapacitivnosti obeh tranzistorjev, s katerima smo napravili stikalo, znašajo približno 0,05pF. Ker so paraziti kondenzatorji v bistvu vezani paralelno k C, zmanjšujejo njegovo natančnost. Rešitev tega problema gre seveda na škodo večje površine: kondenzator C naj ima veliko večjo vrednost, kot znašajo parazitske kapacitivnosti tranzistorja. Z dodatnima stikaloma se lahko tudi temu delno izognemo. Na sliki 7.7 je prikazana struktura SC upora, ki ga najpogosteje srečamo v SC vezjih.



Slika 7.7: Izboljšan SC upor. Vir: [BAKER,2010].

Ker se vrednotenje signala izvaja samo v določenih trenutkih, lahko del vezja (npr. operacijski ojačevalnik) s časovnim multipleksiranjem za trenutek "posodimo"¹⁸³ drugemu delu vezja. SC komponente so se predvsem uveljavile na področju telekomunikacij. Naj omenimo samo nekaj tipičnih komponent: A/D, D/A pretvorniki, množilniki, delilniki, modulatorji itd.

Zgled: SC integrator



Slika 7.8: Integrator. Vir: [BAKER,2010].

Recimo, da potrebujemo integrator v govornem področju (od 0 do 4 kHz), ki naj ima pol pri 10^4s^{-1} . Pol integratorja na sliki 7.8 a je pri krožni frekvenci:

¹⁸³ Time sharing.

$$\omega_p = \frac{1}{R_1 C_2}$$

Hitro lahko izračunamo, da mora biti produkt $R_1 C_1 = 10^{-4}$. Če se odločimo za kondenzator 10 pF, potrebujemo upor 10 M Ω . Za tako velik upor bi potrebovali približno $10^6 \mu\text{m}^2$ silicijeve površine! Skupaj s kondenzatorjem bi potrebovali ogromno površino. Poskušajmo sedaj s SC varianto integratorja, ki dela z uro 1 MHz ($T = 1 \mu\text{s}$). Kondenzator C_1 mora imeti vrednost:

$$C_1 = \frac{T}{R_1} = 0,1 \text{ pF}$$

Takoj vidimo, da je pol odvisen od razmerja obeh kondenzatorjev in frekvence vzorčenja. Le-to lahko zelo natančno kontroliramo s kristalnim oscilatorjem. Tako lahko zelo preprosto dosežemo 1-% natančnost lege pola.

$$\omega_p = \frac{1}{T} \frac{C_1}{C_2}$$

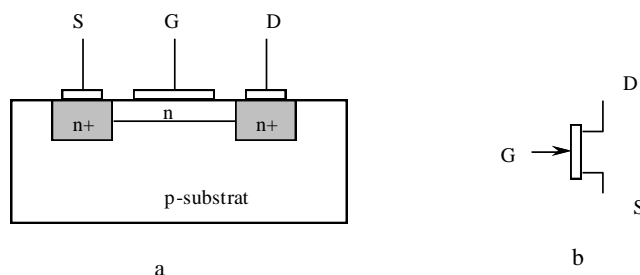
Hkrati se je tudi zmanjšala potrebna površina. Za 10 M Ω upor, ki je tvoren iz n-otoka potrebujemo¹⁸⁴ 28000 μm^2 , medtem ko za 0,1 pF kondenzator samo približno 45 μm^2 .

7.3. GaAs VEZJA

Polprevodnik galijev arzenid (GaAs) se odlikuje po približno **petkrat večji mobilnosti elektronov, kot jo ima silicij**. Ker je tudi hitrost delovanja odvisna od mobilnosti, so GaAs vezja hitrejša od silicijevih. Kljub dražjemu procesiranju so si GaAs vezja zaradi večje hitrosti in **večje odpornosti proti sevanju** kmalu utrla pot na tržišče integriranih vezij. V tem poglavju bomo na kratko opisali bistvo GaAs vezij. Več o tem je v literaturi, npr. [HARROLD,1993].

Ker velja večja mobilnost samo za elektrone, medtem ko je mobilnost vrzeli celo manjša kot pri Si, se **pri načrtovanju uporabljajo samo n-kanalni MESFETi**. Ker je zelo krhek, so manipulacijski stroji, ki se uporabljajo za proizvodnjo silicijevih tabletk, pregrobi. Za proizvodnjo GaAs vezij je zato potrebno postaviti nove, zahtevnejše in tudi dražje procesne linije. Z GaAs tehnologijo je v bistvu mogoče izdelati iste elemente, ki smo jih srečali v predhodnih poglavjih. Večina (npr. bipolarni tranzistor, MOS tranzistor) ima enake ali slabše karakteristike kot Si variante. Izjema je poseben tranzistor z imenom MESFET, ki ga v GaAs vezjih tudi največkrat srečamo.

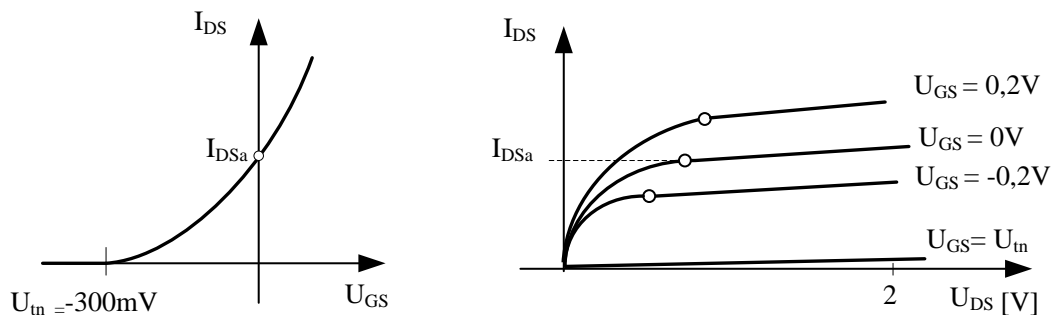
¹⁸⁴ Za 0,8 μm tehnologijo velja 2,2fF/ μm^2 in 2k Ω/\square (plastna upornost n-otoka). Minimalna širina n-otoka je 6 λ .



Slika 7.9: Struktura n-kanalnega DFETA (a) in njegov simbol (b). Vir: [HARROLD,1993].

Na sliki 7.9 je prikazana struktura MESFETA (MEtal Semiconductor FET). Na videz je podobna strukturi spojnega FETA. Pri MOS tranzistorju je bil pod krmilno elektrodo tanek oksid. Tukaj ni nobene izolacije, tako da je krmilna elektroda v kontaktu s kanalom oziroma substratom, ki je pod njo. Ker je krmilna elektroda kovinska, nastane usmerniški kontakt oziroma Schottkijeva dioda. Napetost na vratih, podobno kot pri spojnem FETu, vpliva na presek kanala. Pri dovolj veliki napetosti (večji od pragovne napetosti diode) začne v vrata teči tok.

Glede na debelino n-kanala in debelino osiromašenega področja, ki nastane pri $U_{GS} = 0$, obstajata dve možnosti: tranzistor pri $U_{GS} = 0$ prevaja ali pa ne¹⁸⁵. Prvega imenujemo D-MESFET ali DFET, drugega pa E-MESFET ali EFET. Ker je D-MESFET večinoma hitrejši, ga bomo prav zaradi tega na kratko opisali. Ker je mehanizem prevajanja zelo podoben spojnemu FET-u, lahko uporabljamo v prvem približku kar iste enačbe¹⁸⁶. Na sliki 7.10 sta prikazani prenosna in izhodna karakteristika DFET-a.



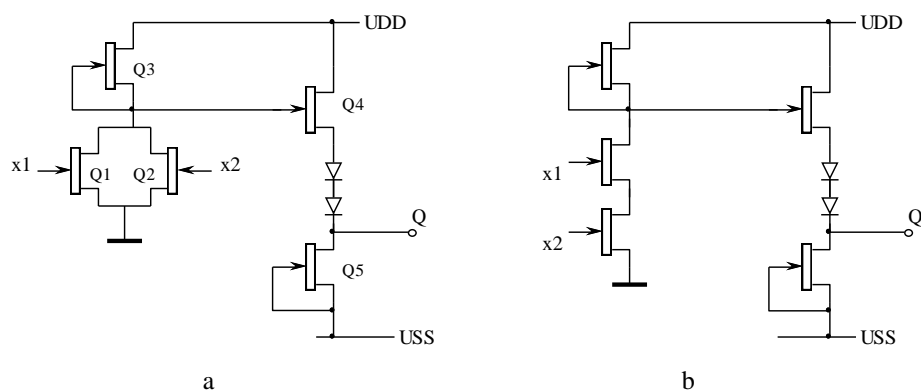
Slika 7.10: Prenosna in izhodna karakteristika DFETA. Vir: [HARROLD,1993].

Ker obstaja več logičnih vrat, bomo pogledali samo eno. Na sliki 7.11 sta prikazana dva tipična gradnika: NOR vrata (a) in NAND vrata (b), ki ju uvrščamo v BFL (Buffered FET Logic) družino. Prvi del, ki ga tvorijo Q1, Q2 in Q3, je enak kot pri [NMOS NAND](#) vratih. Ker DFET potrebuje negativno napetost, da preide v zaporno področje, je dodano vezje za premik

¹⁸⁵ Podobno je bilo pri MOS tranzistorjih: obravnavali smo MOS z vgrajenim in MOS z induciranim kanalom.

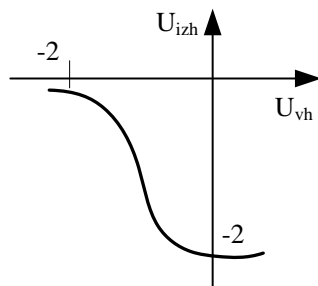
¹⁸⁶ Novejši SPICE simulatorji imajo že notranji model za GaAs tranzistor. Označujemo ga s prvo črko B. Če simulator ne pozna GaAs modela, lahko za silo uporabljamo kar model za JFET.

enosmernega nivoja. Tvori ga Q4 v orientaciji s skupnim ponorjem, dve diodi in Q5, ki je breme.



Slika 7.11: NOR (a) in NAND vrata (b). USS je negativna. Vir: [HARROLD,1993].

Prenosna karakteristika (slika 7.12) logičnih vrat se delno razlikuje od tiste, ki smo jo srečali pri NMOS logičnih vezjih. Ko je vhodna napetost pod pragovno vhodnih tranzistorjev, skozi Q1 oziroma Q2 ne teče tok. Na izhodu je takrat napajalna napetost znižana za določen faktor, ki ga določa vezje za premik enosmerne nivojev. Ko začne Q1 ali Q2 prevajati, U_{izh} pada. Padanje se ustavi, ko napetost na vhodu tako naraste, da se Schottkijeva dioda odpre. Takrat steče tok v vhodni tranzistor, ki dodatno dvigne napetost na vratih Q4. To povzroči nenavaden dvig prenosne karakteristike.



Slika 7.12: Prenosna karakteristika GaAs invertorja. Vir: lasten.

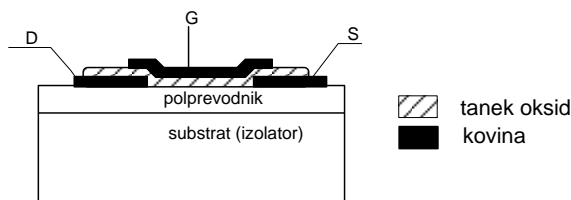
V bistvu je načrtovanje logičnih in analognih GaAs vezij, pri katerih se uporabljajo samo DFET-i, zelo podobno načrtovanju NMOS vezij. Bistvena razlika je seveda v vhodni upornosti, ki je imela pri MOS tranzistorju neskončno vrednost, tukaj pa ne. Še več: pri previsoki vhodni napetosti se lahko zgodi, da začne v vrata tranzistorja teči znaten tok.

Velika hitrost je največja prednost GaAs tranzistorjev, vendar hiter tranzistor še ne zagotavlja tudi hitrega vezja, saj na zakasnitve vplivajo tudi drugi pomembni dejavniki (npr. pojav parazitnih elementov, presluh med linijami, odboji na linijah), za katere je odgovoren predvsem načrtovalec. Upoštevanje naštetih problemov zahteva dodaten napor pri načrtovanju. Lahko pričakujemo, da se bodo visoki stroški izdelave z množično proizvodnjo v prihodnosti kmalu znižali.

7.4. HIBRIDNA INTEGRIRANA VEZJA

Hibridno integrirano vezje je vrsta mikroelektronskega vezja, ki združuje različne tehnologije. Ker imajo hibridna integrirana vezja v nekaterih primerih še vedno določene prednosti pred monolitnimi, jih bomo v tem poglavju na kratko opisali. Obširnejši opisi so v [FURLAN1,1988], [BILJANOVIĆ,2001], [GRAY,2009] in [BAKER,2010]. Hibridna integrirana vezja so večinoma narejena na keramičnem substratu ali pa na steklu, ki ima v primerjavi z monolitnimi tabletkami precej večje dimenzije (npr. nekaj cm²). Glede na način izdelave pasivnih komponent jih razdelimo v dve veliki skupini: na *tankoplastna* in *debeloplastna* vezja. Značilnost obeh je, da lahko k vezju dodamo tudi druge diskretne mikroelektronske komponente (npr. tabletko, majhne tuljave itd.). Diskretne komponente, ki jih dodamo, so lahko zaprte v svoja ohišja ali pa so gole. Slednje imajo manjše dimenzije, vendar je pritrjevanje k plastnemu vezju zahtevnejše.

Tankoplastno vezje (Thin Film Hybrid Microelectronic Circuit) je vrsta hibridnega integriranega vezja, katerega elementi in povezave so izdelani iz tankih prevodnih, uporovnih ter izolacijskih plasti. Plasti, ki so debele od 0,1μm do 1μm, so na pasivno podlago nanese z **vakuumskimi postopki** ali pa z **ionskim naprševanjem**. Zahtevane geometrijske strukture lahko napravijo s selektivnim odstranjevanjem določenih delov (fotolitografija) ali pa z naprevanjem skozi maske. S tankoplastno tehnologijo lahko ustvarijo le dobre upore in kondenzatorje majhnih vrednosti. Tudi tuljavo je možno izdelati, vendar z zelo majhno induktivnostjo. Tankoplastna tehnologija omogoča tudi izdelavo MOS tranzistorjev¹⁸⁷, ki pa so slabši od monolitne izvedbe (glej sliko 7.13), saj lahko na keramiko nanesejo le polikristalni silicij. Ker ima le-ta manjšo mobilnost, to vpliva na nižjo hitrost in manjšo strmino.



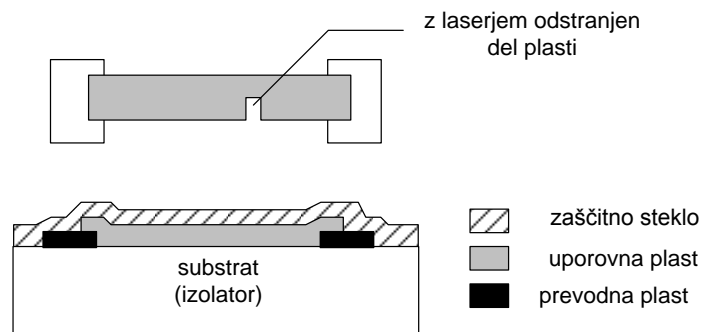
Slika 7.13: Tankoplastni MOS tranzistor. Vir: S. D. Brotherton: " *Introduction to Thin Film Transistors: Physics and Technology of TFTs* ", Springer International Publishing, 2013.

Debeloplastno integrirano vezje (Thick Film Hybrid Microelectronic Circuit) je vrsta hibridnega integriranega vezja, katerega elementi in povezave so izdelani iz debelejših prevodnih, uporovnih in izolacijskih plasti. Plasti, ki so debele od 10μm do 50μm, so na pasivno podlago nanese s **tiskanjem**. V primerjavi s tankoplastno tehnologijo je le-ta manj zahtevna in cenejša, vendar z njo ni mogoče izdelati aktivnih elementov (tranzistorjev). Zato se aktivne komponente (tabletko, tranzistorji) posebej dodajo. V primerjavi s tankoplastno so tukaj minimalne dimenzije večje¹⁸⁸. Ker so plasti debelejšje, je možno izdelati močnejše upore. Debeloplastni upori se odlikujejo tudi po tem, da jih je možno, preden jih prekrijejo z zaščitnim

¹⁸⁷ Pogosto ga označujemo z akronimom TFT (Thin Film Transistor).

¹⁸⁸ Pri tankoplastnih je tipična minimalna širina prevodnih linij 50 μm, pri debeloplastnih pa 250 μm.

steklom, naknadno justirati. Z laserskim žarkom odžgejo tolikšen del upora, da se doseže zahtevana upornost (tolerance manjše od 0,1 %!). Tako lahko dosežemo, da so tudi karakteristike vezja v zelo ozkih tolerancah.



Slika 7.14: Tloris in presek debeloplastnega justiranega upora. Vir: [BILJANOVIĆ,2001].

7.5. MOČNOSTNA MIKROELEKTRONSKA VEZJA

Dokaj zgodaj je elektronika vstopila tudi na področje močnostne elektrotehnike, katere značilnost so veliki tokovi oziroma napetosti. Z razvojem močnostnih polprevodniških stikal je bilo možno krmiliti elektromotorje, vklapljati nizkoomska bremena ipd. Za uspešno krmiljenje je potrebna še določena regulacija, ki je bila izvedena v začetku s posebnim krmilnim nizkonapetostnim vezjem. Na področju močnostne elektronike je dolgo kraljeval tiristor. Danes ga nevarno ogroža močnostni MOS tranzistor, ki je hitrejši in ga je tudi enostavneje krmiliti. V tem poglavju bomo na kratko opisali tipične polprevodniške stikalne elemente in integracijo močnostnega in krmilnega dela na skupno tabletko.

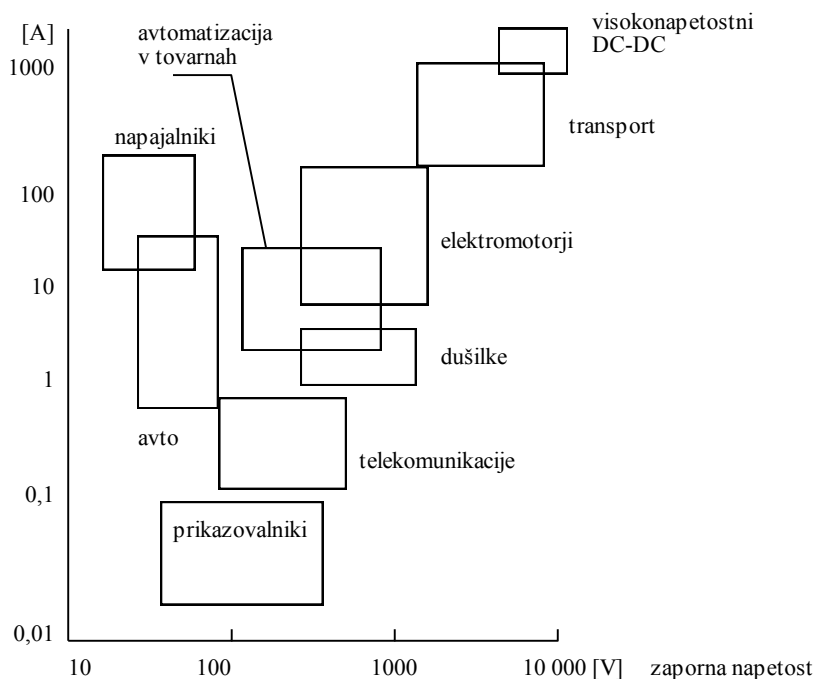
Večje tokovne in temperaturne obremenitve in višje zaporne napetosti so samo eden izmed mnogih problemov, ki jih je treba rešiti. Močnostna vezja delujejo v zelo neugodnem okolju, kjer vlada večja okoliška temperatura in kjer se pojavljajo motnje v obliki velikih induciranih napetostih. Problem še otežuje izrazita induktivnost (npr. elektromotor) oziroma kapacitivnost (npr. prikazovalnik) določenih bremen.

Pri velikih tokovih in napetostih se pojavijo določeni pojavi, ki smo jih lahko pri nizkomočnostnih vezjih zanemarili. Zaradi tega so strukture močnostnih polprevodniških elementov popolnoma drugačne oblike.

Prevelike napetostne impulze, ki so posledica razelektritve ali pa inducirane napetosti, je treba nevtralizirati čim prej, saj lahko sprožijo tiristorski pojav oziroma, kako drugače uničijo vezje. Ta problem rešujemo na več načinov, od katerih smo jih nekaj opisali v poglavju Tiristorski pojav v CMOS vezjih.

Ključni element pri močnostnih vezjih je elektronsko stikalo, ki naj bo čim hitrejše in naj prenese čim večje zaporne napetosti. Da bo disipacija čim nižja, morajo biti tudi upornosti sklenjenih elektronskih stikal (R_{ON}) pri velikih tokovih čim nižje. Zaradi določenih fizikalnih lastnosti je pogosto treba pri načrtovanju iskati kompromise (npr. med največjim tokom in

zaporno napetostjo). Ker lahko nizko upornost dosegamo tudi z večjo površino stikala, se za kakovost stikal uporablja enota Ω/m^2 . Z današnjimi elektronskimi stikali¹⁸⁹ dosegamo upornosti v območju $0,01 \mu\Omega/\text{m}^2$ oziroma $0,1 \text{ m}\Omega/\text{cm}^2$ [BALIGA,1995].



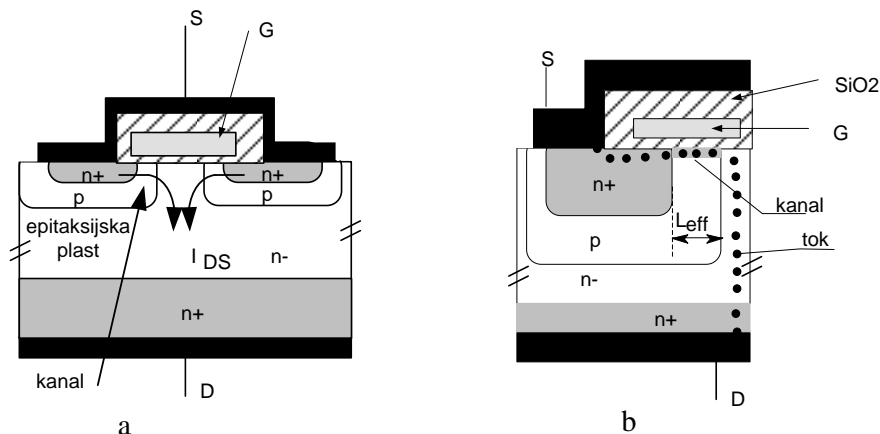
Slika 7.15: Napetostno in tokovno območje za močnostna polprevodniška in močnostna mikroelektronska vezja. Vir: [BALIGA,1995].

Močnostni MOS tranzistorji imajo tudi popolnoma drugačno strukturo. Pri do sedaj obravnavanih MOS tranzistorjih je tok tekkel le v lateralni smeri, pri tipičnih močnostnih pa večina poti poteka v vertikalni smeri. Najpogostejši stikalni element današnjih močnostnih vezij je DMOS (Double Diffused MOS) tranzistor¹⁹⁰. Na sliki 7.16 a je prikazana struktura vertikalne variante DMOS tranzistorja, iz katere je razvidno, da je v bistvu sestavljena iz dveh delov. Na sliki 7.16 b je prikazan povečan detajl, pri katerem se vidi kanal in smer toka, ki teče po prehodu skozi kanal vertikalno po substratu. Z dvojno difuzijo n^+ in p lahko ustvarijo zelo kratek kanal, ki ima zaradi tega zelo majhno upornost. K skupni upornosti precej prinese tudi upornost epitaksijske plasti (področje z vertikalno smerjo toka). Skupna upornost je še vedno manjša kot pri lateralnih različicah. Večjo tokovno zmogljivost ne dosegajo z enim velikim tranzistorjem, ampak z množico majhnih (npr. $10 \mu\text{m} \times 10 \mu\text{m}$) paralelno vezanih tranzistorjev, ki delujejo kot majhna mikrostikala.

Če imamo na isti tabletki več močnostnih stikal, imajo vsa eno sponko skupno (vsi DMOS tranzistorji skupen ponor D). Z dodatno n^+ pokopano plastjo je možno ta problem odpraviti (glej sliko 7.17).

¹⁸⁹ Konkreten zgled: močnostno stikalo BTS6402S, ki vključuje tudi tokovni senzor, ima površino 12 mm^2 in $R_{on}=30 \text{ m}\Omega$ [LECHNER,1996]. Krmilni del zavzema približno 25% celotne površine.

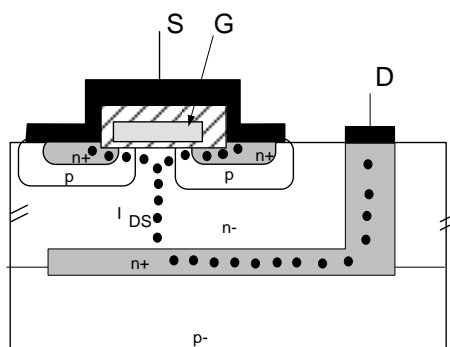
¹⁹⁰ Nekateri proizvajalci močnostnih MOS tranzistorjev uporabljajo svoja komercialna imena, za katerimi se mnogokrat skriva DMOS tehnologija (npr. HEXFET - International Rectifier, SIPMOS - Siemens, MOSPOWER - Siliconic).



Slika 7.16: a) Struktura vertikalnega DMOS tranzistorja. Tok teče najprej lateralno po kanalu nato pa vertikalno po substratu. b) Povečan levi del strukture, v kateri je viden levi kanal. Vir: [LECHNER,1995].

Eden izmed problemov, ki ga je treba rešiti pri združevanju močnostnih stikal s krmilno elektroniko, je izolacija. Pri nizkonapetostnem močnostnem delu lahko uporabljamo kar izolacijo z osiromašeno plastjo¹⁹¹.

Bolj kakovostna in zanesljiva je dielektrična izolacija, ki prenese visoke napetosti in ni občutljiva na razna sevanja oziroma blodeče nosilce. Žal je postopek dokaj zahteven in se uporablja samo takrat, kadar ni druge izbire (npr. visokonapetostna integrirana vezja, vezja za vojaške namene). Omenili bomo samo dva načina. Pri prvem za nosilno podlago namesto silicija izberemo izolator iz safirja (slika 7.18 a), pri drugem načinu pa elemente obdamo s silicijevim dioksidom (slika 7.18 b), ki je zelo dober izolator.



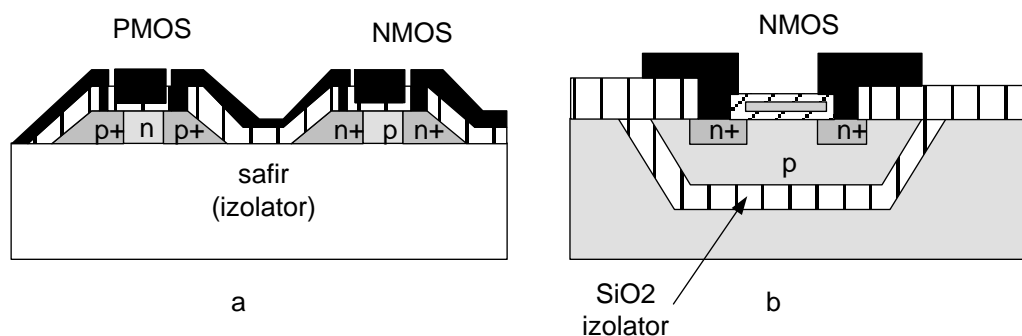
Slika 7.17: Lateralni DMOS tranzistor. Vir: [LECHNER,1995].

Zelo pomemben del vsakega močnostnega integriranega vezja je zaščita pred uničenjem. Vezje je potrebno zaščititi pred: prekomerno disipacijo, prevelikim tokom in napetostjo, preveliko temperaturo, prenizko napetostjo itd.

¹⁹¹ Sinonimi: reverzna polarizacija pn-spojev, spojna izolacija.

Današnja tehnologija¹⁹² omogoča združitev krmilnega in močnostnega dela na isti tabletki. Glede na obsežnost krmilnega dela močnostna elektronska vezja delimo v naslednje skupine:

- diskretni močnostni elementi - na celotni tabletki je eno ali več močnostnih stikal,
- pametna stikala (angl. smart power IC) - močnostnim stikalom je dodano krmilno vezje,
- pametni močnostni polprevodniški sistemi (Smart Power Systems on Silicon) - na isti tabletki so močnostna stikala, krmilni del in zelo kompleksni gradniki (npr. mikroprocesor).



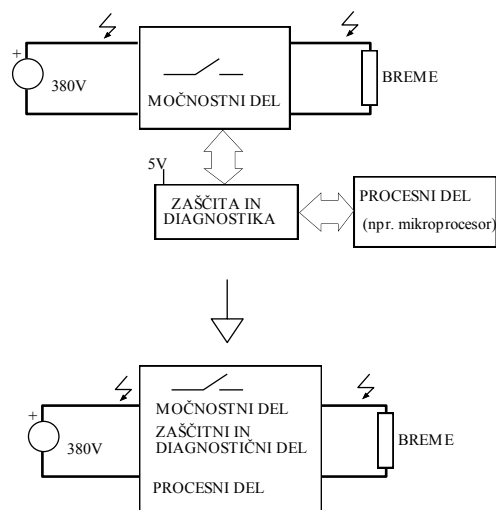
Slika 7.18: Dva načina dielektrične izolacije: tehnologija SOI (Silicon On Insulator) (a) in izolacija s SiO₂ bazeni (b). Vir: Oleg Kononchuk and Bich-Yen Nguyen: "*Silicon-On-Insulator (SOI) Technology: Manufacture and Applications*", Elsevier, 2014.

Integrirana vezja, katerih del ali pa celota deluje pri visoki napetosti oziroma toku, bomo poimenovali *močnostna mikroelektronska vezja*. Tipično vezje te vrste je sestavljeno iz naslednjih delov (glej sliko 7.19):

- močnostni del (močnostna stikala - DMOS tranzistorji),
- zaščitni in diagnostični del (CMOS, BICMOS),
- procesni del (CMOS, BICMOS),
- vmesnik za komuniciranje z okoljem (CMOS, BICMOS).

Načrtovanje močnostnih mikroelektronskih vezij zahteva interdisciplinarno znanje. Potrebno je zelo dobro poznavanje fizikalnega dogajanja v polprevodnikih in hkrati tudi obvladanje digitalne oziroma analogne elektronike. V poglavju Literatura je navedenih nekaj publikacij ([BALIGA,1995], [LECHNER,1995], [LECHNER,1996]), ki obravnavajo to problematiko podrobneje.

¹⁹² Za zgled glej opis dveh tehnologij (Smart SIPMOS[®] in SPT) v [LECHNER,1995].

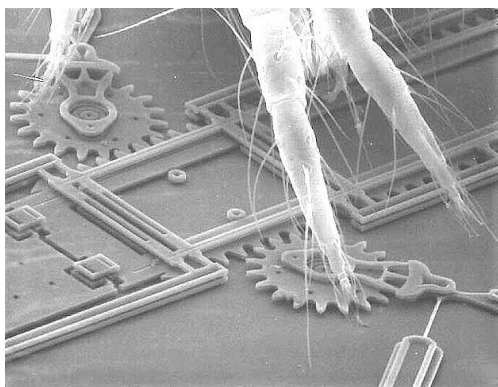


Slika 7.19: Koncept pametnega močnostnega integriranega vezja. Vir: lasten.

7.6. MEMS

MEMS (**M**icro**e**lectromechanical **S**ystems) so sistemi, ki so sposobni združiti mikromehanske, mikroelektronske in optične gradnike. Če so še pred desetletji za realizacijo celotnega sistema potrebovali nekaj čipov in nekaj mehanskih komponent, je danes možno nekatere sisteme realizirati v celoti samo na enem čipu. Takim čipom pravimo SOC (Systems on Chip) čipi.

Začetek MEMS komponent sega v leto 1960, ko so se pojavile prve komponente. Leta 1990 se je začela masovna proizvodnja merilnikov pospeška, ki se v avtomobilih uporabljajo za sprožitev zračne blazine. Večina MEMS komponent vsebuje manj kot 10 mikromehanskih gradnikov. Tipični mikromehanski gradniki so: mikroturbine, mikroelektromotorji, senzori, mikrozobčeniki, mikroventili in premična mikrozrcala.

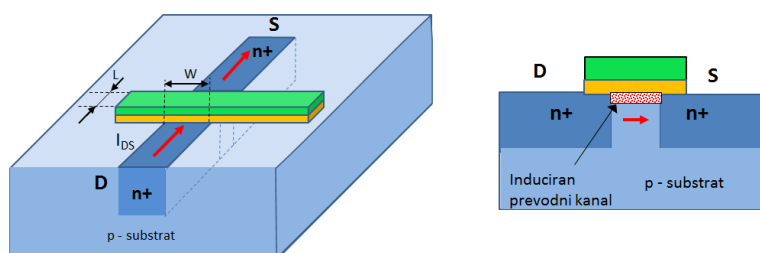


Slika 7.20: Posnetek MEMS čipa, na katerem se vidijo noge navadne pršice¹⁹³.

¹⁹³ Sandia National Labs, SUMMIT *Technology, <http://mems.sandia.gov>, dostop 22.8.2022.

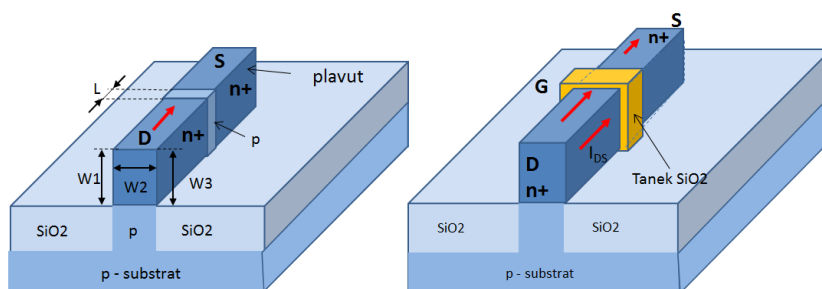
7.7. 3D MOS - FinFET

Z manjšanjem dimenzij tranzistorjev se večja njihova gostota¹⁹⁴. Površino tradicionalnega planarnega MOS tranzistorja (slika 7.21) diktirajo dimenzije kanala oziroma W in L . Ko se te dimenzije približujejo spodnji meji, tranzistor vedno težje krmilimo. Težava je predvsem v tem, da ne moremo popolnoma prekiniti toka skozi kanal. Razmerje¹⁹⁵ R_{OFF}/R_{ON} se zaradi tega zmanjša. Za boljše krmiljenje je treba povečati W , kar pomeni, povečati površino. Rešitev je v koriščenju še tretje dimenzije, s katero lahko povečamo W , hkrati pa ostane tloris enak.



Slika 7.21: Tradicionalni planarni MOS tranzistor. Levo je tridimenzionalni prikaz, desno pa presek (sever – jug). Pod krmilno elektrodo oziroma vrati se pod vplivom napetosti pojavi prevoden (induciran) kanal. Vir: lasten.

Struktura FinFETA je relativno zapletena, zato si bomo pomagali s tridimenzionalnim prikazom. Iz substrata je izvlečen del v obliki kvadra, ki spominja na štrlečo plavut¹⁹⁶ morskega psa. Na sliki 7.22 levo se vidi dolžina kanala L in smer toka. Tanek oksid in krmilna elektroda ves kanal objameta s treh strani. Ker vsaka stran (razen spodnje) ustvarja prevodni kanal, ga imenujejo tudi tro-vratni¹⁹⁷ MOS tranzistor (slika 7.23). Njegova širina je za načrtovalca konstantna in znaša $W=W_1+W_2+W_3=2W_1+W_2$. Večjo širino dobimo s paralelno vezavo enakih struktur (slika 7.24).



Slika 7.22: FinFET tranzistor¹⁹⁸. Levo je brez vrat in tankega oksida, desno je z dodanim tankim oksidom.

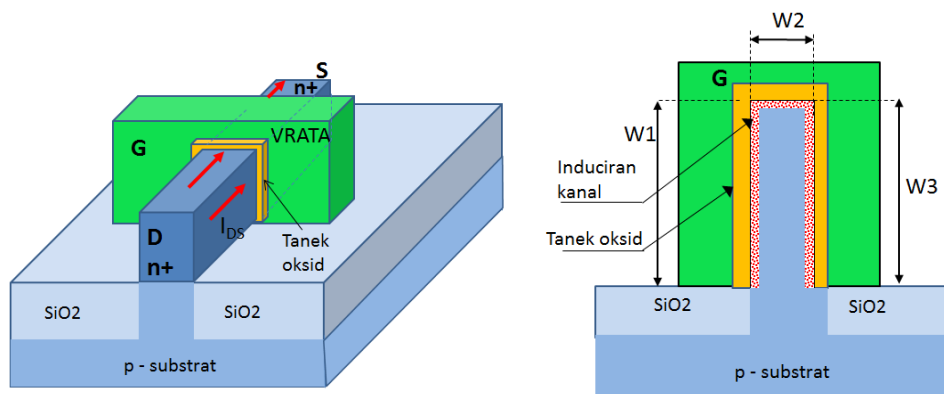
¹⁹⁴ Število tranzistorjev na enoto površine.

¹⁹⁵ To je eno izmed meril za kakovost stikala.

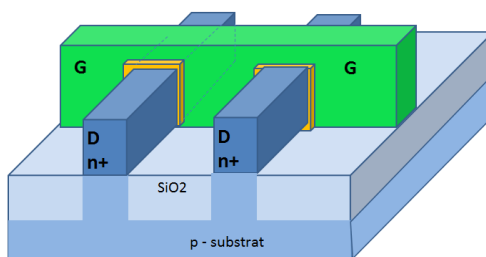
¹⁹⁶ Angleško: fin.

¹⁹⁷ Tri-gate MOS.

¹⁹⁸ <http://www.realworldtech.com/intel-22nm-finfet/>, dostop 22.8.2021.



Slika 7.23: 22 nm FinFET tranzistor¹⁹⁹. Levo je tridimenzionalni prikaz, desno pa presek (vzhod – zahod).



Slika 7.24: Dvojni FinFET²⁰⁰. Prikazani so samo najbistvenejši deli strukture.

7.8. BODOČI TRENDI

Ker se mikroelektronika izredno hitro razvija, so dolgoročne napovedi o razvoju tehnologije dokaj nezanesljive. Prognoze za daljše obdobje daje posebna delovna skupina, ki vsako leto izda poročilo (International Technology Roadmap for Semiconductors)²⁰¹.

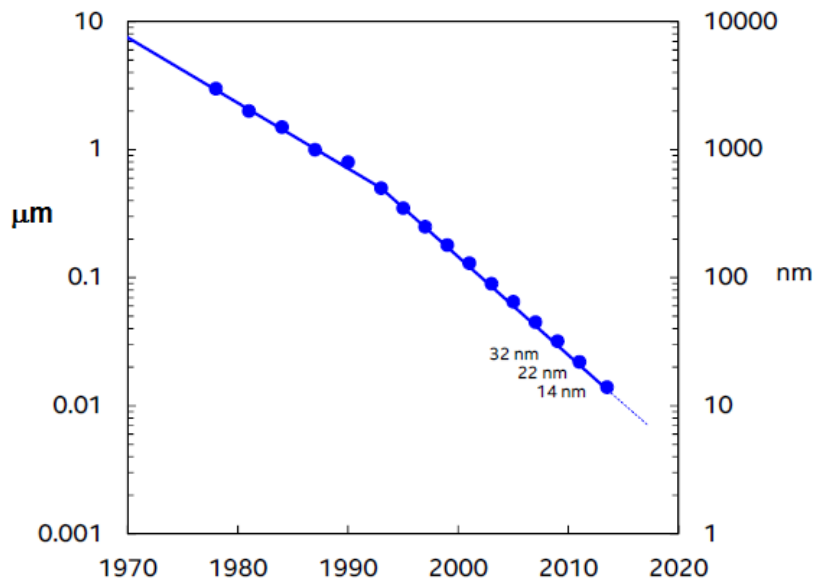
Pomnilniki in mikroprocesorji so zelo dobri kazalci napredovanja tehnologije in načrtovanja. Najmanjše dimenzije se nezadržno približujejo meji, ki jo postavljajo fizikalni zakoni. Rešitev je v 3D strukturah (npr. [FinFET](#)) Povprečna življenjska doba vodilne tehnologije, ki določa značilnost tekoče generacije, je približno tri leta (glej tabelo 7.2). Kapaciteta pomnilnika se z vsako novo generacijo početreri. Vsaka generacija uporablja približno za četrtno več procesnih korakov. Zaradi zahtevnejših strojev in zahtev po čistoči rastejo tudi stroški (približno 35 % na generacijo). Z večjim številom tranzistorjev naraščajo tudi problemi s povezovanjem elementov.

¹⁹⁹ <http://www.realworldtech.com/intel-22nm-finfet/>, dostop 22.8.2021.

²⁰⁰ <http://www.realworldtech.com/intel-22nm-finfet/>, dostop 22.8.2021.

²⁰¹ <http://public.itrs.net/>, dostop 20.8.2021.

Zato se hkrati s kompleksnostjo vezij večja tudi število povezovalnih plasti in skupna dolžina povezav.



Slika 7.25: Krčenje dimenzij pri Intelu²⁰²

Z zmanjševanjem dimenzij zelo narastejo električne poljske jakosti. Ker je tudi disipacija proporcionalna frekvenci in kvadratu napajalne napetosti, je ključ do tega problema v nižanju napajalne napetosti. Manjšo porabo narekuje tudi čedalje več naprav, ki so baterijsko napajane (telefoni, prenosni računalniki ipd.). Tradicionalno 5V napajanje se počasi umika novemu 3,3V (glej tabelo 7.2). Mnoga vezja samo zaradi kompatibilnosti ohranjajo višje napajalne napetosti - znotraj uporabljajo najnižjo možno. Ker se z nižanjem napajalne napetosti večajo tudi zakasnitve, je treba hkrati tudi zmanjšati parazitne upornosti in kapacitivnosti, če želimo ohraniti isto hitrost.

Velika kompleksnost integriranih vezij bo zahtevala tudi temu ustrezno prilagojene načrtovalske in preverjevalske metode. Eno izmed meril, s katerimi ocenjujemo težavnost testiranja, je število tranzistorjev na dostopno kontaktno blazinico. Ta se bo od današnjih 19 000 (0,35µm tehnologija) strmo povzpela navzgor. Del testirnih naprav se bo moral preseliti na tabletko²⁰³. To tehnologijo testiranja, s katero lahko odkrivamo le tehnološke napake, imenujemo BIST (Built In Self Test). S kompleksnostjo vezij bo naraščala tudi verjetnost logičnih (načrtovalskih) napak²⁰⁴, katerih odkrivanje je povezano s simulacijo. Danes si je zelo težko zamisliti simulacijo vezja, ki ima 10^9 tranzistorjev.

²⁰² Mark Bohr: "14 nm Process Technology: Opening New Horizons", 2014. Vir: <https://www.intel.com/content/dam/www/public/us/en/documents/pdf/foundry/mark-bohr-2014-idf-presentation.pdf>, dostop 12.4.2021

²⁰³ Ta trend se kaže že danes. V mikroprocesorju 80386 je bilo za interno testiranje namenjenih približno 5000 tranzistorjev.

²⁰⁴ Lep primer je bil mikroprocesor Pentium, ki je napačno delil nekatera števila.

Tabela 7.2: Trend razvoja polprevodniških komponent²⁰⁵

Leto	2001	2004	2007	2010	2013	2016
L[nm]	130	90	65	45	32	22
Povezovalni nivoji	8-10	9-13	10-14	10-14	11-15	11-15
VDD	1,1-1,2	1-1,2	0,7-1,1	0,6-1,0	0,5-0,9	0,4-0,9
DRAM [Gbit]	0,5	1	4	8	32	64
Število tranzistorjev [milijon]	193	385	773	1564	3092	6184
Frekvenca [GHz]	1,6	4	7	12	19	29
Disipacija [W]	130	160	190	218	251	288
Število I/O signalov	1024	1024	1024	1280	1408	1472

Zelo dosti obeta **nanotehnologija**²⁰⁶, ki se ukvarja z razvojem in načrtovanjem materialov, naprav in sistemov, ki so v območju nanometrskе skale. Cevka s premerom nekaj nanometrov je najpogostejši objekt raziskovanja. V nano območju ima snov posebne lastnosti, ki odpirajo nov horizont aplikacij. Med njimi je tudi prihodnja nanoelektronika. Ko so ugotovili, da električno polje vpliva na prevodnost cevke, je bil leta 2001 narejen prvi nanocevni tranzistor, ki ima ekstremno majhne dimenzije. Kmalu za tem pa prvi nanocevni invertor²⁰⁷.

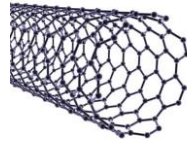
Tabela 7.3: Primerjava dimenzij

Debelina lasu	80 – 100 μm (80 000 nm – 100 000 nm)
Dolžina vrat MOS tranzistorja	180 nm
Bakterija	100 nm
Protein	1 – 20 nm
Vodikov atom	0,04 nm

²⁰⁵ [WESTE,2005], <http://public.itrs.net/>

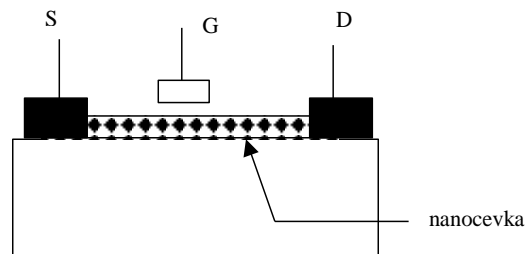
²⁰⁶ Lep pregled je v [ZBORNIK,2003].

²⁰⁷ First single nanotube logic device – Inverter demonstration (Appl. Phys. Lett., Nov. 2001) by Chongwu Zhou (USC) and Jie Han (NASA Ames).



Slika 7.26: Nanocevka iz ogljika ima premer le nekaj nanometrov²⁰⁸

Pri načrtovanju kompleksnih vezij si bomo morali pomagati izključno s posebnimi programskimi jeziki (npr. VHDL), ki omogočajo vedenjski opis gradnikov. Že sedaj so na tržišču posebni prevajalniki, ki opravljajo pretvorbo funkcionalnega opisa v geometrijskega. Načrtovalcem bo na razpolago vedno več kompleksnih gradnikov, ki bodo delno neodvisni od implementacije, saj bodo opisani z VHDL jezikom. Se bo bodoči inženir elektronike spremenil v programerja?



Slika 7.27: Nanocevni tranzistor²⁰⁹

²⁰⁸ <https://www.te.com/content/dam/te-com/documents/aerospace-defense-and-marine/white-papers/harvey-carbon-nanotube-technology.pdf>, dostop 10.8.2022.

²⁰⁹ Sharf, T.; Wang, N.-P.; Kevek, J.W.; Brown, M.A.; Wilson, H.; Heinze, S.; Minot, E.D: "Single electron charge sensitivity of liquid-gated carbon nanotube transistors", Nano Lett. 2014, 14, 4925–4930.

8. LITERATURA

- [ALLEN,2002] P. E. Allen, D. R. Holberg: "*CMOS Analog Circuits Design*", Oxford University Press, New York 2002, 2. izdaja.
- [BALIGA,1995] B. J. Baliga: "*Power ICs In the Saddle*", IEEE Spectrum, julij 1995, str. 34-49.
- [BAKER,2010] Jacob R. Baker: "*CMOS : circuit design, layout, and simulation*", John Wiley & Sons, 2010.
- [BILJANOVIĆ,2001] P. Biljanović: "*Mikroelektronika: Integrirani elektronički sklopovi*", [kolska knjiga, Zagreb 2001, 4. izdaja.
- [DOGŠA,2019] Tomaž Dogša: "*Osnove mikroelektronike [Elektronski vir]: zbirka vaj z rešitvami (<http://press.um.si/index.php/ump/catalog/book/444>)*".
- [FURLAN1,1988] J. Furlan: "*Integrirana vezja*", I. del - Tehnologija integriranih vezij, Univerza v Ljubljani, Fakulteta za elektrotehniko, Ljubljana 1988.
- [FURLAN2,1988] J. Furlan: "*Integrirana vezja*", II.del - Elektronika integriranih vezij, Univerza v Ljubljani, Fakulteta za elektrotehniko, Ljubljana 1988.
- [GRAY,2009] P. R. Gray: "*Analysis and Design of Analog Integrated Circuits*", 5. izdaja, John Wiley & Sons.
- [HARROLD,1993] S.J. Harrold: "*An Introduction to GaAs IC Design*", Prentice Hall, 1993.
- [KANG,1996] Kang, Leblebici: "*CMOS Digital Integrated Circuits: Analysis and Design*", McGraw Hill, 1996.
- [LECHNER,1996] A. Lechner: "*Innovative Smart Power Semiconductor For Automotive Applications*", Informacije MIDEM, letnik 26, št. 4, 1996, str. 213-221.
- [LECHNER,1995] A. Lechner: "*Integrated Smart Power Circuits Introduction, Design and Applications*", Informacije MIDEM, letnik 25, št. 4, 1996, str. 265-272.
- [LEONARDIS,1981] Savo Leonardis: "*Komunikacijska vezja*", Dopisna delavska univerza Univerzum, Ljubljana, 1981.
- [ONG,1986] DeWitt G.Ong: "*Modern MOS Technology Processes, Devices & Design*", McGraw Hill, 1984.
- [PLETERŠEK,2006] Anton Pleteršek: "*Načrtovanje analognih integriranih vezij v tehnologijah CMOS in BiCMOS*", 1. izd. Ljubljana: Fakulteta za elektrotehniko, 2006.
- [TAUB, 1977] Herbert Taub, Donald L. Schilling: "*Digital Integrated Electronics*," McGraw-Hill, 1977.
- [TRONTELJ,1998] Lojze Trontelj: "*Mikroelektronske tehnologije*", 1. izd. – Ljubljana, Fakulteta za elektrotehniko, 1998 (Ljubljana : Formatisk).
- [UYEMURA,1995] J. P. Uyemura: "*Physical Design of CMOS Integrated Circuits Using L-EDIT™*", International Thomson Publishing Inc., 1995.

[WESTE,1988] N. Weste, K. Eshraghian: "*Principles of CMOS VLSI Design*", Addison-Wesley publishing company, 1988.

[WESTE,2005] N. Weste, K. Eshraghian: "*Principles of CMOS VLSI Design*", Addison-Wesley publishing company, 3. izdaja, 2005.

[ZAJC,1989] B. Zajc: "*Polprevodniški elementi*", Fakulteta za elektrotehniko in računalništvo v Ljubljani, Ljubljana, 1989.

[ZAJC,2000] B. Zajc: "*Digitalna in analogna integrirana vezja*", učbenik, Elektrotehniški vestnik, 2000.

[ZBORNIK,2003] "*Nanoelectronics and information technology: advanced electronic materials and novel devices*" / Rainer Waser (urednik), Weinheim: WILEY-VCH, Verlag, cop. 2003. - 1001 str.

DODATEK

A. NEKATERE POMEMBNE KONSTANTE

Boltzmanova konstanta	$k = 1,381 \cdot 10^{-23} \text{ J/K}$
Naboj elektrona	$e = 1,6021 \cdot 10^{-19} \text{ As}$
Dielektrična konstanta praznega prostora	$\epsilon_0 = 8,854 \cdot 10^{-12} \text{ As/Vm}$
Relativna dielektrična konstanta za SiO ₂	$\epsilon_r = 3,9$
Relativna dielektrična konstanta za Si ₃ N ₄	$\epsilon_r = 7,5$
Termična napetost pri sobni temp. (300K)	$kT/q = 25,9 \text{ mV}$

B. DECIMALNI VEČKRATNIKI ENOT

faktor	predpona	označba		faktor	predpona	označba
10 ⁻¹⁸	ato	a		10 ¹	deka	da
10 ⁻¹⁵	femto	f		10 ²	hekto	h
10 ⁻¹²	piko	p		10 ³	kilo	k
10 ⁻⁹	nano	n		10 ⁶	mega	M
10 ⁻⁶	mikro	μ		10 ⁹	giga	G
10 ⁻³	mili	m		10 ¹²	tera	T
10 ⁻²	centi	c		10 ¹⁵	peta	P
10 ⁻¹	deci	d		10 ¹⁸	eksa	E

C. NEKATERI PRETVORNI FAKTORJI

$$1 \text{ \AA} = 10^{-8} \text{ cm} = 10^{-4} \text{ \mu m} = 10^{-10} \text{ m}$$

$$1 \text{ mil} = 0,001 \text{ in} = 25,4 \text{ \mu m}$$

$$1 \text{ \mu m} = 10^{-4} \text{ cm} = 10\,000 \text{ \AA}$$

$$1 \text{ cm} = 0,3937 \text{ in} \text{ (enota "in" je inch oziroma palec)}$$

$$1 \text{ in} = 2,54 \text{ cm}$$

$$1 \text{ mm}^2 = 1550 \text{ mil}^2$$

$$1000 \text{ mil}^2 = 0,645 \text{ mm}^2$$

STVARNO KAZALO

A

ACITVE · 40
 ACTIVE CONTACT · 41
 aktivni upor · 74
 analiza ogliščnih točk · 101
 analogna mreža · 224
 ASIC vezja · 211
 atenuator · 138
 avtomatska sinteza · 217

B

BiCMOS · 235
 bipolarna tehnologija · 193
 bipolarna tokovna zrcala · 199
 bipolarni transkonduktančni ojačevalnik · 202
 body pojav · 59

C

celica · 15
 Cell Based Design · 226
 CMOS decizijsko vezje · 129
 CMOS delilnik · 142
 CMOS enostopenjski ojačevalnik · 156
 CMOS integrirana vezja
 tehnologija · 17
 CMOS invertor · 119, 229
 dinamične lastnosti · 128
 izhodna upornost · 123
 CMOS komparator · 177
 projektiranje · 177
 CMOS proces z n-otoki · 29
 CMOS vezja
 tehnologija · 24
 corner analysis · 101
 CV meritev · 33

Č

čip
 jedro · 12
 zunanji (obrobni) del · 12

D

Darlingtonova vezava · 171
 debel oksid · 24
 debeloplastno vezje · 243
 delilnik napetosti · 138

delno načrtovanje integriranih vezij (Semi Custom) ·
 219
 depletion type MOS · 47, 56
 DFET · 241
 diferenčna napetost · 162
 diferenčni izhod · 161
 diferenčni ojačevalnik · 161
 diferenčno ojačenje · 161
 difundiran upor · 66
 difuzija · 18
 difuzijski upor · 66
 dinamična logična vezja · 131
 dinamična upornost · 74
 dinamične lastnosti invertorja · 128
 dioda · 81
 D-MESFET · 241
 DMOS tranzistor · 245
 DRAM · 80
 DRC (Design Rule Check) · 214

E

Ebers-Mollove enačbe · 197
 ECL družina · 204
 EFET · 241
 ekstraktor · 45
 E-MESFET · 241
 emitorski sledilnik · 168
 enhancement type MOS · 47
 enostopenjski ojačevalnik · 150
 enostopenjski ojačevalnik s tokovnim izvorom · 154
 enostopenjski ojačevalnik z nelinearnim MOS
 uporom · 153
 epitaksija · 18

F

Field Programmable Devices (FPD) · 230
 FinFET · 249
 fizične dimenzije MOS tranzistorja · 27
 fotolitografija · 18
 FOX · 24
 frekvenčna kompenzacija · 172
 full custom · 213

G

GaAs vezja
 logična vrata · 242
 GaAs vezja · 240
 geometrijska struktura vezja · 14
 gradient izhodne napetosti · 181
 gradnik · 14

H

HDL · 217
hibridno integrirano vezje · 14, 243

I

identifikacijska prevleka · 45
integrirano vezje · 12
intrinzični MOS tranzistor · 59
ionska implantacija · 18
izhodna karakteristika · 48
izhodna stopnja · 167
izolacija uporov · 70

K

kaskodni ojačevalnik · 160
klasifikacija integriranih vezij · 15
komparator
 dvostopenjski CMOS · 177
komparator · 177
kompletno načrtovana vezja po meri · 219
kompletno načrtovanje (Full Custom) · 218
kondenzator · 78
kontaktne blazinice · 12

L

lambda pravilo · 40
lateralna difuzija · 19
lateralni bipolarni tranzistor · 83
lateralni DMOS tranzistor · 246
layout · 14
layout design · 34
linearen MOS upor · 71, 72
linearno področje · 49
LOCOS · 24
logične mreže · 222
LVS (Layout Versus Schematic) · 214

M

makro celice · 225
maske · 39
 lambda pravilo · 40
 minimalne razdalje · 41
MEMS (Microelectromechanical Systems) · 248
meritev zakasnitev · 99
MESFET · 241
metalizacija · 18
mikroelektronika · 12
minimalne razdalje · 41
množica vrat (Sea of Gates ali SOG) · 225
mobilnost nosilcev · 50
močnostna mikroelektronska vezja · 244
model logičnih vrat · 98
monokristalni silicij · 17
monolitno integrirano vezje · 14

MOS dioda · 73
MOS stikalo · 113
MOS tranzistor · 21
 simbol · 21
 simulacijski modeli · 60
 statične karakteristike · 47
 struktura · 22
 tridimenzionalni pogled · 26
MOS tranzistor z induciranim kanalom · 48
MOS tranzistor z vgrajenim kanalom · 56

N

načrtovanje
 primerjava · 232
načrtovanje geometrijske strukture · 34
načrtovanje s (standardnimi) celicami · 226
nanocevnii tranzistor · 253
nanotehnologija · 252
napetostni delilnik · 139
napetostni referenčni viri · 173
nelinearen MOS upor · 73
nepovezana logična mreža · 222
nepovezane strukture · 220, 230
NMOS invertor · 102
NMOS napetostni delilnik · 139
NMOS tranzistor
 risanje geometrije · 42
NSELECT · 40
n-well process · 29

O

oksidacija · 18
omski kontakt · 18
orientacija elementa · 43
označevanje mask · 35, 39

P

parazitni MOS tranzistor · 24
planarna tehnologija · 18
plast (layer) · 13
plastna upornost · 65
PMOS invertor · 102
PMOS tranzistor
 risanje geometrije · 43
podpragovno področje · 57
področje nasičenja · 49
polikristalni silicij · 17
polikristalni upor · 66
POLY CONTACT · 41
pragovna napetost · 57
 dvig · 58
preklopna kondenzatorska vezja · 238
preklopna napetost · 96
prenosna karakteristika · 48
preseki CMOS inverterja · 17
prestrukturiranje tranzistorjev · 38
preščiipnjen upor · 77
primitivni gradniki · 15

procesna konstanta · 50
tabela · 51
programabilne mreže · 230
projektiranje CMOS inverterja · 124
PSELECT · 40
push-pull inverter · 156

R

risanje NMOS tranzistorja · 42
risanje PMOS tranzistorja · 43

S

SC integrator · 239
SC upor · 238
SC vezja · 238
SCNA tehnologija · 39
Sea of Gates (SOG) · 225
silicijev oksid
debel · 17
tanek · 17
sinteza · 214
smart power IC · 247
sofazna napetost · 162
sofazno ojačenje · 162
SPICE · 214
splošno decizijsko CMOS vezje · 129
splošno decizijsko NMOS vezje · 111
standardne celice · 220, 226
statična upornost · 74
struktura bipolarnega tranzistorja · 193
substrat · 13
substratni tranzistor · 80
Switched Capacitor Circuit · 238

T

tabletko · 12
taksonomija ASIC vezij · 219
tankoplastno vezje · 243
tehnologija
0,8 μm · 51
5 μm · 51
tehnologija CMOS vezij · 24

tehnologija s p-otoki · 32
Thick Film Hybrid Microelectronic Circuit · 243
Thin Film Hybrid Microelectronic Circuit · 243
tiristorski pojav · 83
tokovna preslikava · 146
tokovni generator · 143
tokovni izvor · 144
tokovni ponor · 144
tokovno zrcalo · 145
tokovno-tokovni ojačevalnik · 146
transkonduktančni ojačevalnik · 163, 167

U

ULA (Uncommitted Logic Array) · 222
upor
difundiran · 66
linearen MOS · 71
nelinearen MOS · 73
upor · 63
upor
segmenti · 67

V

variacija procesnih parametrov · 101
varnostni obroči · 85
vertikalni bipolarni tranzistor · 83, 84, 85
vertikalni tranzistor · 80
VHDL · 217
vzorčevalno vezje · 119

W

Widlarjevo zrcalo · 201

Z

zaporno področje · 49
zaščitni obroči · 87
zaščitno steklo · 18
združevanje tranzistorjev · 37

UVOD V INTEGRIRANA VEZJA

TOMAŽ DOGŠA

Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko, Maribor, Slovenija.
tomaz.dogsa@um.si

Povzetek V učbeniku je v sedmih poglavjih predstavljena mikroelektronika na pregleden in poenostavljen način. Zahtevnost je prilagojena znanju prvostopenjskega in drugostopenjskega študenta. Predpostavljeno je, da bralec pozna osnovne lastnosti polprevodniških elektronskih elementov (dioda, bipolarni in MOS tranzistor) ter da pozna osnovna analogna in digitalna vezja. Potrebno je tudi obvladati DC oziroma AC analizo ter simulacijo vezij (SPICE). Poudarek je na CMOS vezjih. Kljub temu, da so danes NMOS vezja zastarela, so v učbenik vključena zato, da pomagajo pri razumevanju GaAs vezij, ki imajo podobno strukturo kot NMOS. Učbenik se začne z opisom MOS tranzistorja (karakteristike, struktura, CMOS tehnologija in načrtovanje geometrijske strukture). Sledi opis načrtovalskih metod. Zadnja poglavja so namenjena kratkemu opisu moderne mikroelektronike. Na koncu nekaterih poglavij so naloge, katerih rešitve so v publikaciji Tomaž Dogša: Osnove mikroelektronike [Elektronski vir]: zbirka vaj z rešitvami", 2019.

<https://press.um.si/index.php/ump/catalog/book/444>

Ključne besede:

analiza in načrtovanje mikroelektronskih vezij, mikroelektronske tehnologije, analogna vezja, integrirana vezja, digitalna vezja, MOS tranzistor.



Univerza v Mariboru

Fakulteta za elektrotehniko,
računalništvo in informatiko