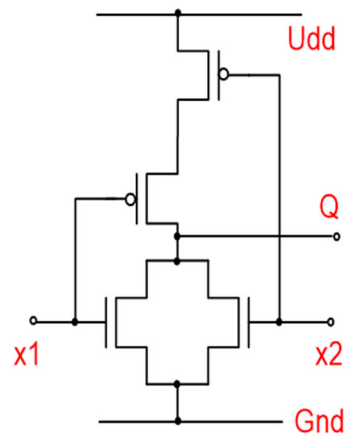
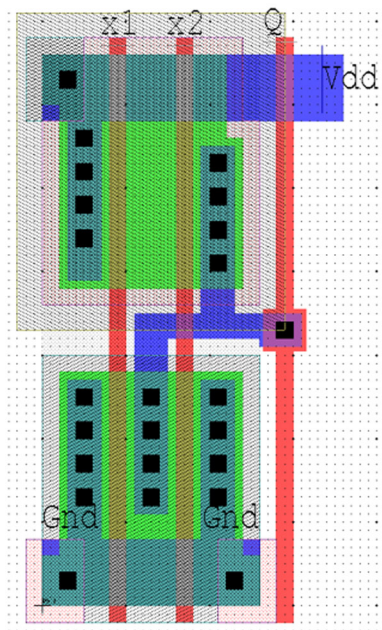


Tomaž Dogša

OSNOVE MIKROELEKTRONIKE

ZBIRKA VAJ Z REŠITVAMI





Univerza v Mariboru

Fakulteta za elektrotehniko,
računalništvo in informatiko

OSNOVE MIKROELETRONIKE

Zbirka vaj z rešitvami

Avtor
Tomaž Dogša

Maribor, december 2019

Naslov	Osnove mikroelektronike	Podnaslov	Zbirka vaj z rešitvami
<i>Title</i>	Introduction to Microelectronics	<i>Subtitle</i>	Collection of Solved Problems
Avtor	Tomaž Dogša		
<i>Author</i>	(Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko)		
Recenzija	Mitja Sotlar		
<i>Review</i>	(Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko)		
Tehnična urednika	Tomaž Dogša		
<i>Technical editors</i>	(Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko)		
	Jan Perša (Univerzitetna založba Univerze v Mariboru)		
Oblikovanje ovitka	Jan Perša		
<i>Cover designer</i>	(Univerzitetna založba Univerze v Mariboru)		
Grafike na ovitku	Avtor	Grafične priloge	Avtor
<i>Cover graphics</i>		<i>Graphics material</i>	
Založnik / Published by	Univerzitetna založba Univerze v Mariboru Slomškov trg 15, 2000 Maribor, Slovenija http://press.um.si , zalozba@um.si		
Izdajatelj / Co-published by	Fakulteta za elektrotehniko, računalništvo in informatiko Koroška cesta 46, 2000 Maribor, Slovenija https://feri.um.si , feri@um.si		
Izdaja	Prva izdaja	Vrsta publikacije	E-book
<i>Edition</i>		<i>Publication type</i>	
Izid	Maribor, december 2019		
<i>Published</i>			
Dostopno na	http://press.um.si/index.php/ump/catalog/book/444		
<i>Availabe at</i>			

CIP - Kataložni zapis o publikaciji
Univerzitetna knjižnica Maribor

621.3.049.77 (075.8) (076)

DOGŠA, Tomaž

Osnove mikroelektronike [Elektronski vir] :
zbirka vaj z rešitvami / avtor Tomaž Dogša. - 1.
izd. - El. knjiga. - Maribor : Univerzitetna
založba Univerze, 2019

Način dostopa (URL):
<http://press.um.si/index.php/ump/catalog/book/444>
ISBN 978-961-286-310-4 (pdf)
doi: 10.18690/978-961-286-310-4
COBISS.SI-ID 97847041



© Univerza v Mariboru, Univerzitetna
založba

/ University of Maribor, University Press

Besedilo/ Text © Dogša, 2019

To delo je objavljeno pod licenco Creative
Commons Priznanje avtorstva-Brez predelav
4.0 Mednarodna. / *This work is licensed
under the Creative Commons Attribution -
NoDerivs 4.0 International License.*

<https://creativecommons.org/licenses/by-nd/4.0/>

ISBN 978-961-286-310-4 (pdf)

DOI <https://doi.org/10.18690/978-961-286-310-4>

Cena
Price Brezplačni izvod

Odgovorna oseba založnika
For publisher prof. dr. Zdravko Kačič, rektor Univerze v Mariboru

OSNOVE MIKROELEKTRONIKE: ZBIRKA VAJ Z REŠITVAMI

TOMAŽ DOGŠA

Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko,
Maribor, Slovenija, e-pošta: tomaz.dogsa@um.si

Povzetek Ta zbirka rešenih nalog iz mikroelektronike je namenjena študentom, ki se prvič srečujejo z načrtovanjem integriranih vezij. Razumevanje nalog zahteva predhodno poznavanje teorije s področja mikroelektronike in ustrezno znanje elektronike ter simulacije vezij. Skoraj vse naloge imajo enako strukturo: na začetku je besedilo, nato sledi analiza oziroma načrtovanje in na koncu preverjanje s simulatorjem SPICE. Vaje so razdeljene v štiri skupine: MOS tranzistor, prepoznavanje in načrtovanje geometrijske strukture, logična in analogna vezja. Za študente najtežji del bo verjetno načrtovanje analognih integriranih vezij. V dodatku se nahaja zgled preprostega projekta, ki vsebuje načrtovanje vezja in geometrijske strukture.

Ključne besede:
mikroelektronika,
elektronska
simulacija vezja,
načrtovanje vezij,
geometrijske
strukture,
SPICE.



Univerzitetna založba
Univerze v Mariboru

DOI <https://doi.org/10.18690/978-961-286-310-4>

ISBN 978-961-286-310-4

Dostopno na: <http://press.um.si>

INTRODUCTION TO MICROELECTRONICS: COLLECTION OF SOLVED PROBLEMS

TOMAŽ DOGŠA

University of Maribor, Faculty of Electrical Engineering and Computer Science,
Maribor, Slovenia, e-mail: tomaz.dogsa@um.si

Abstract This collection of solved problems in microelectronics is designed for students who are experiencing integrated circuit design for the first time. Understanding the problems and solutions requires prior knowledge of microelectronics theory and adequate knowledge of electronics and circuit simulations. Almost all problems have the same structure: text starts at the beginning, followed by analysis or design, and finally, verification with the SPICE simulator. The problems are divided into four groups: MOS transistor, layout design, digital and analogue circuits. For students, the hardest part will probably be designing analogue integrated circuits. The appendix provides an example of a simple project that contains circuit and layout design.

Keywords:
microelectronics,
electronic circuits,
circuit simulation,
layout design,
SPICE.

DOI <https://doi.org/10.18690/978-961-286-310-4>

ISBN 978-961-286-310-4

Available at: <http://press.um.si>



University of Maribor Press

Kazalo vsebine

UVOD	1
A. MOS TRANZISTOR, UPOR in kondenzator.....	3
VAJA A.1 MOS tranzistor – delovna točka.....	5
VAJA A.2 MOS tranzistor – delovna točka.....	7
VAJA A.3 MOS tranzistor – risanje karakteristike	8
VAJA A.4 MOS tranzistor – delovna točka.....	9
VAJA A.5 MOS tranzistor – delovna točka.....	11
VAJA A.6 Prepoznavanje geometrijskih struktur.....	11
VAJA A.7 Risanje MOS tranzistorja.....	12
VAJA A.8 Prepoznavanje geometrijskih struktur.....	12
VAJA A.9 Prepoznavanje geometrijskih struktur.....	13
VAJA A.10 Prepoznavanje geometrijskih struktur.....	14
VAJA A.11 Prepoznavanje geometrijskih struktur.....	15
VAJA A.12 MOS tranzistor-dvovhodni parametri	16
VAJA A.13 MOS tranzistor - dvovhodni parametri	18
VAJA A.14 Difuzijski upor - analiza.....	19
VAJA A.15 Difuzijski upor - projektiranje	20
VAJA A.16 Parazitna upornost - analiza	21
VAJA A.17 Nelinearni MOS upor - projektiranje	22
VAJA A.18 Nelinearni MOS upor – ogliščna analiza	23
VAJA A.19 Linearni MOS upor - projektiranje	26
Dodatne naloge.....	28
B. LOGIČNA VEZJA	31
VAJA B.1 Analiza NMOS invertorja	33
VAJA B.2 Projektiranje NMOS invertorja	39
VAJA B.3 Projektiranje večvhodnih vrat	40
VAJA B.4 Sinteza NMOS logičnega vezja.....	43
VAJA B.5 Sinteza NMOS logičnega vezja.....	44
VAJA B.6 CMOS stikalo	45
VAJA B.7 Analiza CMOS invertorja.....	48
VAJA B.8 Analiza CMOS invertorja.....	51
VAJA B.9 Analiza CMOS invertorja.....	52
VAJA B.10 Projektiranje CMOS invertorja	55
VAJA B.11 Projektiranje CMOS invertorja	57
VAJA B.12 Projektiranje CMOS invertorja	59
VAJA B.13 Projektiranje CMOS invertorja	60
VAJA B.14 Sinteza CMOS kombinacijskega vezja	63

C. ANALOGNA VEZJA.....73

Vaja C.1	Projektiranje CMOS delilnika napetosti	75
Vaja C.2	Projektiranje tokovnega zrcala.....	77
Vaja C.3	Analiza tokovnega zrcala	78
Vaja C.4	Projektiranje tokovnega zrcala.....	80
Vaja C.5	Projektiranje več tokovnih virov.....	81
Vaja C.6	Analiza tokovnega izvora.....	84
Vaja C.7	Analiza tokovnega izvora.....	85
Vaja C.8	Analiza NMOS enostopenjskega ojačevalnika.....	86
Vaja C.9	Analiza enostopenjskega NMOS ojačevalnika.....	88
Vaja C.10	Projektiranje NMOS enostopenjskega ojačevalnika	91
Vaja C.11	Analiza MOS ojačevalnika z aktivnim bremenom	94
Vaja C.12	Projektiranje CMOS ojačevalnika	98
Vaja C.13	Primerjava enostopenjskih ojačevalnikov	99
Vaja C.14	Analiza diferenčnega ojačevalnika	102
Vaja C.15	Analiza diferenčnega ojačevalnika	106
Vaja C.16	Analiza bipolarnih tokovnih zrcal.....	109
Vaja C.17	Analiza preprostega bipolarnega ojačevalnika	110
Vaja C.18	Stabiliziran napetostni vir	111
Vaja C.19	Projektiranje SC upora.....	113

D. DODATEK.....117

1.	0,8 μm CMOS tehnologija	119
2.	Označevanje mask.....	119
3.	Faktor oblike za upore.....	120
4.	Struktura in zgled projekta	121

UVOD

Te vaje so namenjene študentom, ki poslušajo predmet Osnove mikroelektronike. Kar precej knjig obravnava mikroelektroniko in le redke imajo na koncu poglavij naloge za utrjevanje snovi.

Vaje sem razdelil v tri skupine. V prvi je poudarek na MOS tranzistorju. Logična vezja so obravnavana v drugem delu. Za študente najtežji del bo verjetno tretja skupina vaj, kjer je poudarek na analognih vezjih. Predvsem ta del in delno tudi drugi zahtevata ustrezno podlago s področja elektronike.

Ker so vaje v prvi vrsti namenjene študentom, ki se šele srečujejo z integriranimi vezji, sem poskušal izbrati le relativno nezahtevne vaje. Skoraj vse imajo enako strukturo: na začetku je besedilo, nato analiza oziroma sinteza in na koncu rezultati simulacije. Tak koncept omogoča, da lahko študenti primerjajo rezultate, ki so jih izračunali, s tistimi iz simulacije. Na ta način smo (razen nekaj izjem) vsako vajo tudi preverili. Pri prikazanih simulacijah teh vaj sem uporabljal SPICE oziroma simulacijsko okolje ICAPS4, ki ga je izdelalo ameriško podjetje INTUSOFT. Izhodni izpisi, ki so praviloma zelo obsežni in bi po nepotrebnem zamogli preglednost posameznih vaj, sem včasih skrajšal in izpis tako skrčil na največ eno stran. Tudi h grafičnim prikazom rezultatov sem mnogokrat dodal dodatne oznake (npr. Vdd [V]), ki povečujejo preglednost in razumljivost.

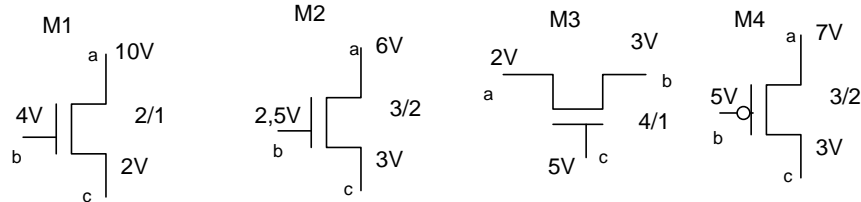
Študenti imajo zelo pogosto težave pri načrtovanju oziroma prepoznavanju geometrijskih struktur integriranih vezij. Zato sem povsod, kjer je bilo smiselno, dodal geometrijsko strukturo tranzistorja oziroma vezja. V prvi skupini vaj, kjer obravnavamo MOS tranzistor, so na koncu še dodatne vaje, ki so namenjene utrjevanju prepoznavanja in načrtovanja geometrijskih struktur. Kompleksnost struktur je odvisna tudi od izbrane tehnologije. Odločil sem se za zelo preprosto CMOS tehnologijo s polikristalnimi vrati in enim kovinskim nivojem. Pri izbiri označevanja mask sem bil omejen s tehnologijo tiska in risanja. Ker sem se moral odreči barvam, sem izbral preprost črno-beli sistem označevanja, ki se je izkazal kot popolnoma zadovoljiv.

Na vajah dobi vsak študent svoj projekt, s katerim pokaže, da obvlada načrtovalski postopek. V Dodatku je prikazan zgled kompletnega poročila, ki ga napišejo študenti. Zgled prikazuje načrtovanje logičnega gradnika.

A. MOS TRANZISTOR, UPOR IN KONDENZATOR

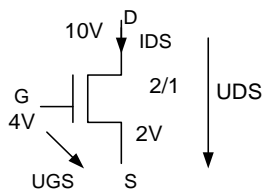
VAJA A.1 MOS TRANZISTOR – DELOVNA TOČKA

Za vsak tranzistor izračunaj delovno točko. $U_{tn} = 1V$, $k'_n = 50\mu A/V^2$, $U_{tp} = -1V$, $k'_p = 20\mu A/V^2$.



Rešitev:

M1: Najprej določimo in označimo sponke G, D in S. G je b. Ker je $U(a) > U(b)$, je c sponka S in a je D. Nato označimo smeri napetosti in tokov ter izračunamo napetosti: $U_{GS} = 4V - 2V = 2V$



Ker je $U_{GS} > U_{tn}$, tranzistor prevaja. Sedaj moramo ugotoviti, ali se delovna točka nahaja v linearnem področju, ali pa v nasičenju.

$$U_{DSsat} = U_{GS} - U_{tn} = 2V - 1V = 1V.$$

$$U_{DS} = 10V - 2V = 8V$$

Ker je $U_{DS} > U_{DSsat}$, je delovna točka v področju nasičenja.

$$\text{Področje nasičenja opisuje enačba: } I_D = \frac{k'_n W}{2L} (U_{GS} - U_{tn})^2 = \frac{50 \cdot 10^{-6}}{2} \frac{2}{1} (2-1)^2 = 50\mu A$$

Delovna točka tranzistorja M1 je: $U_{GS} = 2V$, $U_{DS} = 8V$, $I_D = 50\mu A$.

M2: D je a, S je c in b = G. $U_{GS} = 2,5V - 3V = -0,5V$ Ker je $U_{GS} < U_{tn}$, tranzistor ne prevaja.

Delovna točka tranzistorja M2 je: $U_{GS} = -0,5V$, $U_{DS} = 3V$, $I_D = 0$.

M3: D je b, S je a in c = G. $U_{GS} = 5V - 2V = 3V$ Ker je $U_{GS} > U_{tn}$, tranzistor prevaja. Sedaj moramo ugotoviti, ali se delovna točka nahaja v linearnem področju, ali pa v nasičenju.

$$U_{DSsat} = U_{GS} - U_{tn} = 3V - 1V = 2V. \quad U_{DS} = 3V - 2V = 1V$$

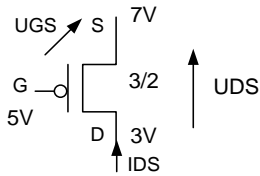
Ker je $U_{DS} < U_{DSsat}$, je delovna točka v linearnem področju.

Linearno področje opisuje enačba:

$$I_D = \frac{k'_n W}{L} \cdot \left((U_{GS} - U_m) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right) = \frac{50 \cdot 10^{-6}}{1} \cdot 4 \left((3-1)1 - \frac{1}{2} \right) = 300 \mu A$$

Delovna točka tranzistorja M3 je: $U_{GS} = 3V$, $U_{DS} = 1V$, $I_D = 300 \mu A$.

M4: D je c, G je b in S je a.



$U_{GS} = 5V - 7V = -2V$, $U_{DS} = 3V - 7V = -4V$. Ker je $U_{GS} < U_{tp}$, tranzistor prevaja.

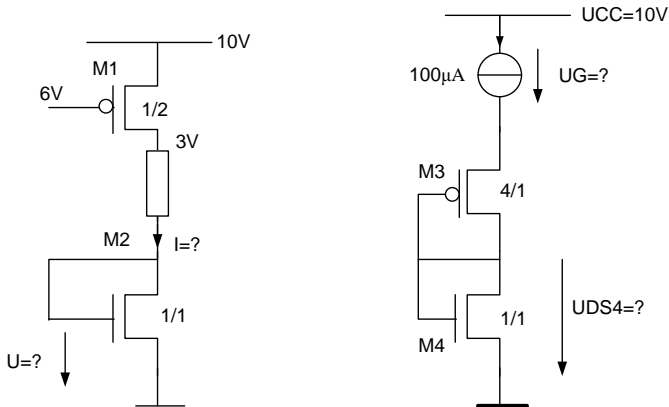
$U_{DSsat} = U_{GS} - U_{tp} = -2V + 1V = -1V$. Ker je $U_{DS} < U_{DSsat}$, je delovna točka v področju nasičenja.

$$I_D = -\frac{k'_n W}{2L} \cdot (-U_{GS} + U_{tp})^2 = -\frac{20 \cdot 10^{-6}}{2} \cdot \frac{3}{2} (2-1)^2 = -15 \mu A$$

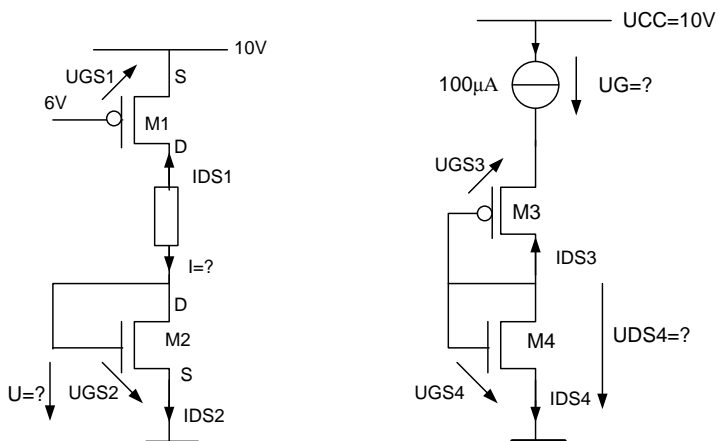
Nasvet: vsi izračunani tokovi in napetosti morajo imeti pri PMOS tranzistorju negativni predznak.

VAJA A.2 MOS TRANZISTOR – DELOVNA TOČKA

Označi smeri tokov in napetosti ter izračunaj delovno točko. $U_{tn} = 1V$, $k'_n = 50\mu A/V^2$, $U_{tp} = -1V$, $k'_p = 20\mu A/V^2$.



Rešitev:



$$I = 45\mu A$$

$$U = U_{GS2} = 2,3V$$

$$U_{DS4} = U_{GS4} = 3V$$

$$U_{GS3} = -2,6V$$

$$UG = 4,4V$$

VAJA A.3 MOS TRANZISTOR – RISANJE KARAKTERISTIKE

NMOS tranzistor ima dimenzije 20/5, $k_n' = 40\mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{V}$. Nariši izhodno karakteristiko za območje $0 < U_{DS} < 10\text{V}$. Parameter je $U_{GS} = 1, 2, 3, 4\text{V}$. Nariši tudi prenosno karakteristiko ($U_{GS} = 0, 1, 2, 3, 4\text{V}$ in $U_{DS} = 1, 2, 3\text{V}$).

Rešitev:

Najprej izračunamo mejne točke, ki določajo mejo med področjem nasičenja in linearnim področjem:

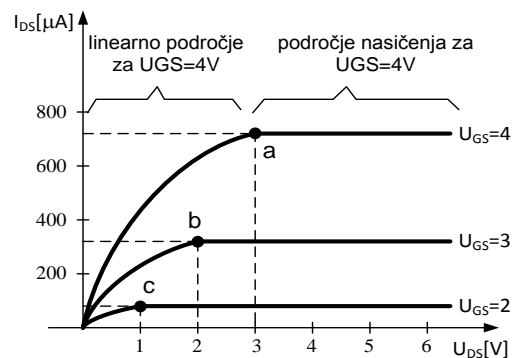
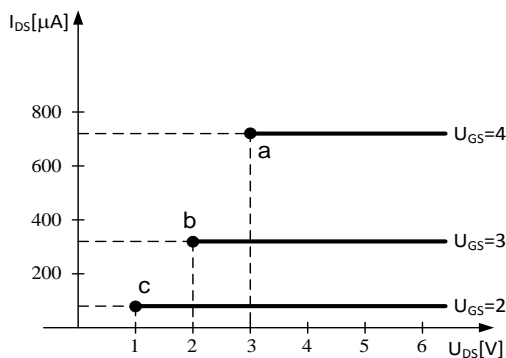
$$U_{DSat} = U_{GS} - U_{tn}$$

Nato izračunamo tok v tej točki: $I_{DS} = \frac{k_n' \cdot W}{2L} (U_{GS} - U_{tn})^2$. Izračunane vrednosti uredimo v tabeli.

U_{GS} [V]	$U_{DS(sat)}$ [V]	Točka	I_{DS} [μA]
0	-	-	0
1	0	.	0
2	1	c	80
3	2	b	320
4	3	a	720

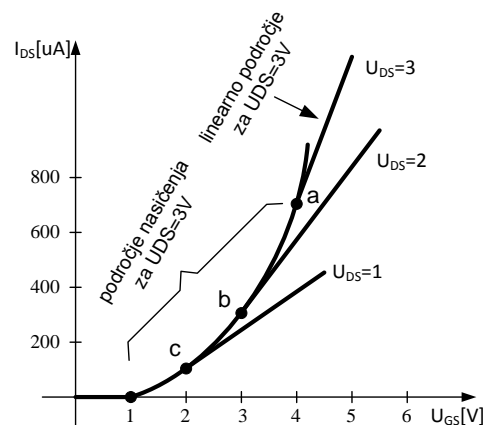
Izhodna karakteristika $I_{DS}=f(U_{DS}, U_{GS}) - U_{GS}$ je parameter:

Najprej narišemo točke, kjer se začne področje nasičenja (a, b, in c). Desno od teh točk potegnemo ravne črte, levo pa narišemo parabole.



Prenosna karakteristika $I_{DS}=f(U_{DS}, U_{GS}) - U_{DS}$ je parameter:

Od pragovne napetosti ($U_{GS} = U_t$) narišemo parabolo. Izberemo U_{DS} za parameter in izračunamo pri kolikšnem U_{GS} se začne linearno področje $U_{GS} = U_{DSat} + U_t$. V tej točki nasičenja nadaljujemo s premico, ki prestavlja linearno področje.



VAJA A.4 MOS TRANZISTOR – DELOVNA TOČKA

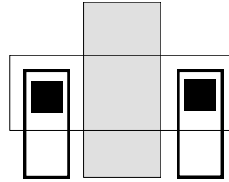
Pri kolikšni U_{GS} je napetost nasičenja 5V? Kolikšen tok takrat teče?

Podatki:

NMOS tranzistor

$$U_{tn} = 1,2 \text{ V}$$

$$k'_n = 40 \mu\text{A}/\text{V}^2$$



LEGENDA:

POLY

KONTAKT

DIFUZIJA

METAL

Rešitev:

Iz geometrijske strukture tranzistorja je razvidno, da je $W/L = 1/1$.

Krmilna napetost U_{GS} , pri kateri pride tranzistor v nasičenje:

$$U_{DSat} = U_{GS} - U_t \Rightarrow U_{GS} = U_{DSat} + U_t = \underline{\underline{6,2\text{V}}}$$

Tok:

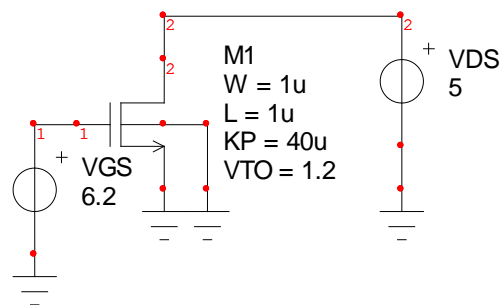
$$I_D = \frac{k'_n W}{2L} (U_{GS} - U_m)^2 = \underline{\underline{500\mu\text{A}}}$$

Računalniška simulacija:

$$I_D = \underline{\underline{500\mu\text{A}}}$$

Računalniška simulacija:

Izberemo enaki dimenziji, npr. $W = L = 1\mu\text{m}$ in vnesemo¹ parametra k' in U_{tn} . Za ime MOS modela smo izbrali `_NMOS`. Podatke o delovni točki najdemo v računalniškem izpisu simulacije.



¹ Simulator uporablja rahlo spremenjena imena parametrov, npr. KP je k' in VTO je U_{tn} .

Rezultat simulacije²:

```
C:\UC_PROG\IV_SC1_VAJE_2_IZDAJA\SIMULACIJE\DEL_TOCKA.CIR SETUP1
*#SAVE V(1) @V1[I] @V1[P] V(2) @V2[I] @V2[P] @M1[ID] @M1[IG]
*#SAVE @M1[ISS] @M1[IB] @M1[P]
*#OP
*#SHOW ALL : ALL
.OPTIONS ACCT
V1 1 0 DC=6.2
V2 2 0 DC=5
M1 2 1 0 0 _NMOS L=1U W=1U
.MODEL _NMOS NMOS KP=40U VTO=1.2
.END
```

Circuit: C:\UC_PROG\IV_SC1_VAJE_2_IZDAJA\SIMULACIJE\DEL_TOCKA.CIR SETUP1

Mos1: Level 1 MOSfet model with Meyer capacitance model

device m1 ← referenčna oznaka tranzistorja
model _nmos ← me modela

Podatki o dimenzijah

l	1.00000U	← dolžina kanala
w	1.00000U	← širina kanala
ad	0	← površina ponora
as	0	← površina izvora
pd	0	← obseg ponora
ps	0	← obseg izvora

:

temp 27.0000 ← temperatura

:

Podatki o delovni točki

id	500.000U	← tok skozi tranzistor
:		
vgs	6.20000	← napetost UGS
vds	5.00000	← napetost UDS
vbs	0	← napetost UBS
vbd	-5.00000	← napetost UBD
:		
:		
von	1.20000	
vdsat	5.00000	← napetost nasičenja

:

**Parametri
malosignalnega modela**

rs	0	
gsource	0	
rd	0	
gdrain	0	
gm	200.000U	← strmina prenosne karakteristike g21
gds	0	← dinamična izhodna prevodnost g22
gmb	0	
:		

p 2.50000M ← enosmerna moč

:

***** SMALL SIGNAL BIAS SOLUTION - OP

```
Node Voltage
***
V( 2 ) 5.000000e+000
V( 1 ) 6.200000e+000
***
```

² Uporabljen je simulator SPICE ICAP/4 8.1.11, ki ga je izdelalo podjetje Intusoft. Ker simulator izpiše 65 podatkov za vsak tranzistor, so prikazani samo najpomembnejši.

VAJA A.5 MOS TRANZISTOR – DELOVNA TOČKA

Kolikšne dimenzije mora imeti tranzistor iz prejšne naloge, če želimo maksimalni tok 1,5 mA?

Rešitev:

$$I_D = \frac{1}{2} \cdot k'_n \cdot \frac{W}{L} \cdot (U_{GS} - U_t)^2 \Rightarrow \frac{W}{L} = \frac{2 \cdot I_D}{k'_n \cdot (U_{GS} - U_t)^2} = \frac{3}{1}$$

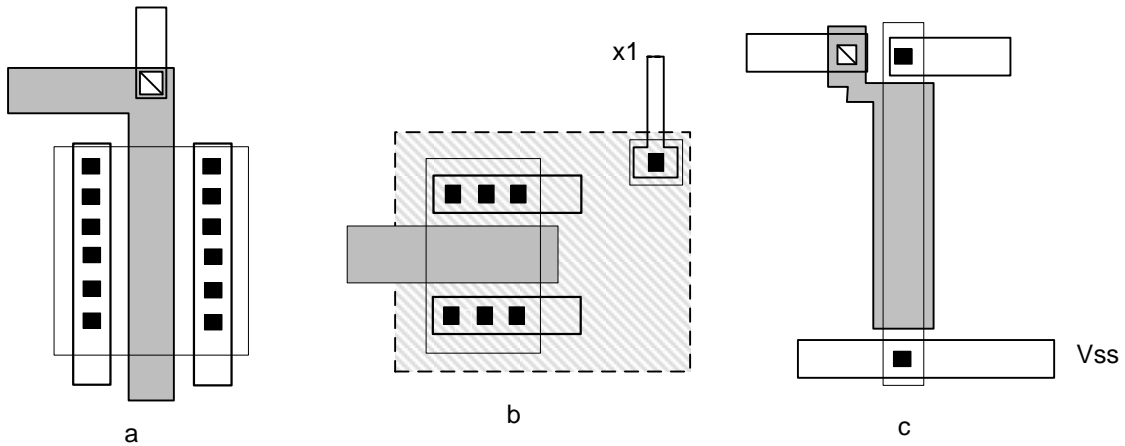
Če imamo 0,5-mikronsko tehnologijo, so dimenzije $W/L = 1,5\mu\text{m}/0,5\mu\text{m}$.

Računalniška simulacija: $I_D = \underline{\underline{1,50\text{mA}}}$

VAJA A.6 PREPOZNAVANJE GEOMETRIJSKIH STRUKTUR

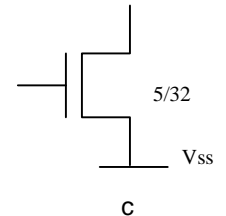
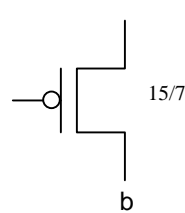
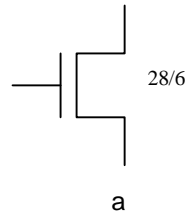
Določi tip in dimenzije tranzistorjev, če je

- a. substrat je p in
- b. substrat je n.

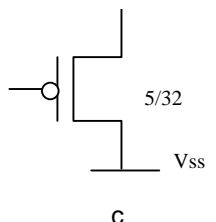
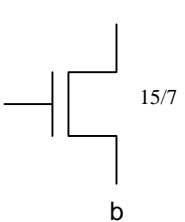
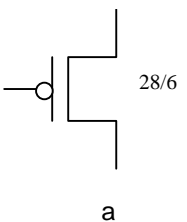


Rešitev:

Substrat je p:



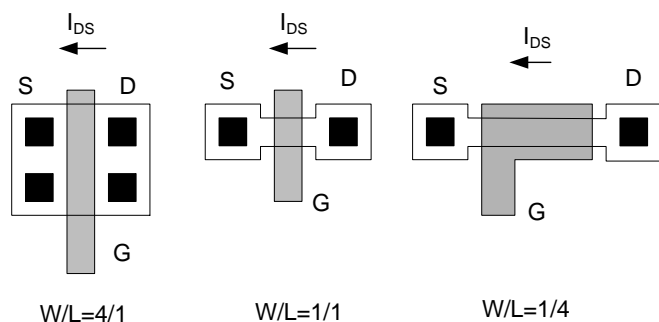
Substrat je n:



VAJA A.7 RISANJE MOS TRANZISTORJA

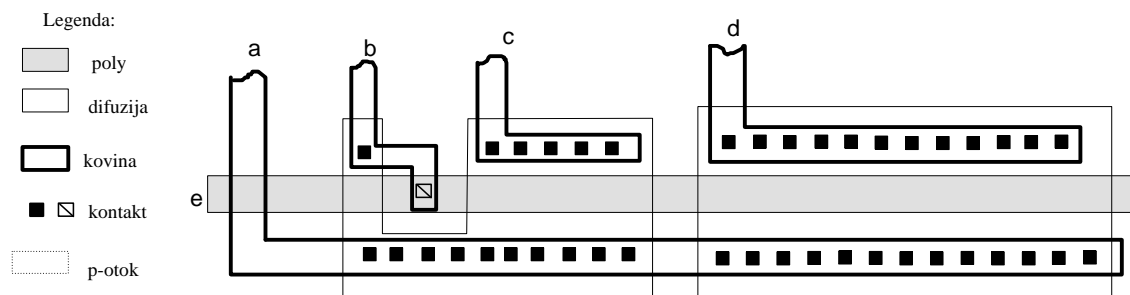
Nariši maske za NMOS tranzistorje z dimenzijami 4/1, 1/1 in 1/4. Geometrijska struktura naj bo orientirana v smeri vzhod – zahod. Substrat je p. Označi priključke in smer toka.

Rešitev:



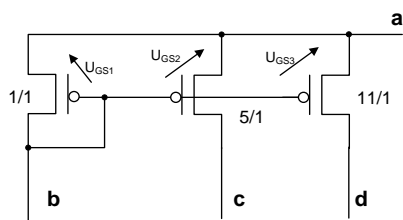
VAJA A.8 PREPOZNAVANJE GEOMETRIJSKIH STRUKTUR

Nariši ustrezno električno shemo. Določi dimenzije tranzistorjev in na shemi označi krmilne napetosti.



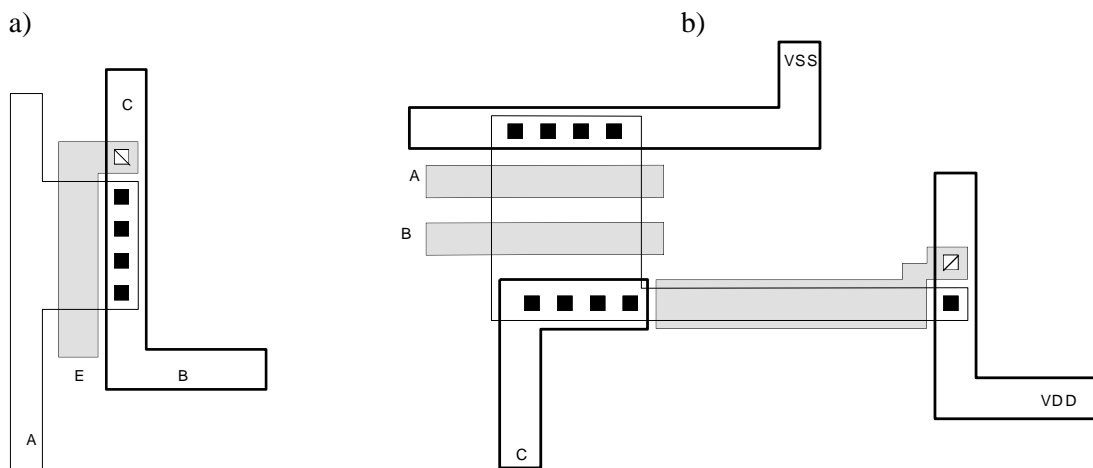
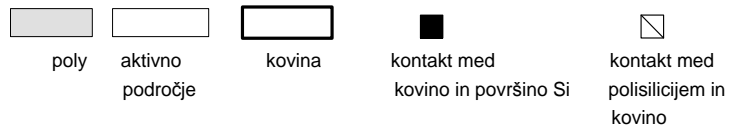
Rešitev:

To so trije PMOS tranzistorji, ki tvorijo dvojno tokovno zrcalo. Vezje bo obravnavano kasneje. Ker je priključek **a** običajno vezan na U_{DD} to je na najvišji potencial, smo tranzistorje tako tudi ustrezno narisali.

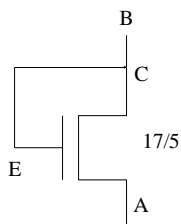


VAJA A.9 PREPOZNAVANJE GEOMETRIJSKIH STRUKTUR

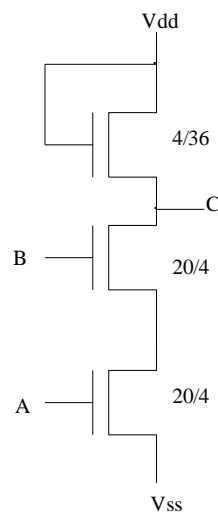
Na sliki sta prikazani dve geometrijski strukturi. Nariši ekvivalentna vezja na nivoju tranzistorjev. Dodaj tudi približne dimenzije (razmerje W/L) tranzistorjev. Substrat je p.



Rešitev:



Struktura a) je NMOS upor.



Struktura b) so NAND vrata napravljena v NMOS tehnologiji.

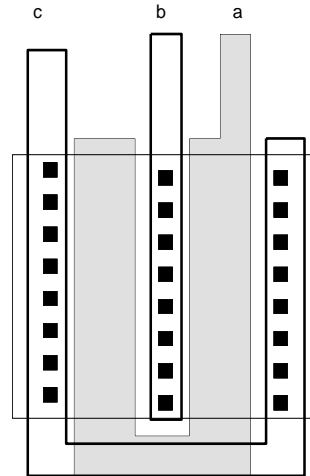
VAJA A.10 PREPOZNAVANJE GEOMETRIJSKIH STRUKTUR

Nariši ekvivalentno električno vezje in izračunaj, kolikšen je lahko maksimalni tok skozi priključka c in b, če je $U_{cb} = 10V$, $U_{ab} = 4V$.

Procesni podatki:

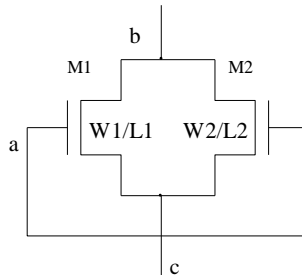
$$U_{tn} = 1V$$

$$k'_n = 40\mu A/V^2.$$



Rešitev:

To je širok MOS tranzistor s prelomljeno strukturo oziroma dva enaka NMOS tranzistorja (M1 in M2), ki sta paralelno povezana.



Dimenzije enega tranzistorja so: $\frac{W_1}{L_1} = \frac{35}{8}$

Ker imata enako dolžino kanala, ju lahko zamenjamo z enim tranzistorjem, ki ima dvojno širino kanala:

$$\frac{W}{L} = \frac{2W_1}{L_1} \approx \frac{70}{8}$$

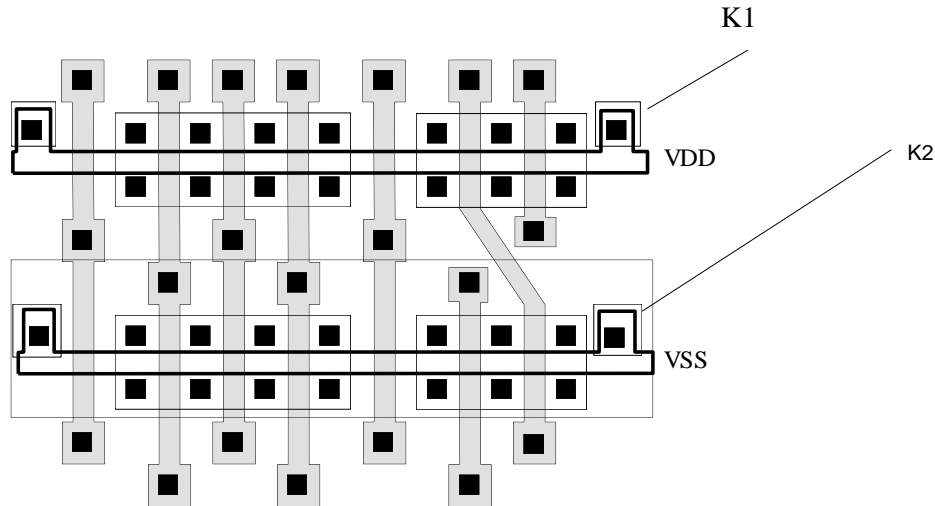
Iz slike je razvidno, da velja: $U_{cb} \equiv U_{DS}$ in $U_{ab} \equiv U_{GS}$

Maksimalni tok:

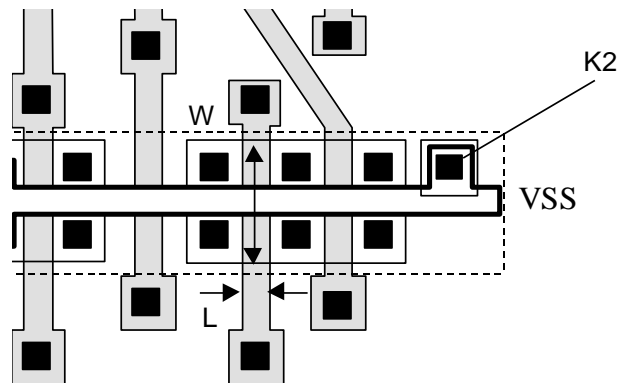
$$I_d = \frac{k'_n \cdot W}{2 \cdot L} (U_{GS} - U_{tn})^2 = \frac{40 \mu A}{2 \cdot V^2} \cdot \frac{70}{8} (4 - 1)^2 = \underline{\underline{1,57mA}}$$

VAJA A.11 PREPOZNAVANJE GEOMETRIJSKIH STRUKTUR

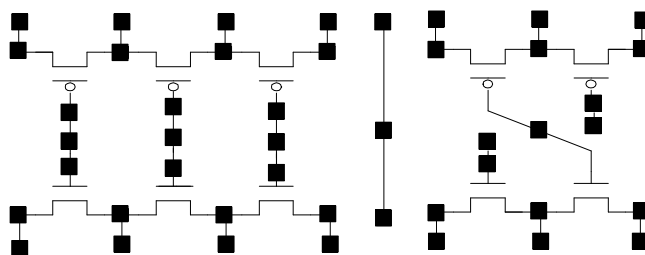
Nariši vezje na nivoju tranzistorjev. Substrat je n. Kakšna je vloga kontaktov K1 in K2? Zakaj sta obkrožena s tankim pravokotnikom? Izberi en tranzistor ter označi in izmeri njegove dimenzije.



Rešitev:



Pod VDD linijo je niz p-kanalnih, pod VSS pa n-kanalnih MOS tranzistorjev. Vsak tranzistor ima dva kontakta za ponor in dva za izvor ter več kontaktov za vrata. Kontakt K1 povezuje n substrat z VDD, K2 pa p-otok z VSS. Obkrožen K1 pomeni, da je kovina preko n⁺ povezana z n-substratom. Brez difuzije n⁺ bi dobili usmerniški kontakt. p⁺ pri K2 zmanjšuje omsko upornost kontakta. Na spodnji sliki so prikazane dimenzije enega izmed n-kanalnih MOS tranzistorjev. Vsi tranzistorji imajo enako dimenzijo $W/L=16/4$.



VAJA A.12 MOS TRANZISTOR-DVOVHODNI PARAMETRI

Izračunaj dinamično izhodno upornost tranzistorja NMOS v delovni točki.

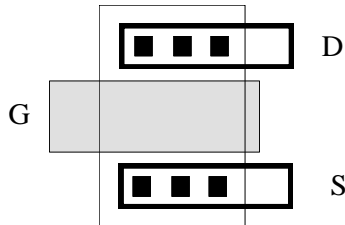
Podatki:

$$k'_n = 35 \mu\text{A}/\text{V}^2$$

$$U_{GS} = 5\text{V}$$

$$U_{tn} = 1\text{V}$$

$$U_{DS} = 0,1\text{V}$$



Rešitev:

Iz geometrijske strukture tranzistorja odčitamo razmerje $W/L=2$.

$$U_{DSat} = U_{GS} - U_{tn} = 5\text{V} - 1\text{V} = 4\text{V}$$

Ker je $U_{DS} < U_{DSat}$, se tranzistor nahaja v linearnem področju. Karakteristiko lahko poenostavimo (zanemarimo kvadratni člen), ker je U_{DS} majhen.

$$I_D = k'_n \frac{W}{L} \cdot \left((U_{GS} - U_{tn}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right) \approx k'_n \frac{W}{L} \cdot ((U_{GS} - U_{tn}) \cdot U_{DS})$$

$$g_{22} = \frac{\partial I_D}{\partial U_{DS}} = \frac{k'_n W}{L} \cdot (U_{GS} - U_{tn})$$

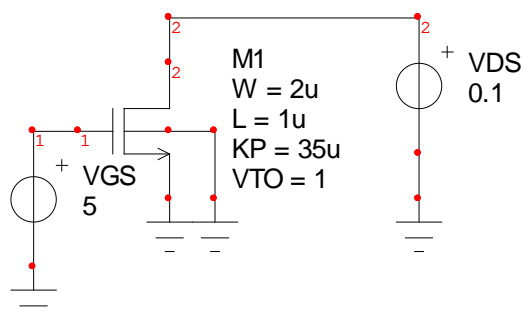
$$r_{DS} = \frac{1}{g_{22}} = \frac{1}{\frac{k'_n W}{L} \cdot (U_{GS} - U_{tn})}$$

V delovni točki $U_{GS} = 5\text{V}$, $U_{DS} = 0,1\text{V}$ je izhodna dinamična upornost:

$$r_{DS} = \frac{1}{\frac{35 \mu\text{A}}{\text{V}^2} \cdot \frac{2}{1} (5-1)\text{V}} = \frac{1\text{V}}{280 \cdot 10^{-6} \text{A}} = \underline{\underline{3,52\text{k}\Omega}}$$

Računalniška simulacija: $r_{DS} = \frac{1}{g_{22}} = \frac{1}{273 \mu\text{S}} = \underline{\underline{3,66\text{k}\Omega}}$

Računalniška simulacija:



```

C:\UC_PROG\IV_SC1_VAJE_2_IZDAJA\SIMULACIJE\MOS_TRANZISTOR\DEL_TOCKA_2.CIR SETUP1
*#SAVE V(1) @VGS[I] @VGS[P] V(2) @VDS[I] @VDS[P] @M1[ID] @M1[IG]
*#SAVE @M1[ISS] @M1[IB] @M1[P]
*#OP
*#SHOW ALL : ALL
.OPTIONS ACCT
VGS 1 0 DC=5
VDS 2 0 DC=0.1
M1 2 1 0 0 _NMOS L=1U W=2U
.MODEL _NMOS NMOS KP=35U VTO=1
.END

```

.END

Circuit: C:\UC_PROG\IV_SC1_VAJE_2_IZDAJA\SIMULACIJE\MOS_TRANZISTOR\DEL_TOCKA_2.CIR
SETUP1

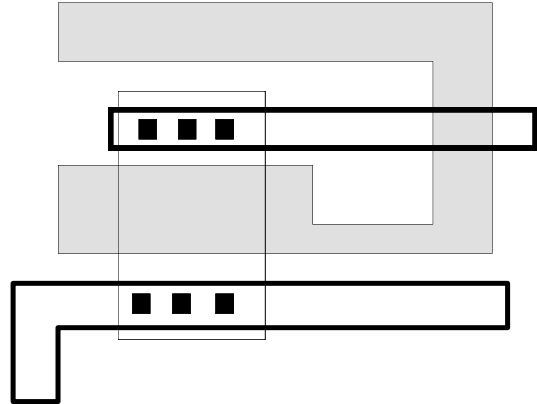
Mos1: Level 1 MOSfet model with Meyer capacitance model

device	m1
model	_nmos
l	1.00000U
w	2.00000U
ad	0
:	
id	27.6500U
:	
vgs	5.00000
vds	100.0000M
vbs	0
:	
von	1.00000
vdsat	4.00000
:	
gm	7.00000U
gds	273.000U ← <i>dinamična izhodna prevodnost g₂₂</i>
gmb	0
:	

VAJA A.13 MOS TRANZISTOR - DVOVHODNI PARAMETRI

Izračunaj strmino transkonduktančne prenosne karakteristike in izhodno dinamično upornost NMOS tranzistorja v delovni točki.

$$\begin{aligned} k'_n &= 35 \mu\text{A}/\text{V}^2 \\ U_{GS} &= 5\text{V}, U_t = 1\text{V} \\ U_{DS} &= 4,5\text{V} \\ \lambda &= 1/50 \text{ 1/V} \end{aligned}$$



Rešitev:

Iz strukture MOS tranzistorja je razvidno, da je $W/L=20/12$. Ker sta izpolnjeni enačbi $U_{GS} > U_{tn}$ in $U_{DS} > U_{GS} - U_{tn}$, leži delovna točka v področju nasičenja. Za to področje velja enačba:

$$I_{DS} = \frac{1}{2} \cdot k'_n \cdot \frac{W}{L} \cdot (U_{GS} - U_m)^2 \cdot (1 + \lambda U_{DS})$$

g_{21} - strmina prenosne karakteristike v delovni točki $U_{GS} = 5\text{V}$:

Ker je člen $1 + \lambda U_{DS}$ približno enak 1, ga lahko zanemarimo. Strmina prenosne karakteristike je odvod I_{DS} po U_{GS} :

$$g_{21} = \frac{\partial I_{DS}}{\partial U_{GS}} = k'_n \cdot \frac{W}{L} (U_{GS} - U_m) = \underline{\underline{233 \mu\text{A}/\text{V}}}$$

Strmina prenosne karakteristike je odvisna od dimenzij in od delovne točke $g_{21} = f(U_{GS})$. Sam izpelji izraz za odvisnost strmine od I_{DS} .

$$(\text{Rezultat: } g_{21} = \sqrt{2k'_n \frac{W}{L} I_{DS}})$$

Dinamična izhodna upornost :

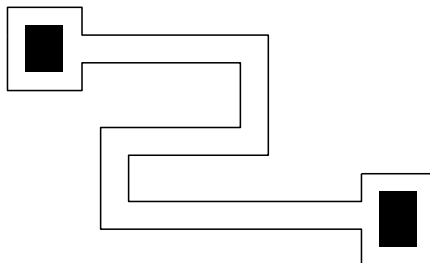
Dinamična upornost kanala je parcialni odvod U_{DS} po I_{DS} . Ker je I_{DS} eksplicitno izražen, je enostavneje, če izračunamo prevodnost g_{22} in nato rezultat obrnemo.

$$g_{22} = \frac{1}{r_{DS}} = \frac{\partial I_{DS}}{\partial U_{DS}} = \frac{1}{2} \cdot k'_n \cdot \frac{W}{L} \cdot (U_{GS} - U_m)^2 \cdot \lambda = I_{DS} \cdot \lambda = 9,33 \mu\text{S}$$

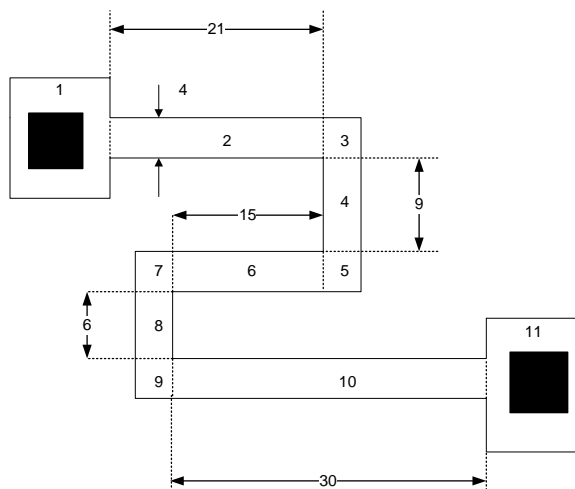
$$r_{DS} = \underline{\underline{107\text{k}\Omega}}$$

VAJA A.14 DIFUZIJSKI UPOR - ANALIZA

Kolikšna je vrednost narisane difuzijskega upora? $R_{SH} = 200\Omega/\square$. k_R za kontakte in vogalne elemente je 0,5.



Rešitev:



Upor razdelimo na 11 serijsko vezanih segmentov in izmerimo njihove dimenzije. Njihova skupna upornost je enaka vsoti upornosti posameznih zaporedno vezanih segmentov. Za vogalne segmente in kontakte je $k_R=0,5$, za pravokotni segment pa $k_R=L/W$:

$$R = \sum_{i=1}^{11} R_i = \sum_{i=1}^{11} k_R(i) R_{SH} = R_{SH} \sum_{i=1}^{11} k_R(i)$$

Za pravokotne elemente je $K_R = L/W$.

$$R = 200\Omega \cdot 23,25 = \underline{\underline{4650\Omega}}$$

i	$k_R(i)$
1	0,5
2	21/4
3	0,5
4	9/4
5	0,5
6	15/4
7	0,5
8	6/4
9	0,5
10	30/4
11	0,5
Σ	23,25

VAJA A.15 DIFUZIJSKI UPOR - PROJEKTIRANJE

Plastna upornost n-otoka je $R_{SH} = 2k\Omega/\square$. Nariši geometrijsko strukturo difuzijskega upora $20k\Omega$, ki je a.) brez prelomov in b) ima dva preloma. k_R za kontakte in vogalne elemente je 0,5.

Rešitev:

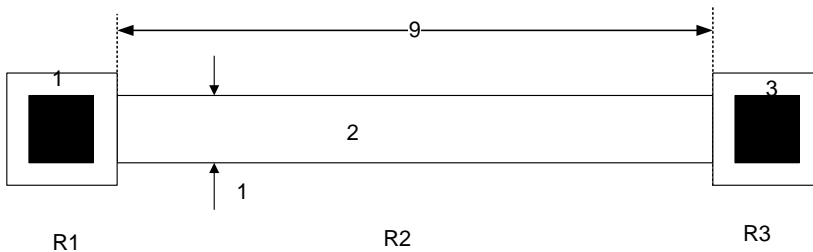
a.) $R = R1 + R2 + R3$

$$R1 = R3 = R_{SH} \cdot k_R = 2k\Omega \cdot 0,5 = 1k\Omega$$

$$R2 = R - (R1 + R3) = 20k\Omega - (1k\Omega + 1k\Omega) = 18k\Omega$$

$$R2 = R_{SH} \cdot k_R = R_{SH} \frac{L}{W}$$

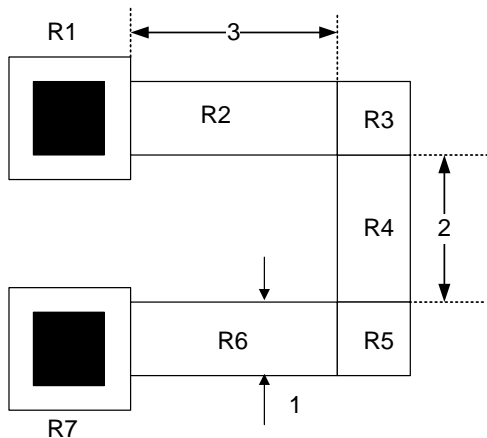
$$\frac{L}{W} = \frac{R2}{R_{SH}} = \frac{18k\Omega}{2k\Omega} = \frac{9}{1}$$



b) $R = R1 + R2 + R3 + R4 + R5 + R6 + R7$

Upornost kontaktov in vogalnih elementov: $R' = R1 + R3 + R5 + R7 = 4 \cdot 2k\Omega \cdot 0,5 = 4k\Omega$.

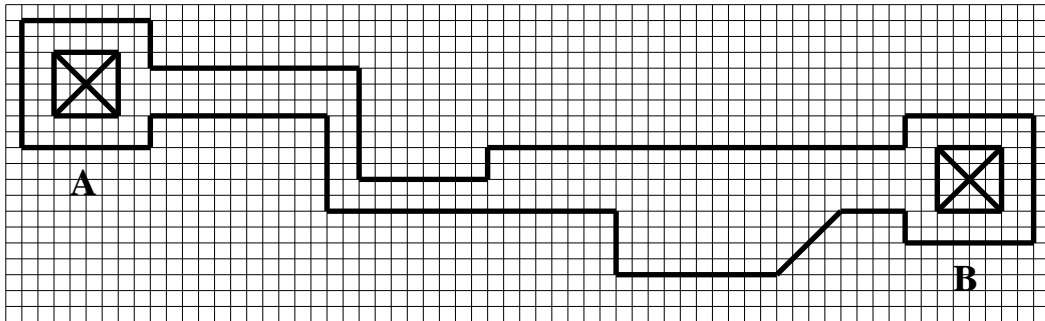
Ostane še $16k\Omega$. Možnih je več rešitev. Izberemo $R4 = 4k\Omega$, $R2 = R6 = 6k\Omega$ in izračunamo potrebne dimenzije.



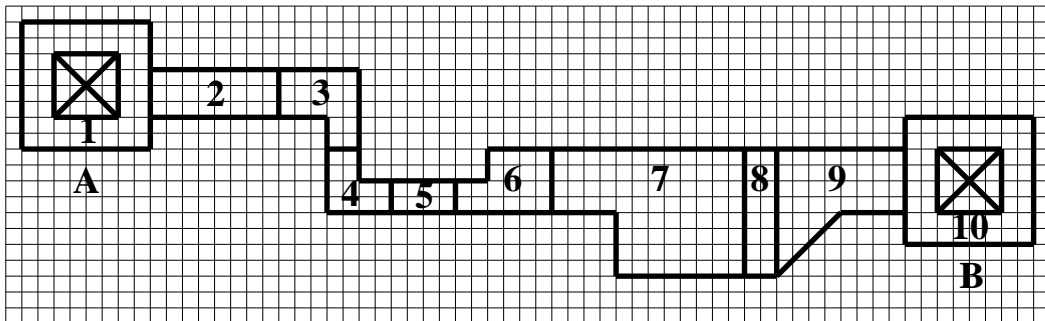
Pomni! Če je zahtevana ozka toleranca upornosti vedno izberi strukturo, ki ne vsebuje prelomov oziroma sprememb širine.

VAJA A.16 PARAZITNA UPORNOST - ANALIZA

Izračunaj upornost polisilicijeve povezave med kontaktoma A in B, če je plastna upornost $R_{SH} = 50\Omega/\square$. Pri izračunu upornosti posameznih segmentov uporabi tabelo 2, ki se nahaja v dodatku. k_R za kontakte je 0,5.



Rešitev:



i	$k_R(i)$	$R_i[\Omega]$
1	0,5	25
2	8/3	133,3
3	2,55	127,5
4	2,5	125
5	4/2	100
6	2,25	112,5
7	2,25	112,5
8	2/8	12,5
9	1,8	90
10	0,5	25
Σ		863,3 Ω

Strukturo najprej razdelimo na posamezne segmente. Skupna upornost je seštevek upornosti 10 **zaporedno** vezanih segmentov:

$$R = \sum_{i=1}^n R_i = \sum_{i=1}^{10} R_i$$

Upornost³ i-tega segmenta je definirana z:

$$R_i = k_R(i) \cdot R_{SH}$$

Zaradi večje preglednosti delne rezultate vpisujemo v tabelo. Nato seštejemo upornosti posameznih segmentov.

Upornost med točkama A in B je 863,3 Ω .

³ Glej Dodatek - slika 3 in 4 ter tabela 2.

VAJA A.17 NELINEARNI MOS UPOR - PROJEKTIRANJE

Projektiraj nelinearni MOS upor, ki bo imel pri 2V statično upornost 10kΩ.

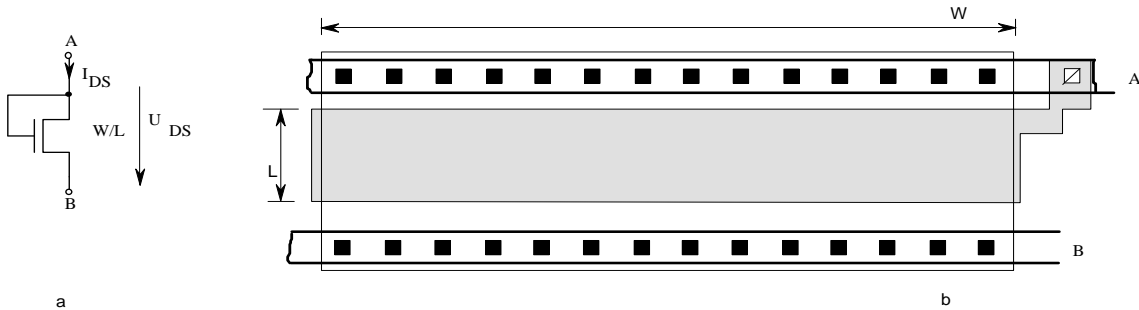
$k_n' = 40\mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{V}$. Nariši tudi geometrijsko strukturo.

Rešitev:

$$I_{DS} = \frac{U_{DS}}{R} = \frac{2\text{V}}{10\text{k}\Omega} = 0,2\text{mA}$$

$$I_{DS} = \frac{k_n'}{2} \frac{W}{L} (U_{GS} - U_{tn})^2 (1 + \lambda U_{DS}) \approx \frac{k_n'}{2} \frac{W}{L} (U_{GS} - U_{tn})^2$$

$$W/L = \frac{I_{DS}}{\frac{k_n'}{2} (U_{GS} - U_{tn})^2} = \frac{200 \cdot 10^{-6}}{\frac{40 \cdot 10^{-6}}{2} (2-1)^2} = \frac{10}{1}$$



VAJA A.18 NELINEARNI MOS UPOR – OGLIŠČNA ANALIZA

Projektiraj nelinearni MOS upor z majhno površino, na katerem bo pri $10 \mu\text{A}$ padec napetosti $U = 8\text{V}$. Določi tudi toleranco statične upornosti v tej točki (najbolj neugoden primer).

$k_n' = 40 \mu\text{A}/\text{V}^2 \pm 10\%$, $U_{\text{tn}} = 1\text{V} \pm 0,1\text{V}$, $\lambda_n = 0,04 \text{ 1/V}$, $\gamma_n = 0,4\text{V}^{1/2}$, $T = -30^\circ\text{C} \dots +70^\circ\text{C}$, $1 \mu\text{m}$ tehnologija

Rešitev:

a) Projektiranje

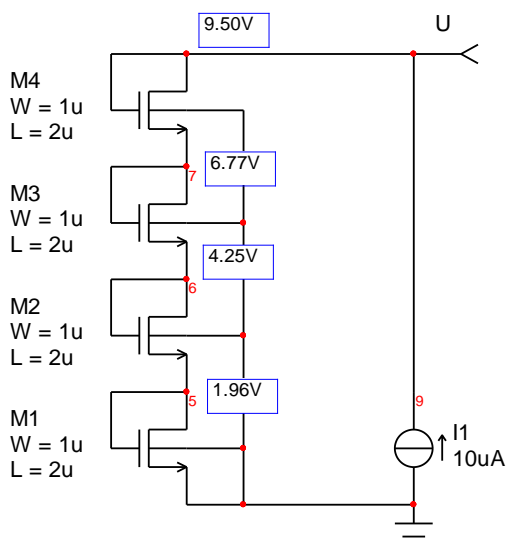
Ker je zahtevan padec napetosti $U \gg U_{\text{tn}}$, bomo upor modelirali s serijsko vezavo več tranzistorjev z majhnimi dimenzijami in tako zmanjšali potrebno površino. Pri serijski vezavi tranzistorjev se pojavi body pojav, ki ga bomo pri projektiranju zanemarili. Najprej izračunamo padec napetosti U_1 na enem NMOS tranzistorju z minimalno površino ($W/L=1/1$):

$$I_{DS} = \frac{k_n'}{2} \frac{W}{L} (U_{GS} - U_m)^2 (1 + \lambda U_{DS}) \approx \frac{k_n'}{2} \frac{W}{L} (U_{GS} - U_m)^2$$

$$U_1 = U_{GS} = \sqrt{\frac{I_{DS}}{\frac{k_n'}{2} \frac{W}{L}}} + U_m = \sqrt{\frac{10}{\frac{40}{2}}} + 1 = 1,7\text{V}$$

Izberemo $U_1=2\text{V}$, kar pomeni, da bo zahtevani upor sestavljen iz štirih serijsko vezanih tranzistorjev. Da bo na vsakem tranzistorju padec 2V , mora vsak imeti dimenzije:

$$W/L = \frac{I_{DS}}{\frac{k_n'}{2} (U_{GS} - U_m)^2} = \frac{10 \cdot 10^{-6}}{\frac{40 \cdot 10^{-6}}{2} (2-1)^2} = \frac{10}{20} = \frac{1 \mu\text{m}}{2 \mu\text{m}}$$



b) Preverjanje pravilnosti projektiranja

Pravilnost projektiranja preverimo s simulacijo: $U = 9,50V$. Ker imamo veliko odstopanje od zahtev, bomo v nadaljevanju ustrezno spremenili dimenzije tranzistorjev.

c) Sprememba parametrov

Zaradi body pojava se je povečala pragovna napetost vseh tranzistorjev, razen spodnjega (M1). Ker je na uporabo za **1,5V prevelik** padec napetosti, je potrebno spremeniti dimenzije enega ali več tranzistorjev. Z analizo občutljivosti ugotovimo, katere parametre je smiselno spreminjati.

Analiza občutljivosti: vsak parameter povečamo za $1\mu m$ in zabeležimo spremembo napetosti U oziroma izračunamo občutljivosti (4. in 5. kolona)

Tabela 1 Občutljivost napetosti U na dimenzije tranzistorjev

PARAMETER	VREDNOST PARAMETRA [μm]	NOVA VREDNOST U [V]	SPREMEMBA U [V/ μm]	SPREMEMBA [%] U [%/ μm]
m1:w	1	9.1336	-0.367	-3.86
m1:l	2	9.7775	0.276	2.91
m2:w	1	9.1767	-0.324	-3.41
m2:l	2	9.7464	0.245	2.58
m3:w	1	9.2049	-0.295	-3.11
m3:l	2	9.7256	0.224	2.36
m4:w	1	9.2260	-0.274	-2.89
m4:l	2	9.7098	0.209	2.20

Če poznamo občutljivosti, lahko izračunamo približno spremembo napetosti U , če se določeni parametri (W ali L) spremenijo. Glede na predznake občutljivosti lahko povečamo W ali pa skrajšamo L . Izberemo takšne vrednosti parametrov, da bo vsota sprememb napetosti približno $1,5V$. M1 bomo povečali W za $2\mu m$ in vsem zmanjšali dolžino za $1\mu m$. Pravilnost dimenzioniranja lahko hitro preverimo s poenostavljenim izračunom spremembe napetosti U :

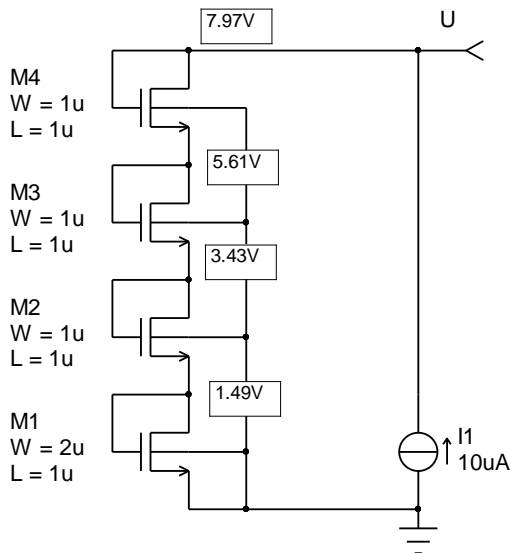
$$\Delta U = \sum_{i=1}^4 (S_{xi}^U \cdot \Delta x_i) = -\frac{0,367V}{\mu m} \cdot (+2\mu m) + \frac{0,276V}{\mu m} \cdot (-1\mu m) + \frac{0,245V}{\mu m} \cdot (-1\mu m) + \frac{0,224V}{\mu m} \cdot (-1\mu m) + \frac{0,209V}{\mu m} \cdot (-1\mu m) = -1,68V$$

Nova napetost bo $U = 9,50V - 1,68V = 7,82V$.

d) Preverjanje pravilnosti projektiranja

Pravilnost projektiranja preverimo še s simulacijo, ki kaže $U = 7,85V$. Poskusimo spremeniti še kakšno dimenzijo. Če zmanjšamo $W1$ iz 3 na $2\mu m$, dobimo $U = 7,97V$. V tej točki je statična upornost:

$$R_s = \frac{U}{I} = \frac{7,97V}{100\mu A} = 79,7k\Omega$$



e) Analiza toleranc

Za določitev območja znotraj katerega bo ležala R_s , bomo uporabili ogliščno analizo, ki uporablja vse možne kombinacije ekstremnih vrednosti parametrov. V našem primeru so to: k' , U_{tn} in temperatura. Najbolj enostavno to analizo izvedemo tako, da za vsako oglišče nastavimo določene vrednosti parametrov in nato izvedemo simulacijo. Lahko pa napišemo tudi ustrezen script. Rezultati 9 analiz so v spodnji tabeli.

Tabela 2

Oglišče	K' [$\mu A/V^2$]	U_{tn} [V]	Temp. [$^{\circ}C$]	R_s [$k\Omega$]	Opomba
0	40	1,0	27	79,9	Nominalna vrednost
1	36	0,9	-30	75,7	Min, min, min
2	36	0,9	70	77,2	Min, min, max
3	36	1,1	-30	84,8	Min, max, min
4	36	1,1	70	86,3	Min, max, max
5	44	0,9	-30	73,2	Max, min, min
6	44	0,9	70	74,0	max min, max
7	44	1,1	-30	82,3	max, max, min
8	44	1,1	70	83,1	max, max, max

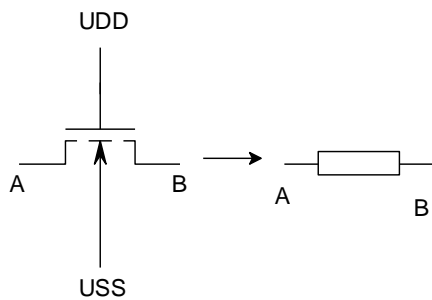
Pri proizvodnji vezja se bo najbolj pogosto pojavljala nominalna vrednost $R_s = 79,9k\Omega$. Ekstremne vrednosti, znotraj katerih se bo nahajala R_s , so: $R_s = 73,2k\Omega \dots 86,3k\Omega$.

VAJA A.19 LINEARNI MOS UPOR - PROJEKTIRANJE

Projektiraj linearni MOS upor, ki je sestavljen samo iz NMOS tranzistorja in ima obe sponki plavajoči. Njegova upornost naj bo $10\text{k}\Omega \pm 10\%$. Potencial sponk A in B bo približno 0V, napetost na uporu pa ne bo večja od 0,2V. $U_{DD} = 5\text{V}$, $U_{SS} = -5\text{V}$, $k_n' = 40\mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{V}$, $\gamma_n = 0,4\text{V}^{1/2}$.

Rešitev:

Vrata priključimo na U_{DD} .



$$U_{GS} = 5\text{V}, U_{AB} < 0,2\text{V}$$

$$U_{DSat} = U_{GS} - U_{tn} = 5\text{V} - 1\text{V} = 4\text{V}$$

Ker je $U_{AB} \ll U_{DSat}$, bo tranzistor zagotovo deloval v linearnem področju, kjer je njegova izhodna upornost definirana z enačbo:

$$R_{DS} = \frac{1}{k_n' \frac{W}{L} (U_{GS} - U_t)}$$

Ker je $U_{BS} \neq 0\text{V}$, se poveča pragovna napetost:

$$U_t \approx \gamma \sqrt{U_{SB}} + U_{t0} = 0,4\sqrt{5} + 1 = 1,9\text{V}$$

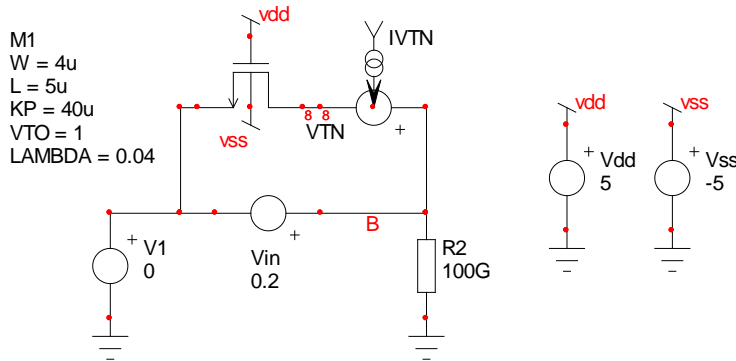
$$\frac{W}{L} = \frac{1}{k_n' R_{DS} (U_{GS} - U_t)} = \frac{1}{40 \cdot 10^{-6} \cdot 10 \cdot 10^3 \cdot (5 - 1,9)} = 0,8 = \frac{4}{5}$$

Preverimo, če lahko dimenzije zaokrožimo na 5/5 oziroma 1/1:

$$R_{DS} = \frac{1}{k_n' \frac{W}{L} (U_{GS} - U_t)} = \frac{1}{40 \cdot 10^{-6} \cdot \frac{1}{1} \cdot (5 - 1,9)} = 8,0\text{k}\Omega$$

Ker je sedaj vrednost upora izven dopustnega območja $10\text{k}\Omega \pm 10\%$, ne smemo zaokrožiti dimenzij.

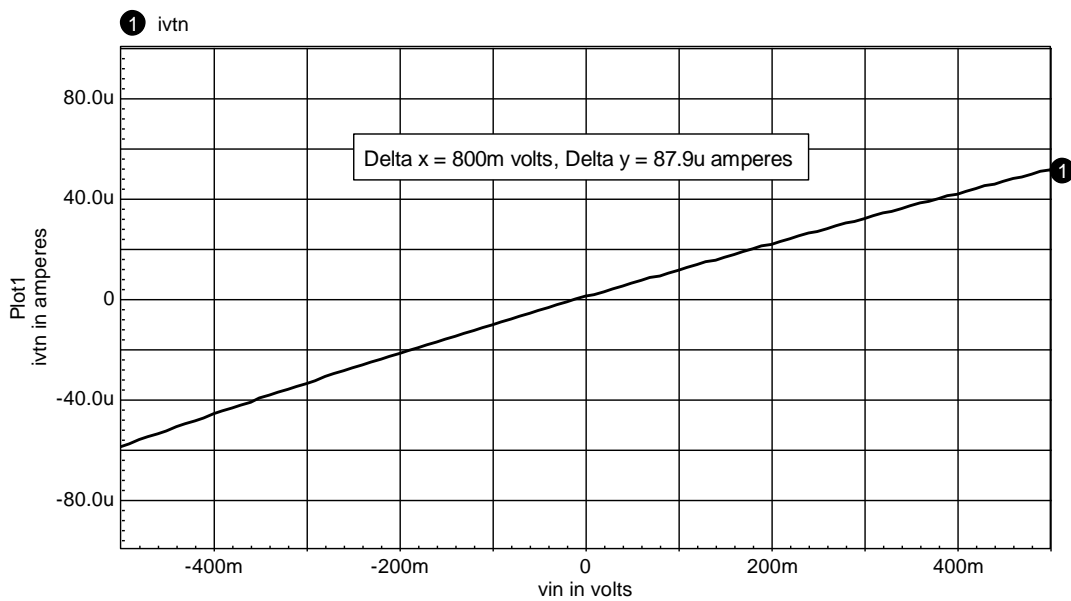
Računalniška simulacija:



```

C:\UC_PROG\IV_SC1_vaje_2_izdaja\Simulacije\Lin_MOS_upor\Lin_MOS_R.cir
*#save V(B) V(A) @Vin[i] @Vin[p] V(vdd) @Vdd[i] @Vdd[p] V(vss)
*#save @Vss[i] @Vss[p] @VTN[i] @VTN[p] @V1[i] @V1[p] @R2[i] @R2[p]
*#save V(8) @M1[id] @M1[ig] @M1[iss] @M1[ib] @M1[p]
*#view dc ivtn -500u 500u
*#alias ivtn @vtn[i]
.DC vin -0.5 0.5 0.01
.PRINT DC IVTN
Vin B A DC=0.2
Vdd vdd 0 DC=5
Vss vss 0 DC=-5
M1 8 vdd A vss NMOS L=5u W=4u
.MODEL NMOS NMOS GAMMA=0.4 KP=40u LAMBDA=0.04 VTO=1
VTN B 8
V1 A 0 DC=0
R2 B 0 100G
.END
    
```

Karakteristika upora:



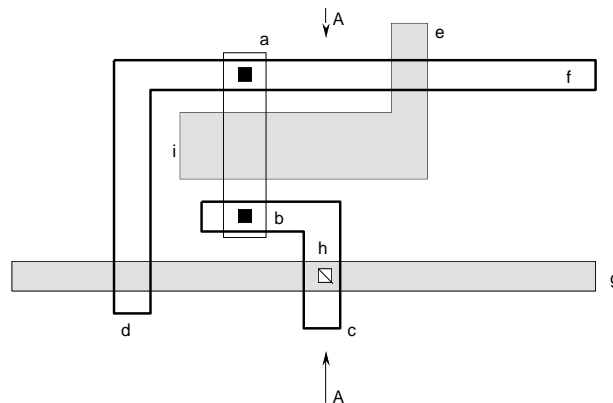
$$R_{DS} = \frac{\Delta U}{\Delta I} = \frac{800mV}{87,9\mu A} = 9,1k\Omega$$

DODATNE NALOGE

Če ni drugače navedeno, veljajo naslednji podatki (0,8 μ m tehnologija):

$$\begin{array}{llll} U_{tn} = 0,7V & k'_n = 110\mu A/V^2 & \lambda_n = 0,04 \text{ 1/V} & \gamma_n = 0,4V^{1/2} \\ U_{tp} = -0,7V & k'_p = 50\mu A/V^2 & \lambda_p = 0,05 \text{ 1/V} & \gamma_p = 0,57V^{1/2} \\ U_{DD} = 5V & U_{SS} = 0V & & \end{array}$$

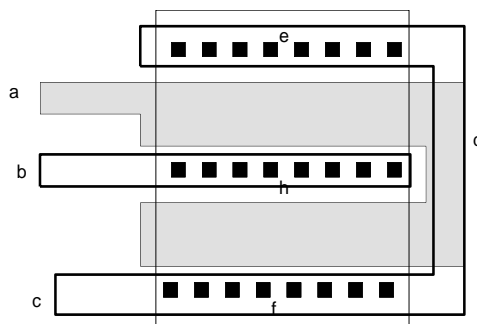
A.20 Nariši električno vezje, ki ustreza narisani geometrijski strukturi. Na električnem vezju identificiraj vse elemente topološke strukture. Pri risanju uporabi referenčne oznake (a,b,c,...), ki se nahajajo na sliki. Uporabljena je tehnologija s p otoki.



Slika 1: Struktura nekega hipotetičnega integriranega vezja

A.21 Nariši presek vezja, ki je na slik 1. Linija preseka je označena z AA.

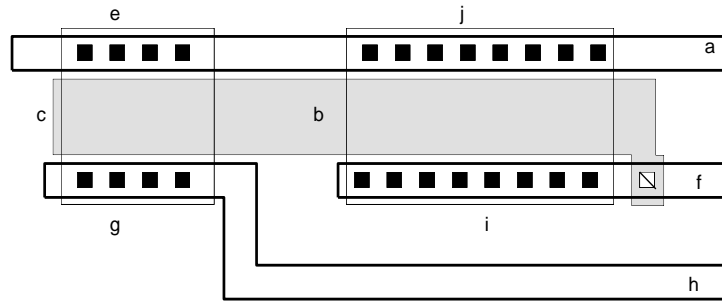
A.22 Nariši električno vezje, ki ustreza narisani geometrijski strukturi (glej sliko 2).



Slika 2

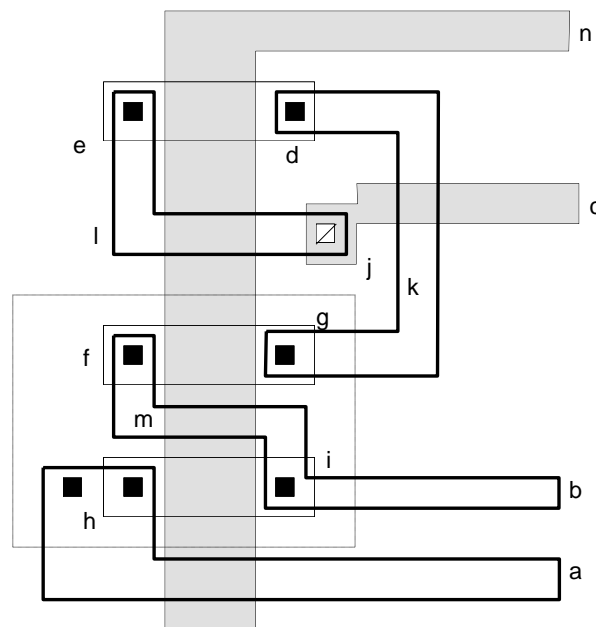
A.23 Izračunaj maksimalni tok I_{DS} tranzistorja na sliki 1. Predpostavi, da je na vrata priključena U_{DD} .

A.24 Nariši električno vezje (glej sliko 3), ki ustreza narisani topološki strukturi. Na električnem vezju identificiraj vse elemente iz topološke strukture. Pri tem uporabi referenčne oznake (a,b,c,...), ki se nahajajo na sliki. Uporabljena je tehnologija s p otoki.



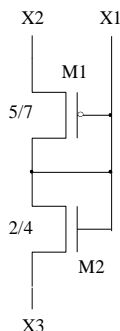
Slika 3: Del strukture nekega integriranega vezja

- A.25** Nariši vse maske, ki so potrebne za realizacijo n-kanalnega MOS tranzistorja ($L = 5\mu\text{m}$ in $W = 15\mu\text{m}$). Na voljo je tehnologija s p otoki. Pomagaj si s karirastim papirjem. Najmanjša razdalja je en kvadratak.
- A.26** Nariši električno vezje (glej sliko 4), ki ustreza narisan topološki strukturi. Uporabljena je tehnologija s p otoki.



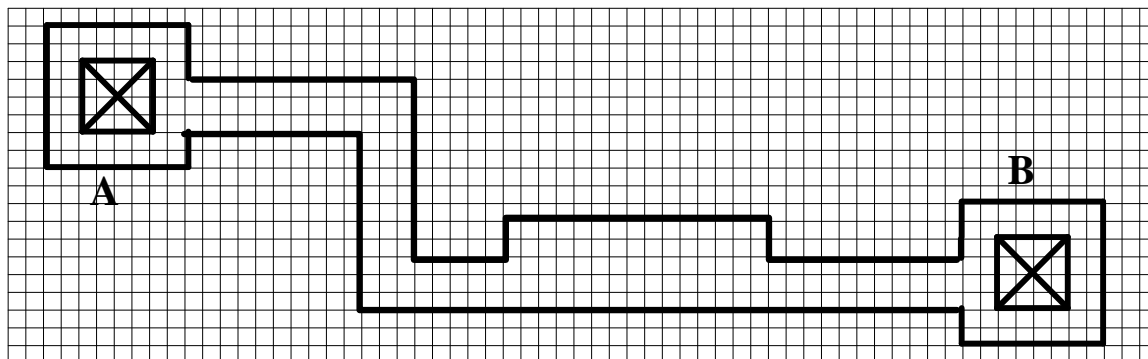
Slika 4

- A.27** Nariši topološko strukturo za narisan vezje. Pomagaj si s karirastim papirjem. Točke X1, X2 in X3 morajo biti na nivoju polikristalnega silicija. Na razpolago je tehnologija s p otoki.



Slika 5

- A.28** Kolikšna je dinamična in statična izhodna upornost p-kanalnega MOS tranzistorja na sliki 4, če deluje v področju nasičenja in je $U_{GS} = -3V$ ter $U_{DS} = -5V$.
- A.29** Kolikšna je strmina prenosne karakteristike in dinamična izhodna upornost p-kanalnega tranzistorja, ki je narisano na sliki 4. Napetosti, merjene proti masi, so naslednje: $U_c = 10V$, $U_d = 6V$, $U_n = 8V$.
- A.30** Potrebujemo n-kanalni tranzistor, ki bo imel v delovni točki ($I_{DS} = 0,1mA$, $U_{GS} = 2V$, $U_{DS} = 4V$) strmino prenosne karakteristike najmanj $200\mu A/V$. Kolikšne naj bodo njegove dimenzije, če bo tranzistor izdelan v $0,8\mu m$ tehnologiji?
- A.31** Predpostavimo, da ima levi tranzistor na sliki 3 vgrajen kanal. Kolikšen je maksimalni tok I_{DS} , če je $U_{GS} = 0$? (Podatki: $U_{tn} = 1V$, $k' = 30\mu A/V^2$).
- A.32** Nariši geometrijsko strukturo difuzijskega upora $25k\Omega$, ki ima en prelom. Upornost kontaktov zanemari. $R_{SH} = 2K\Omega/\square$.
- A.33** Dimenzioniraj difuzijski upor z upornostjo $\approx 30k\Omega$. Na voljo imaš področje $75\mu m \times 60\mu m$. Minimalna širina upora je $5\mu m$. Upornost kontaktov zanemari. $R_{SH} = 2k\Omega/\square$.
- A.34** Izračunaj upornost med kontaktoma A in B. Plastna upornost n otoka je $R_{SH} = 1k\Omega/\square$.



- A.35** Na razpolago je CMOS tehnologija z n otoki. Nariši pripadajoče maske za upor iz prejšnje naloge.
- A.36** Dimenzioniraj nelinearni nMOS upor, pri katerem bo pri toku $20\mu A$ padec napetosti $4V$.

B. LOGIČNA VEZJA

VAJA B.1 ANALIZA NMOS INVERTORJA

Ugotovi, kaj predstavlja narisana geometrijska struktura. Nato nariši poenostavljeno prenosno karakteristiko, ki je sestavljena iz treh linearnih segmentov. Izračunaj preklopno napetost in preklopno področje. Body pojav pri izračunu zanemari. Kolikšna je napetost logične enice in ničle? Kolikšen je maksimalni tok, ki teče skozi tranzistorja? Kolikšna je disipacija? Izračune preveri s simulatorjem.

Podatki:

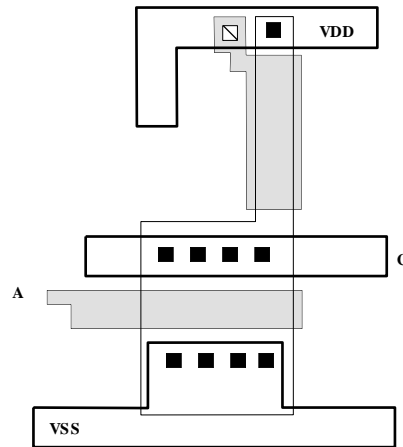
$$V_{DD} = 5V$$

$$V_{SS} = 0V$$

$$k'_n = 40 \mu A/V^2$$

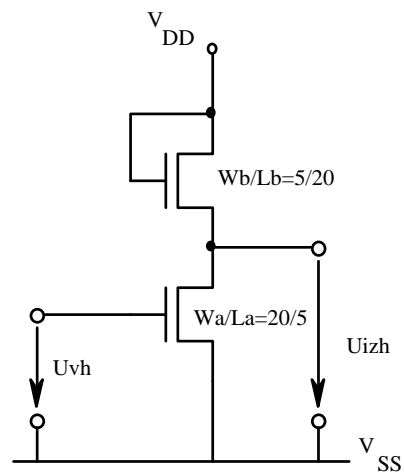
$$U_{tn} = 1V$$

$$\gamma = 0,6V^{1/2}$$

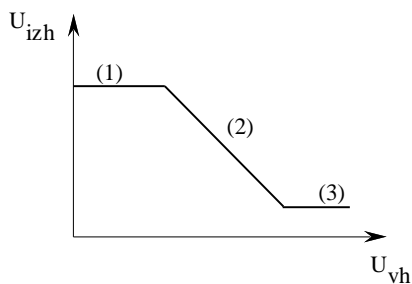


Rešitev:

Narisano vezje je NMOS invertor.



a) Prenosna karakteristika



Poenostavljeno prenosno karakteristiko bomo sestavili iz treh linearnih segmentov.

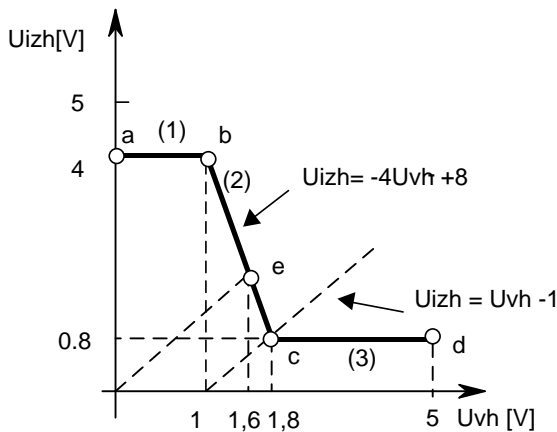
1. odsek:

Zaradi pragovne napetosti zgornjega tranzistorja bo U_{izh} znižana za 1V. Dokler ne bo začel prevajati spodnji tranzistor, bo $U_{izh} = 4V$. Napetost logične enice bo 4V.

2. odsek:

Naklon drugega segmenta, na katerem bo ležala preklopna napetost, je približno enak ojačenju:

$$A_u = -\sqrt{\frac{W_a}{L_a} \frac{W_b}{L_b}} = -\sqrt{\frac{20}{5} \frac{5}{20}} = -\frac{20}{5} = -4$$



Določimo enačbo premice ($y = kx + n$), ki predstavlja odsek (2):

$$U_{izh} = A_u \cdot U_{vh} + n$$

$$U_{izh} = -4 \cdot U_{vh} + n$$

$$n = U_{izh} + 4 \cdot U_{vh} = 4 + 4 = 8$$

$U_{izh} = -4 \cdot U_{vh} + 8V$; enačba premice oziroma drugega odseka

3. odsek:

2. odsek se konča, ko preide delovna točka spodnjega tranzistorja iz področja nasičenja v linearno področje. Mejna točka področja nasičenja je definirana z izrazom:

$$U_{DS(sat)} = U_{GS} - U_m \quad \text{oziroma} \quad U_{izh} = U_{vh} - U_m$$

Na presečišču te enačbe in enačbe za 2. odsek se nahaja točka, ki zadosti obema enačbama. Potrebno je rešiti preprost sistem z dvema linearnima enačbama in dvema neznankama:

$$U_{izh} = U_{vh} - 1$$

$$U_{izh} = -4 \cdot U_{vh} + 8V$$

Rešitev te enačbe je $U_{vh}=1,8V$ in $U_{izh}=0,8V$.

b. Preklopna napetost in preklopno področje

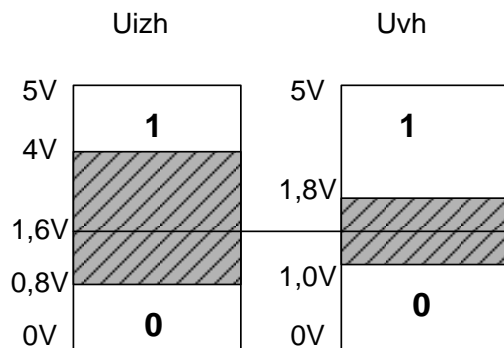
Izračunamo točko na drugem odseku, kjer je vhodna napetost enaka izhodni. V predhodni enačbi postavimo, da je $U_{izh}=U_{vh}$:

$$U_{vh} = -4 \cdot U_{vh} + 8$$

Preklopna napetost je : $\underline{\underline{U_{vh} = U_T = 1,6V}}$; Računalniška simulacija: $\underline{\underline{U_{vh} = U_T \approx 1,5V}}$

Preklopno področje se po dogovoru nahaja znotraj področja, ki je definirano z naklonom $Au = dU_{izh}/dU_{vh} = -1$. Iz narisane prenosne karakteristike se vidi, da je preklopno območje interval: $1,0V < U_{vh} < 1,8V$.

c. Logični nivoji



d. Maksimalni tok in disipacija

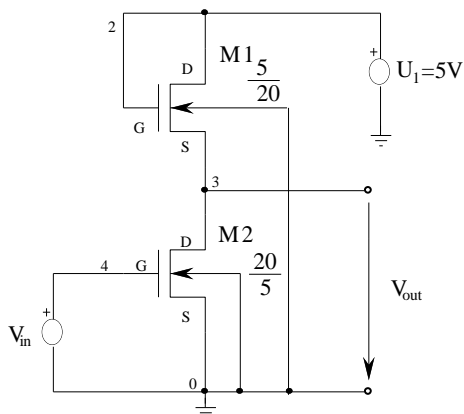
Za približni izračun lahko predpostavimo, da je minimalna izhodna napetost približno nič. Ker leži delovna točka zgornjega tranzistorja vedno v področju nasičenja, teče skozi njega tok:

$$I_{DS \max} \leq \frac{k'_n \cdot W}{2 \cdot L} (U_{GSn} - U_{tn})^2 = \frac{40 \cdot 10^{-6}}{2} \cdot \frac{5}{20} (5 - 1)^2 = \underline{\underline{80 \mu A}}$$

$$P_{\max} \leq I_{DS \max} \cdot U_{DD} = 80 \mu A \cdot 5V = \underline{\underline{400 \mu W}}$$

Ko je na izhodu logična ničla, teče v inverter $80 \mu A$ in disipacija na njem znaša $400 \mu W$.

Računalniška simulacija:



```

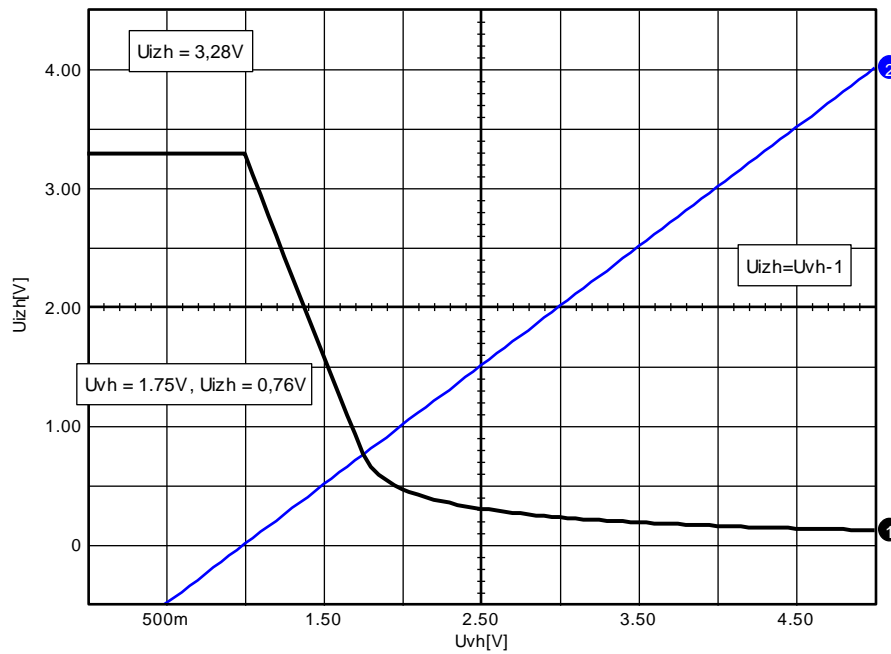
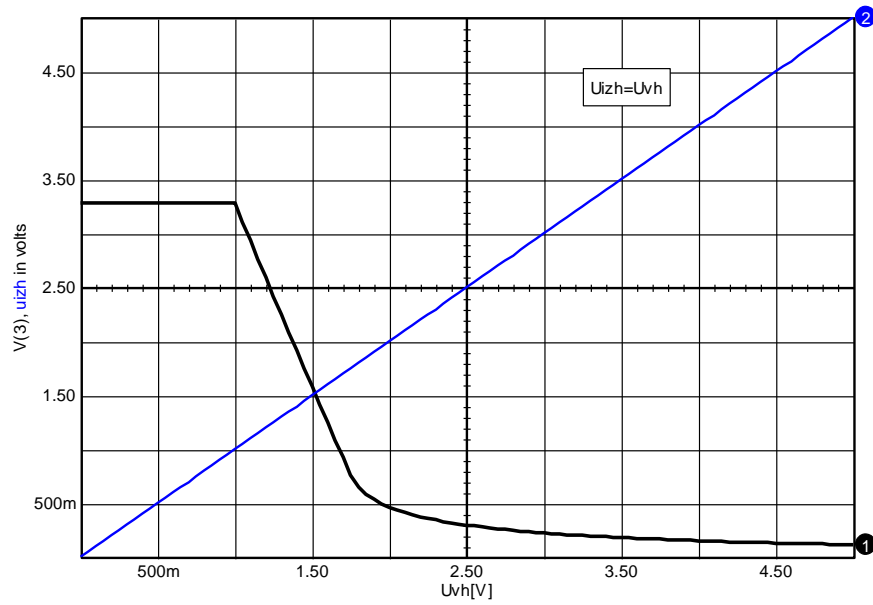
* NMOS Invertor 1
.OP
.DC VIN 0 5 0.05
.PRINT DC V(3) I(VCC)
.MODEL MN NMOS LEVEL=1 VTO=1 KP=40E-6 GAMMA=0.6
M2 3 4 0 0 MN W=20U L=5U
M1 2 2 3 0 MN W=5U L=20U
VDD 2 0 5
VIN 4 0 DC
.END

```

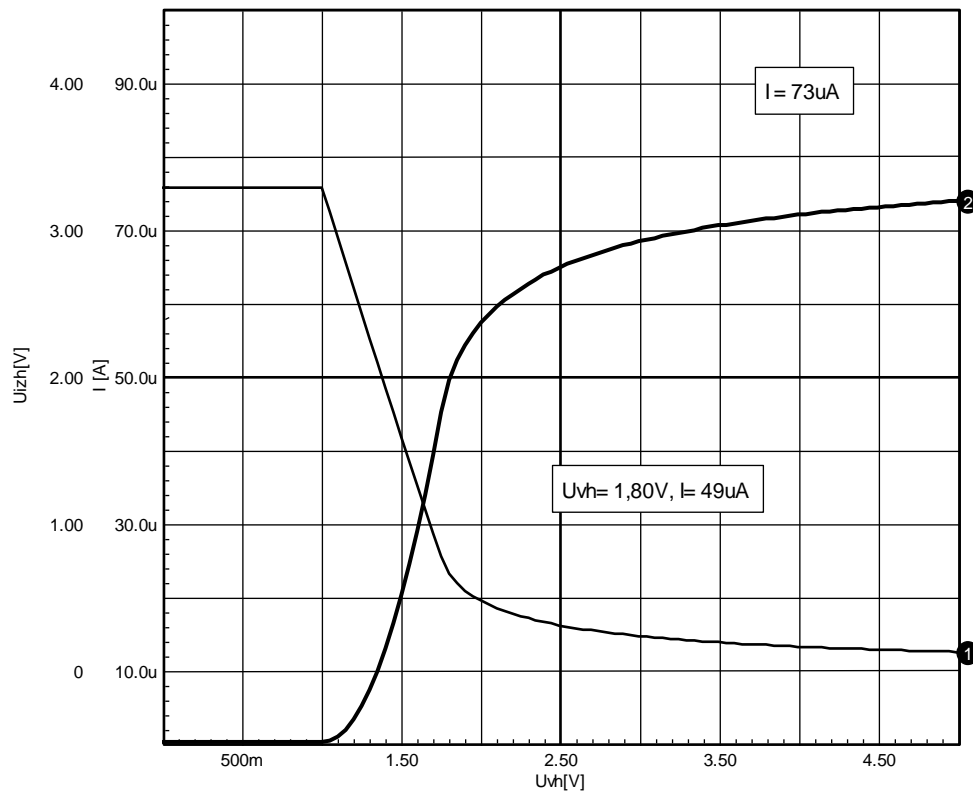
Prenosno karakteristiko dobimo z DC analizo. Za ilustracijo smo v grafičnem prikazovalniku dodali premico $U_{izh} = U_{vh}$. Iz grafa se vidi, da je preklopna napetost pri 1,5V. Zaradi body pojava, ki je povečal pragovno napetost zgornjega tranzistorja, začne prvi segment pri napetosti 3,28V. Največje odstopanje je pri minimalni izhodni napetosti. Izračunali smo 0,8V, simulacija pa 0,116V.

Preklopno področje je interval $1,8 \text{ V} > U_{vh} > 1 \text{ V}$.

1 V(3) 2 uizh



$$A_u = \frac{\Delta U_{izh}}{\Delta U_{vh}} = -\frac{3,28 - 0,76}{1,75 - 1} = -3,36$$



Na začetku tretjega segmenta ($U_{vh} = 1,8$ V) je tok $49 \mu\text{A}$, ki pri $U_{vh} = 5$ V naraste na $73 \mu\text{A}$. Disipacija je $365 \mu\text{W}$.

VAJA B.2 PROJEKTIRANJE NMOS INVERTORJA

Projektiraj MOS invertor, ki bo imel preklopno napetost $U_T \leq 1,5V$ in maksimalni tok iz napajalnega vira naj ne bo večji od $100\mu A$. Tehnologija je $0,8\mu m$. Pri izračunu predpostavi, da je $U_{izhmin} \approx 0$.

Podatki:

$$U_{DD} = 5V$$

$$U_{tn} = 0,7V$$

$$k'_n = 110 \mu A/V^2$$

Rešitev:

Najprej dimenzioniramo zgornji tranzistor: največji tok bo tekel, ko bo na izhodu najnižja napetost. Pri izračunu bomo predpostavili, da je $U_{izhmin} \approx 0$ oziroma, da je na zgornjem tranzistorju takrat napetost UDD.

1. zahteva: $I_{DSmax} \leq 100\mu A$

$$\frac{W_b}{L_b} \leq \frac{I_{DS}}{\frac{k'_n}{2} \cdot (U_{GSn} - U_{tn})^2} = \frac{100 \cdot 10^{-6}}{\frac{110 \cdot 10^{-6}}{2} (5 - 0,7)^2} = 0,098 \approx 0,1 = \frac{1,2 \mu m}{12 \mu m}$$

2. zahteva: $U_T \leq 1,5V$

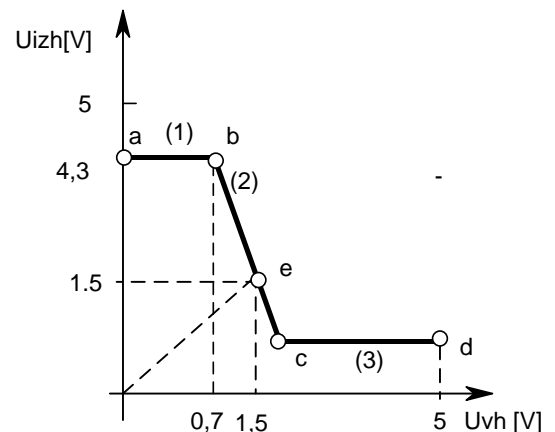
Skiciramo prenosno karakteristiko in izračunamo A_u :

$$A_u = \frac{\Delta U_{izh}}{\Delta U_{vh}} = \frac{1,5 - 4,3}{1,5 - 0,7} = -3,5$$

$$A_u = -\sqrt{\beta_R} \rightarrow \beta_R = A_u^2 = (-3,5)^2 = 12,3$$

$$\beta_R = \frac{W_a/L_a}{W_b/L_b} \rightarrow$$

$$W_a/L_a = \beta_R W_b/L_b = 12,3 \cdot 0,1 = 1,23$$



Ker je pri $0,8\mu m$ tehnologiji $\lambda = 0,4\mu m$, mora biti števec celoštevilčni mnogokratnik λ :

$$\frac{W_a}{L_a} = 1,23 = \frac{x \cdot 0,4 \mu m}{0,8 \mu m} \rightarrow x = 2,5 \rightarrow x = 3 \quad \frac{W_a}{L_a} = \frac{1,2 \mu m}{0,8 \mu m}$$

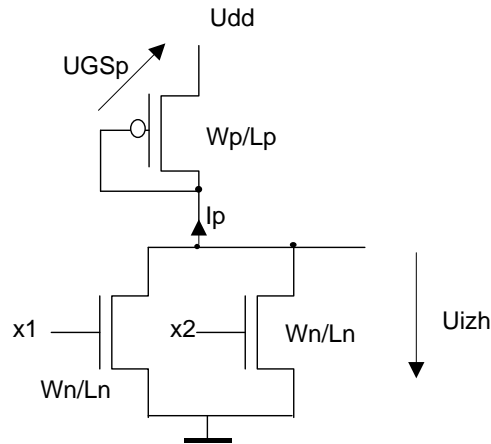
Razmerje smo zaokrožili navzgor, ker se je s tem povečal A in zmanjšala U_T .

Računalniška simulacija:

Obe zahtevi sta izpolnjeni, saj je $U_T = 1,4 V$, $I_{max} = 95\mu A$.

VAJA B.3 PROJEKTIRANJE VEČVHODNIH VRAT

Projektiraj dvovhodno NALI logično vezje, ki bo imelo preklopno napetost manjšo od 1,4V. Največji tok naj bo največ $50\mu\text{A}$. Drugi podatki: $k_n = 40\mu\text{A}/\text{V}^2$, $k_p = 20\mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{V}$, $U_{tp} = -1\text{V}$ in $U_{DD} = 5\text{V}$.



Rešitev:

1. zahteva: $-I_p \leq 50\mu\text{A}$

Največji tok bo tekel, ko bosta prevajala oba spodnja tranzistorja. Takrat bo tudi izhodna napetost najnižja. Za približno računanje lahko predpostavimo, da bo $U_{izh} \approx 0\text{V}$ oziroma $U_{GSp} = -5\text{V}$. Ker bremenski tranzistor deluje v področju nasičenja, lahko hitro izračunamo njegove dimenzije. PMOS karakteristiko opisuje enačba:

$$I_p = -\frac{k'_p \cdot W_p}{2 L_p} (-U_{GSp} + U_{tp})^2$$

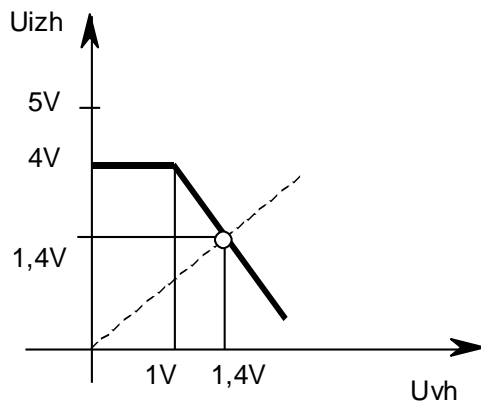
Iz te enačbe izračunamo potrebne dimenzije:

$$\frac{W_p}{L_p} = \frac{-I_p}{\frac{k'_p}{2} (-U_{GSp} + U_{tp})^2} = \frac{50 \cdot 10^{-6}}{\frac{20 \cdot 10^{-6}}{2} (5-1)^2} = \frac{5}{16} \approx \frac{1}{3}$$

2. zahteva: $U_T \leq 1,4\text{V}$

Preklopna napetost narisanih vrat je odvisna od števila tranzistorjev, ki istočasno preklapijo. Najnižja preklopna napetost se pojavi, ko preklopita hkrati oba spodnja tranzistorja, najvišja pa, ko preklapi samo eden. Ker je predpisana maksimalna vrednost preklopne napetosti, je najbolj neugoden primer, ko preklapi samo eden izmed spodnjih tranzistorjev. Zato vezje dimenzioniramo enako kot invertor.

Najprej konstruiramo prenosno karakteristiko nato pa iz podatkov na karakteristiki izračunamo A_u .



$$A_u = \frac{\Delta U_{izh}}{\Delta U_{vh}} = \frac{4 - 1,4}{1 - 1,4} = -6,5$$

$$A_u = -\sqrt{\frac{k'_n}{k'_p}} \beta_R \quad \rightarrow \quad \beta_R = A_u^2 \frac{k'_p}{k'_n} = (-6,5)^2 \frac{20 \cdot 10^{-6}}{40 \cdot 10^{-6}} \approx 21$$

$$\beta_R = \frac{W_n / L_n}{W_p / L_p} \quad \rightarrow \quad W_n / L_n = \beta_R W_p / L_p = 21 \cdot 1 / 3 = 7 / 1$$

Računalniška simulacija

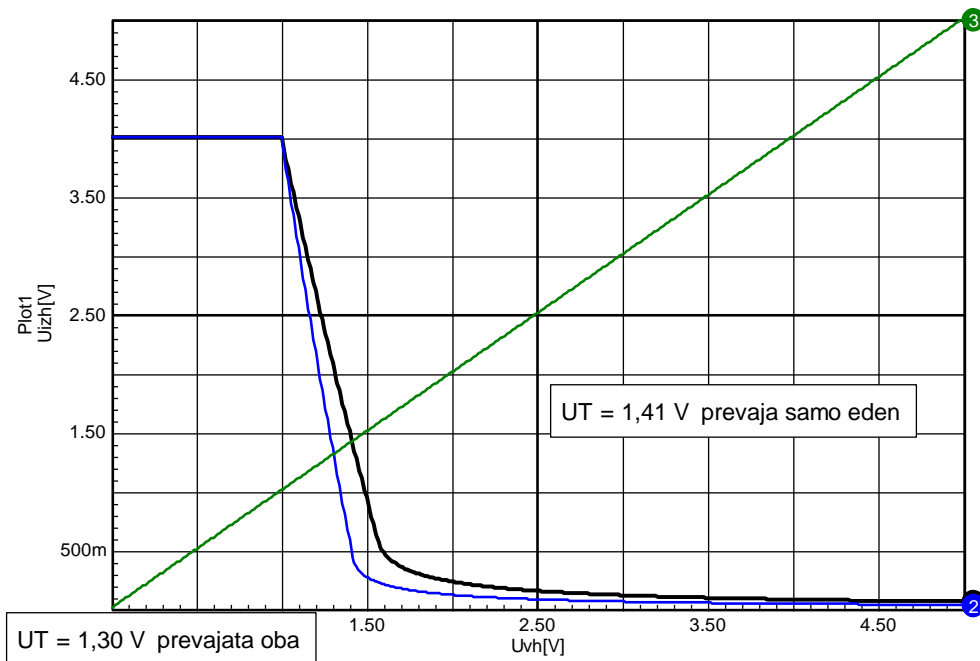
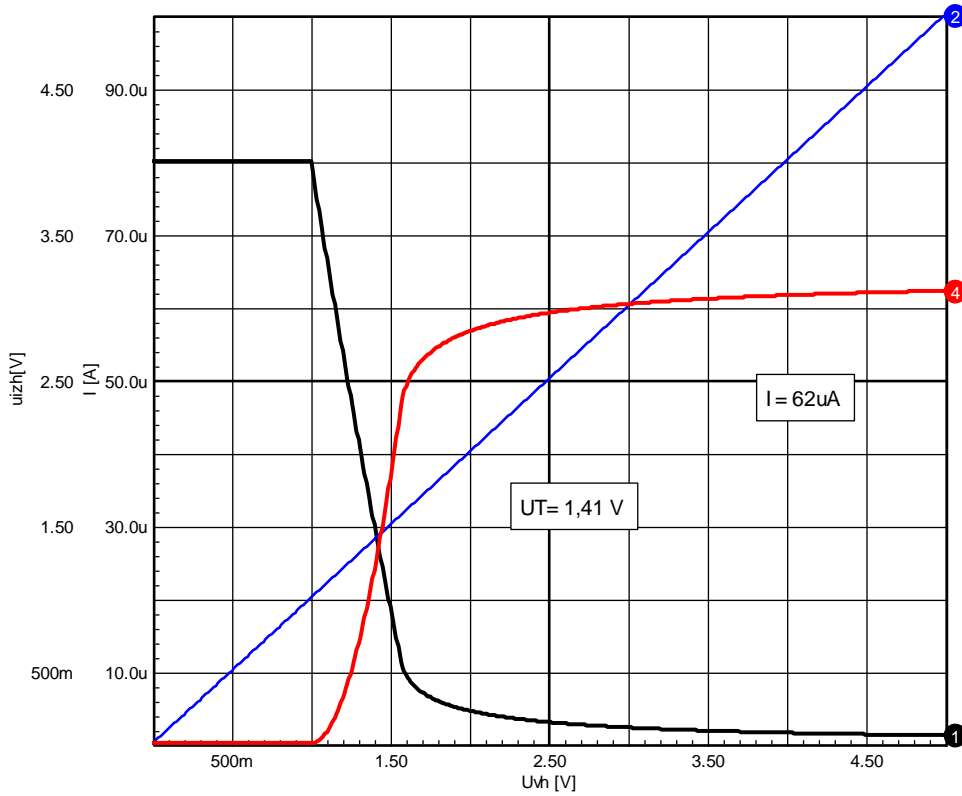
```

..\Simulacije\NMOS_dimenzioniranje_1\NALI_1.cir DC

.DC Vvh1 0 5 0.01
.PRINT DC Uizh
* prevaja samo M1
M1 1 3 0 0 MN L=1u W=7u
M2 1 0 0 0 MN L=1u W=7u
M3 1 1 2 2 MP L=3u W=1u
V1 2 0 DC=5
Vvh1 3 0

.MODEL MN NMOS Level=1 GAMMA=0.4 KP=40U LAMBDA=0.04 VTO=1
.MODEL MP PMOS Level=1 GAMMA=0.6 KP=20U LAMBDA=0.04 VTO=-1
.END

```



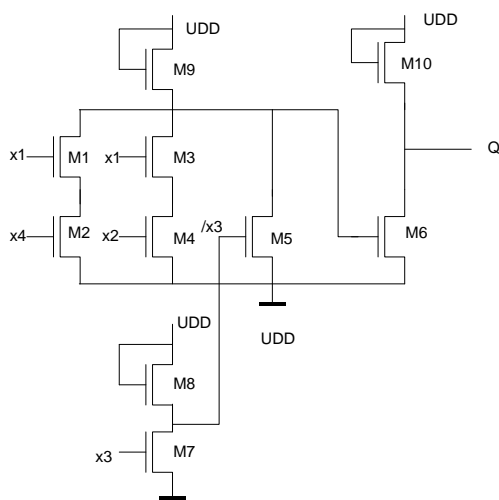
Preklopna napetost je 1,30V oziroma 1,41V, maksimalni tok pa je $62\mu A$. Če želimo zmanjšati tok na $50\mu A$, moramo povečati dolžino vrat PMOS tranzistorja in ponoviti dimenzioniranje NMOS tranzistorjev. Načrtovalec se mora odločiti za kompromis, saj zahteva po zmanjšanju toka povzroči povečanje površine.

VAJA B.4 SINTEZA NMOS LOGIČNEGA VEZJA

Napravi sintezo logičnega vezja, ki je sestavljeno iz samih NMOS tranzistorjev in opravlja naslednjo logično funkcijo: $Q = (x_1x_2 + x_1x_4 + x_3)$. Preklopna napetost vezja na bo $U_T \leq 1,5V$ in maksimalni tok iz napajalnega vira za vsak NMOS upor naj ne bo večji od $100\mu A$. Ostali podatki so enaki kot pri vaji B.2. Določi tudi konkretne dimenzije tranzistorjev.

Rešitev:

Ker je izhod iz NMOS vezja vedno invertirana funkcija, najprej realiziramo $\overline{(x_1x_2 + x_1x_4 + x_3)}$ in nato dodamo invertor.

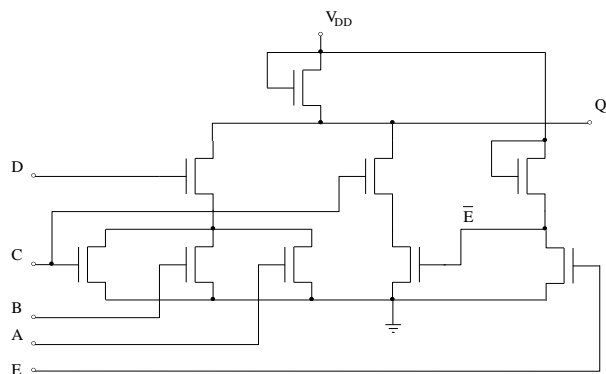


Konkretne dimenzije tranzistorjev določimo enako, kakor da bi projektirali invertor (glej vajo B.2.). M5, M6, M7: $1,2\mu m/0,8\mu m$, M8, M9, M10: $1,2\mu m/12\mu m$. Ker se zaporedno vezanim tranzistorjem sešteje L, je potrebno ustrezno spremeniti razmerje teh tranzistorjev: M1, M2, M3, M4: $2,4\mu m/0,8\mu m$.

VAJA B.5 SINTEZA NMOS LOGIČNEGA VEZJA

Realiziraj logično funkcijo $Q = \overline{((A + B + C) \cdot D + (C \cdot \overline{E}))}$ z NMOS tranzistorji.

Rešitev:



VAJA B.6 CMOS STIKALO

Izračunaj upornost R_{ON} in R_{OFF} krmiljenega CMOS stikala. Kako vpliva višina potenciala stikala na karakteristiko stikala?

Podatki:

"1" : 5V, "0" : 0V

$V_{DD} = 5V$, $V_{SS} = 0V$

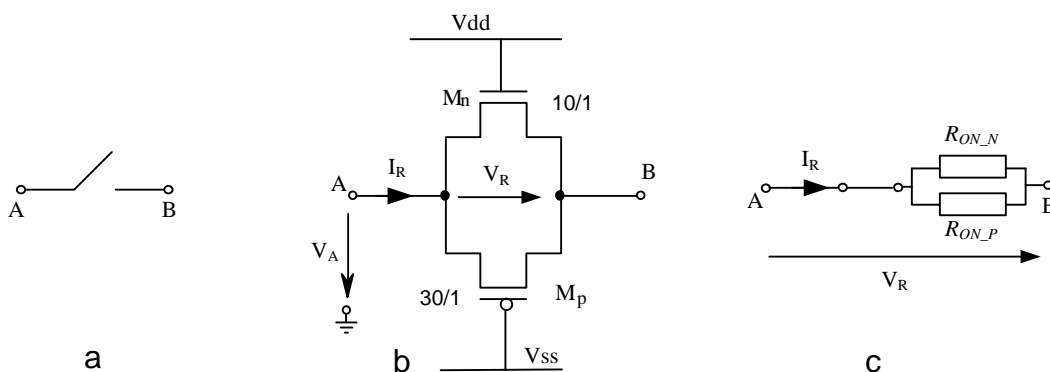
$k_n' = 120 \mu A/V^2$, $k_p' = 40 \mu A/V^2$

$U_{tn} = 0,5V$, $U_{tp} = -0,5V$

$\gamma_n = \gamma_p = 0,5 V^{1/2}$

$2\Phi_F = 0,6V$

Rešitev:



Slika 1: Idealno stikalo (a), vklopljeno CMOS stikalo (b) in poenostavljen model vklopljenega CMOS stikala

V splošnem sta R_{ON} in R_{OFF} nelinearni upornosti odvisni od I_R in V_A . Ker je najbolj kritična R_{ON} , se bomo osredotočili predvsem na upornost vklopljenega stikala. Ker je težko izraziti odvisnost $R_{ON} = f(V_A, I_R)$ oziroma $R_{ON} = f(V_A, V_R)$, bomo izračunali upornost le v točki, ko je potencial V_A na polovici napajalne napetosti ($V_A = 2,5V$). Napetost na stikalu naj bo $V_R = 0,5V$. Ker je v tej točki napetost U_{SB} za NMOS 2,5V in 2V za PMOS, nastopi dvig pragovne napetosti (body pojav)⁴:

$$U_m = U_{t0} + \gamma \left(\sqrt{|2\Phi_F| + U_{SB}} - \sqrt{|2\Phi_F|} \right) = 0,5 + 0,5 \left(\sqrt{0,6 + 2,5} - \sqrt{0,6} \right) = 1,0V \text{ in } U_{tp} = -1,0V$$

Upornost vsakega tranzistorja je:

$$R_{ON_N} = \frac{1}{\frac{W_n}{L_n} k_n' (U_{GSn} - U_m)} = \frac{1}{\frac{10 \cdot 120 \cdot 10^{-6}}{1} (2,5 - 1,0)} = 556\Omega$$

⁴ Ker gre za majhno pragovno napetost in relativno majhno U_{SB} , smo uporabili natančnejšo formulo za izračun pragovne napetosti.

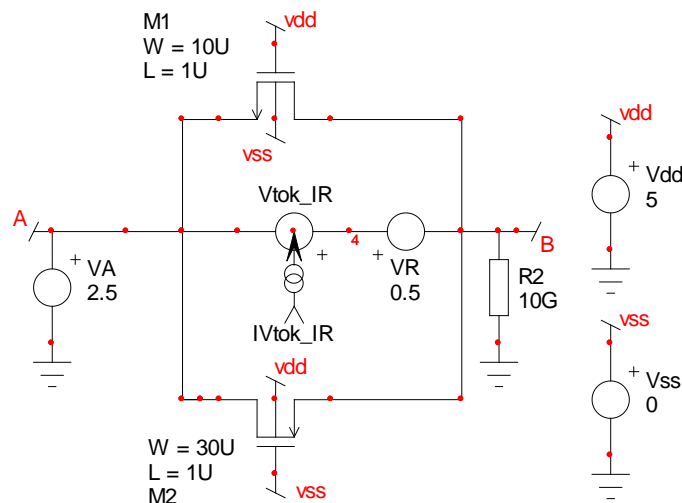
$$R_{ON_P} = \frac{1}{\frac{W_p}{L_p} k_p (-U_{GSn} + U_{tp})} = \frac{1}{\frac{30 \cdot 40 \cdot 10^{-6}}{1} (3-1)} = 417 \Omega$$

Ker sta upornosti vezani paralelno in približno linearni, je skupna upornost R_{ON} :

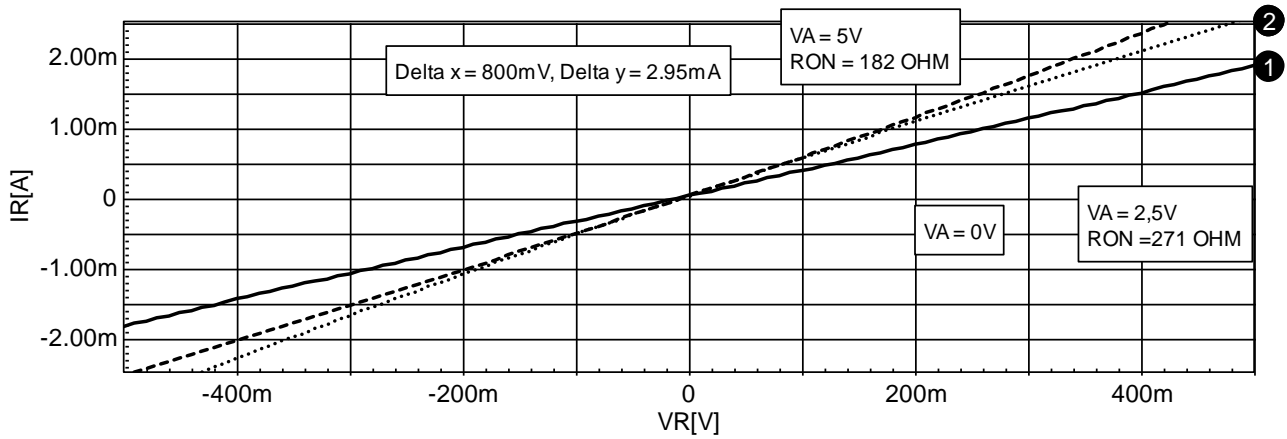
$$R_{ON} \approx R_{ON_P} \parallel R_{ON_N} = \underline{\underline{238 \Omega}}$$

Računalniška simulacija:

Med sponkama A in B priključimo spreminjajočo enosmerno napetost V_R , na sponko A pa enosmerni potencial V_A , ki se lahko nahaja le znotraj intervala, ki ga določata napajalni napetosti. Na sponko B priključimo visoko upornost R2 in se tako izognemo simulacijskim problemom.



```
C:\UC_PROG\IV_SC1_vaje_2_izdaja\Simulacije\TG_celica\tg_0_3um.cir op
##save V(4) V(A) @VR[i] @VR[p] V(vdd) @Vdd[i] @Vdd[p] V(vss)
##save @Vss[i] @Vss[p] @VA[i] @VA[p] @Vtok_IR[i] @Vtok_IR[p] V(B) @R2[i]
##save @R2[p] @M1[id] @M1[ig] @M1[iss] @M1[ib] @M1[p] @M2[id] @M2[ig]
##save @M2[iss] @M2[ib] @M2[p]
#view tran ivtok_ir
#alias ivtok_ir @vtok_ir[i]
#op
#show all : all
.DC VR -0.5 0.5 0.01
.PRINT DC IVtok_IR
VR 4 B DC=0.5
Vdd vdd 0 DC=5
Vss vss 0 DC=0
R2 B 0 10G
M1 B vdd A vss NMOS L=1U W=10U
.MODEL NMOS NMOS GAMMA=0.5 KP=120U VTO=0.5 PHI=0.6
Vtok_IR 4 A
VA A_0 DC=2.5
M2 A vss B vdd PMOS L=1U W=30U
.MODEL PMOS PMOS GAMMA=0.5 KP=40U VTO=-0.5 PHI=0.6
.END
```

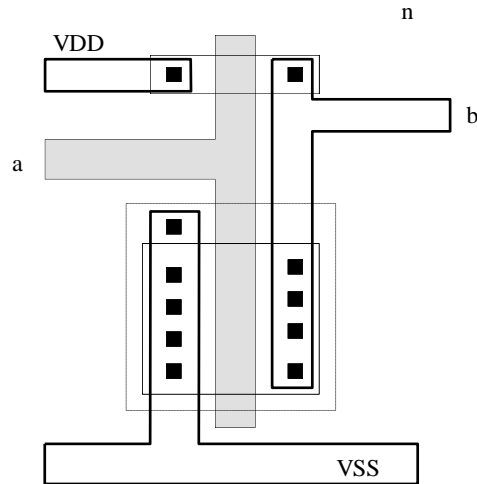


Slika 2: Karakteristika vklopljenega stikala. Parameter je potencial V_A .

R_{ON} : Iz naklona funkcij (glej sliko 2) vidimo, da je R_{ON} približno konstantna. Njena vrednost, ki je odvisna od V_A , se nahaja znotraj intervala $182\Omega \dots 271\Omega$.

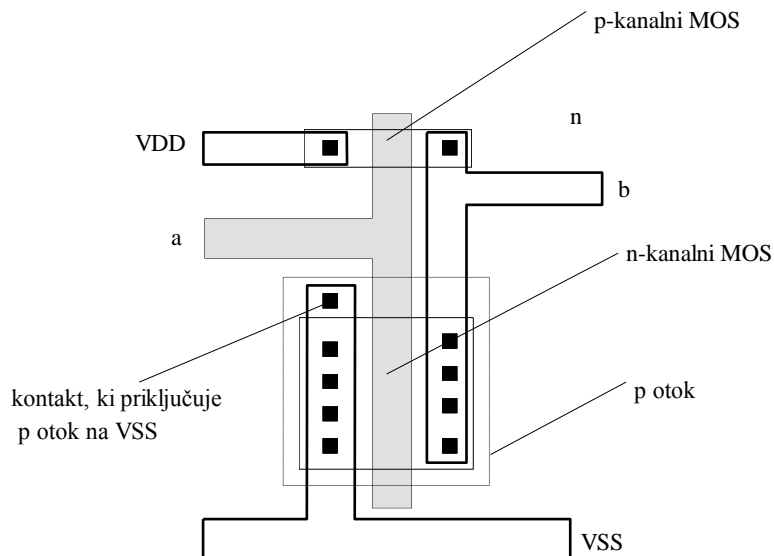
VAJA B.7 ANALIZA CMOS INVERTORJA

Izračunaj preklopno napetost, ki jo ima narisana CMOS struktura. Tehnologija je CMOS z n substratom. Drugi podatki: $k'_n = 40\mu\text{A}/\text{V}^2$, $k'_p = 20\mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{V}$, $U_{tp} = -1\text{V}$, $V_{SS} = 0\text{V}$ in $V_{DD} = 5\text{V}$. Skiciraj prenosno karakteristiko.



Rešitev:

Iz geometrijske strukture razberemo, da sta p in n-kanalni MOS tranzistor povezana tako, da tvorita CMOS invertor. N-kanalni ima dimenzije 4/1, p-kanalni pa 1/1.



Preklopna napetost:

$$U_T = \frac{U_{DD} + U_{tp} + U_{tn} \cdot \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}}{1 + \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}} = \frac{5 - 1 + 1 \cdot \sqrt{4 \cdot \frac{40 \cdot 10^{-6}}{20 \cdot 10^{-6}}}}{1 + \sqrt{4 \cdot \frac{40 \cdot 10^{-6}}{20 \cdot 10^{-6}}}} = \underline{\underline{1,8V}}$$

Skica prenosne karakteristike

Najprej narišemo segment (1), nato (5). Tretji segment, kjer sta oba tranzistorja v področju nasičenja, je približno navpičen. V intervalu (a, A) je delovna točka PMOS tranzistorja v linearnem področju. Podobno velja za NMOS, ki je v intervalu (B,c) prav tako v linearnem področju.

Določitev točke A:

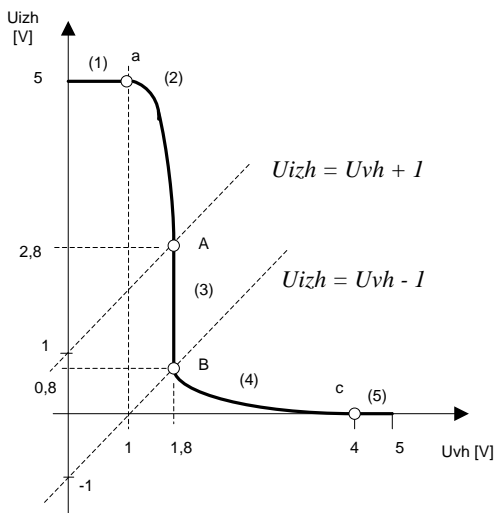
Točka, kjer se stika področje nasičenja z linearnim področjem, definira izraz:

$$-U_{DSp(sat)} = -U_{GSp} + U_{tp} \quad \text{ozioroma} \quad U_{izh} = U_{vh} - U_{tp}, \quad U_{izh} = 1,8 + 1 = 2,8V$$

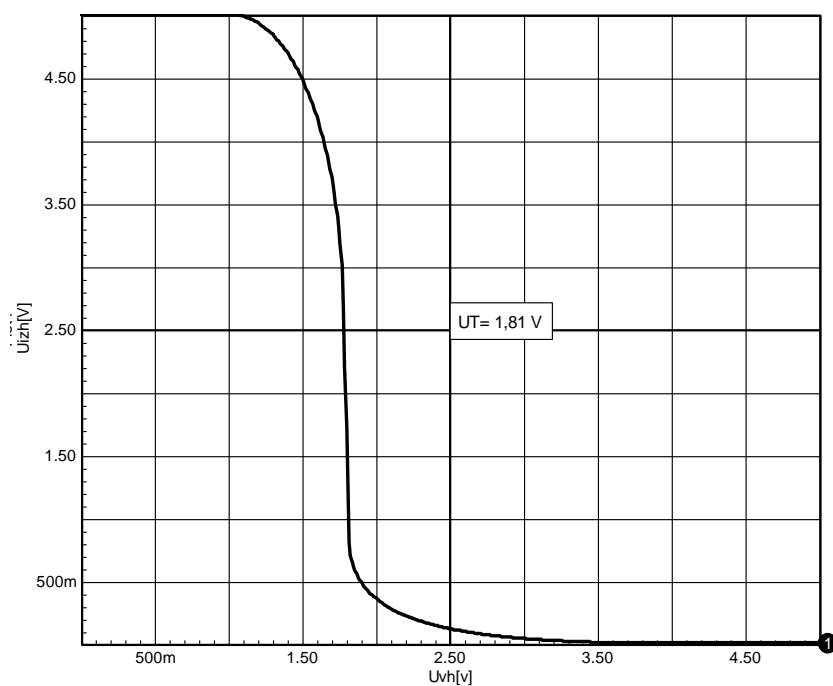
Določitev točke B:

$$U_{DSn(sat)} = U_{GSn} - U_{tn} \quad \text{ozioroma} \quad U_{izh} = U_{vh} - U_{tn}, \quad U_{izh} = 1,8 - 1 = 0,8V$$

Ker sta segmenta (2) in (4) nelinearna, narišemo približni krivulji, ki povezujeta točki a in A ter B in c.



Preklopno območje. To je približno interval: $1,0V < U_{vh} < 1,8V$.

Računalniška simulacija $U_T = 1,8V$, $U_P = 0,74V$ ($1,3V < U_{vh} < 2,0V$)

VAJA B.8 ANALIZA CMOS INVERTORJA

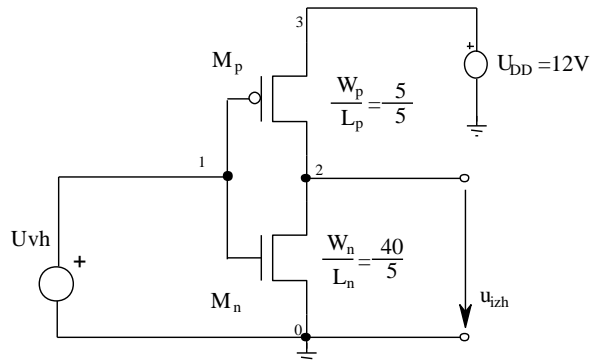
Kolikšen je tok v točki preklopa in kolikšna je izhodna upornost, ko je na izhodu logična ničla?

$$k'_n = 40 \mu\text{A}/\text{V}^2$$

$$k'_p = 20 \mu\text{A}/\text{V}^2$$

$$U_{tn} = 1\text{V}$$

$$U_{tp} = -1\text{V}$$



Rešitev:

a. Tok v točki preklopa

$$\beta_R = \frac{\frac{W_n}{L_n}}{\frac{W_p}{L_p}} = \frac{40/5}{5/5} = 8$$

$$U_T = \frac{U_{DD} + U_{tp} + U_{tn} \cdot \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}}{1 + \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}} = \frac{12 - 1 + 1 \cdot \sqrt{8 \cdot \frac{40 \cdot 10^{-6}}{20 \cdot 10^{-6}}}}{1 + \sqrt{8 \cdot \frac{40 \cdot 10^{-6}}{20 \cdot 10^{-6}}}} = \underline{\underline{3,0\text{V}}}$$

V točki prekopa ($U_T = 3\text{V}$) teče skozi spodnji tranzistor tok:

$$I_{DS} = \frac{k'W_n}{2L_n} (U_{GS} - U_{Tn})^2 = \frac{40 \cdot 40 \cdot 10^{-6} (3 - 1)^2}{2 \cdot 5} = 640 \mu\text{A}$$

b. Izhodna upornost

Ko je na izhodu logična ničla leži delovna točka spodnjega tranzistorja v linearnem področju. Ker je takrat zgornji v zapornem področju, lahko njegovo upornost zanemarimo. Diferencialna izhodna upornost spodnjega tranzistorja je:

$$R_{o''} \approx r_{izho} = \frac{1}{\frac{W_n}{L_n} k'_n (U_{GSn} - U_{tn})} = \frac{1}{\frac{40 \cdot 40 \cdot 10^{-6}}{5} (12 - 1)} = 284 \Omega$$

$$R_{o'} \approx r_{izhl} = \frac{1}{\frac{W_p}{L_p} k'_p (-U_{GSp} + U_{tp})} = \frac{1}{\frac{1 \cdot 20 \cdot 10^{-6}}{1} (12 - 1)} = 4,5 \text{k}\Omega$$

VAJA B.9 ANALIZA CMOS INVERTORJA

S simulatorjem določi prenosno karakteristiko $u_{izh} = f(u_{vh})$ za CMOS inverter pri različnih β_R ($\beta_R = 0,1, 1$ in 10). CMOS inverter bo izdelan v $5\mu\text{m}$ tehnologiji. Izračunaj preklopne napetosti za dana razmerja dimenzij in jih primerjaj z vrednostmi, ki jih dobiš s simulatorjem. Prenosne karakteristike naj bodo narisane na skupni sliki. Kolikšna je maksimalna vrednost toka, ki teče iz napajalne napetosti za $\beta_R = 1$?

Podatki:

$$U_{DD} = 5\text{V}$$

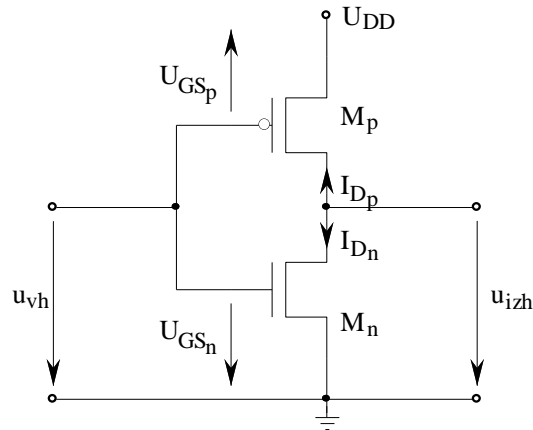
$$U_{tn} = 0,5\text{V}$$

$$U_{tp} = -0,5\text{V}$$

$$k'_n = 28 \mu\text{A}/\text{V}^2$$

$$k'_p = 14 \mu\text{A}/\text{V}^2$$

$$\lambda = 0,02\text{V}^{-1}$$



Rešitev:

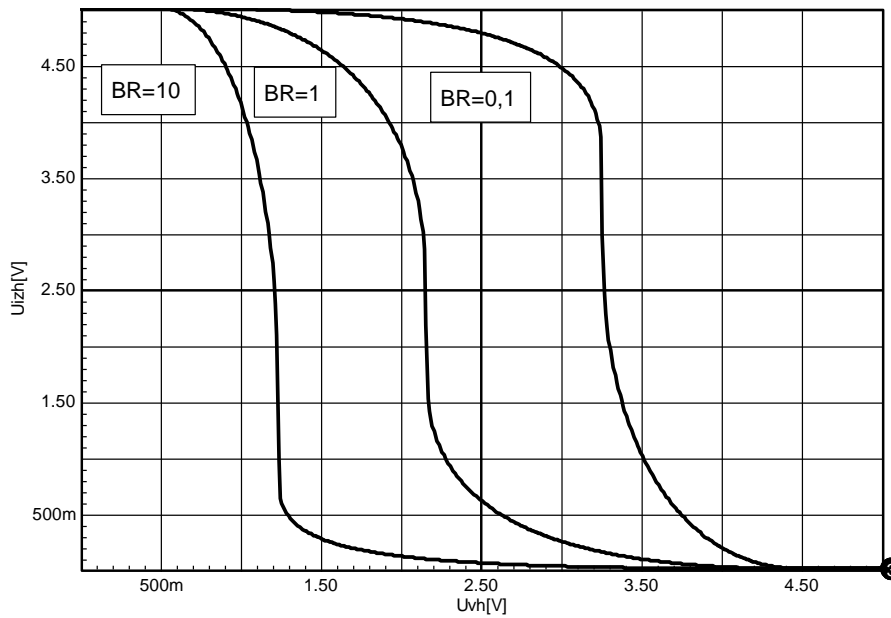
a) Preklopne karakteristike v odvisnosti od β_R :

Izvedli smo tri simulacije. Pri vsaki smo spremenili dimenzije tranzistorjev. Nato smo vse tri karakteristike v grafičnem postprocesorju združili (glej sliko 1). Izhod simulatorja, ko je $\beta_R = 1$, je posebej izpisan.

```

..\Simulacije\CMOS_invertor_1\CMOS_invertor_3.cir DC
*#save @VDD[i] @VDD[p] @Vvh[i] @Vvh[p] V(2) V(3) V(1) @M1[id]
*#save @M1[p] @M2[id] @M2[p]
*#alias uizh v(1)
*#view dc uizh
.DC Vvh 0 5 0.01
.PRINT DC Uizh
VDD 2 0 DC=5
Vvh 3 0 DC=5
M1 1 3 0 0 _M3_mod L=5u W=5u
M2 1 3 2 2 _M4_mod L=5u W=5u
.MODEL _M3_mod NMOS Level=1 GAMMA=0.4 KP=28U LAMBDA=0.01
+ VTO=0.5
.MODEL _M4_mod PMOS Level=1 GAMMA=0.6 KP=14U LAMBDA=0.01
+ VTO=-0.5
.END

```



Slika 1: Prenosne karakteristike pri različnem β_R

b) Preklopne napetosti: Preklopno napetost U_T in dimenzije tranzistorjev povezuje naslednja enačba:

$$U_T = \frac{U_{DD} + U_{t_p} + U_{t_n} \cdot \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}}{1 + \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}}$$

V prejšnji enačbi smo z β_R označili razmerje dimenzij obeh tranzistorjev.

$$\beta_R = \frac{\frac{W_n}{L_n}}{\frac{W_p}{L_p}}$$

Izračun:		Simulacija:
$\beta_R = 0,1$	$U_T = 3,26V$	$U_T = 3,25V$
$\beta_R = 1$	$U_T = 2,16V$	$U_T = 2,16V$
$\beta_R = 10$	$U_T = 1,23V$	$U_T = 1,25V$

c) Maksimalna vrednost toka

Tok je največji v trenutku preklopa, ko prevajata oba tranzistorja. Za $\beta_R = 1$ je preklopna napetost $U_T = 2,16V$. Oba tranzistorja sta takrat v območju nasičenja. Ker je $I_{Dn} = -I_{Dp}$, je vseeno kateri tranzistor izberem:

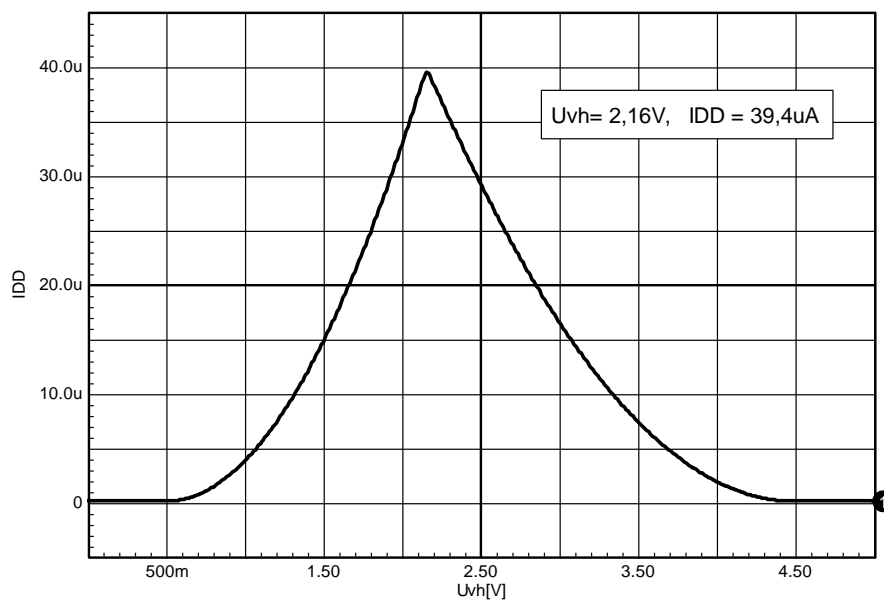
$$I_{Dn} = \frac{k_n' W}{2 L} (U_{GSn} - U_{tn})^2$$

$$U_{GSn} = U_T$$

Za W/L vzamemo $5\mu m/5\mu m$.

$$I_{Dn} = \frac{28 \cdot 10^{-6}}{2} \cdot \frac{5}{5} (2,16 - 0,5)^2 = \underline{\underline{38,6\mu A}}$$

Računalniška simulacija:



Slika 2: Odvisnost toka I_{DD} od vhodne napetosti za $\beta_R = 1$

VAJA B.10 PROJEKTIRANJE CMOS INVERTORJA

Dimenzioniraj CMOS invertor, ki bo imel preklopno napetost $U_T = 3V \pm 20\%$. Tehnologija je $0,8\mu m$. S simulacijo⁵ določi tudi zakasnitev invertorja.

Podatki:

$$U_T = 3V$$

$$U_{DD} = 5V$$

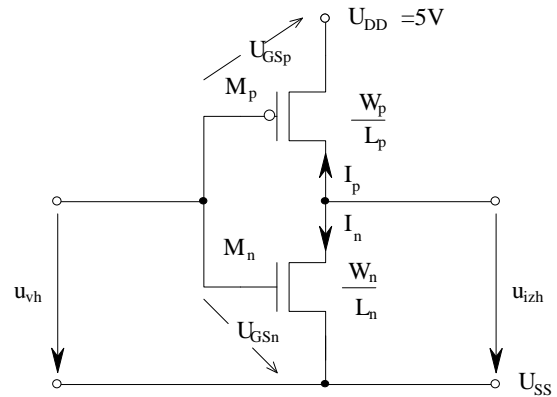
$$U_{SS} = 0V$$

$$U_{tn} = 0,7V$$

$$U_{tp} = -0,7V$$

$$k'_n = 110 \mu A/V^2$$

$$k'_p = 50 \mu A/V^2$$



Rešitev:

1. zahteva: $U_T = 3V \pm 0,6V$

Preklopna napetost:

$$U_T = \frac{U_{DD} + U_{tp} + U_{tn} \cdot \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}}{1 + \sqrt{\beta_R \cdot \frac{k'_n}{k'_p}}}$$

Iz te enačbe izrazimo β_R :

$$\beta_R = \frac{k'_p}{k'_n} \cdot \left(\frac{-U_T + U_{DD} + U_{tp}}{U_T - U_{tn}} \right)^2 = \frac{50 \mu A/V^2}{110 \mu A/V^2} \left(\frac{-3 + 5 - 0,7}{+3 - 0,7} \right)^2 = 0,15$$

$$\beta_R = \frac{\frac{W_n}{L_n}}{\frac{W_p}{L_p}}$$

$$\frac{W_n}{L_n} = \beta_R \frac{W_p}{L_p} = 0,15 \frac{W_p}{L_p} \approx \frac{1}{7} \frac{W_p}{L_p}$$

Ker ni drugih zahtev, izberemo za p-kanalni tranzistor najmanjše dimenzije in izračunamo dimenzije W_n/L_n :

$$\frac{W_p}{L_p} = \frac{1,2 \mu m}{1,2 \mu m} \quad \frac{W_n}{L_n} = \frac{1}{7} \cdot \frac{1,2 \mu m}{1,2 \mu m} = \frac{1,2 \mu m}{8,4 \mu m}$$

⁵ Za simulacijo uporabi poenostavljen model, ki je v Dodatku. Upornost generatorja je 50Ω .

Računalniška simulacija:

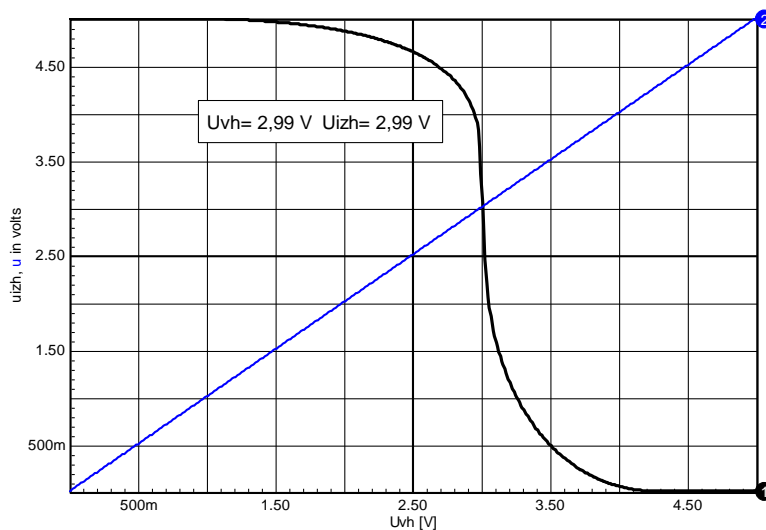
$U_T = \underline{2,99V}$ Preklopna napetost je znotraj zahtevanega intervala.

```

..\Simulacije\CMOS_invertor_3\CMOS_invertor_1.cir DC
*#save V(1) V(3) @M1[id] @M1[p] V(2) @M2[id] @M2[p] @VDD[i]
*#save @VDD[p] @Vvh[i] @Vvh[p]
*#alias uizh v(1)
*#view dc uizh
.DC Vvh 0 5 0.01
.PRINT DC Uizh
.TRAN 1P 30N 0 1P
M1 1 3 0 0 MN08 L=8.4u W=1.2u
M2 1 3 2 2 MP08 L=1.2u W=1.2u
VDD 2 0 DC=5V
RG 30 3 50
Vvh 30 0 DC=0

.MODEL MN08 NMOS Level=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=770U CJSW=380P GAMMA=0.4 KP=110U LAMBDA=0.04 LD=0.016U
+ MJ=0.5 MJSW=0.38 PHI=0.7 TOX=14N VTO=0.7
.MODEL MP08 PMOS Level=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=560U CJSW=350P GAMMA=0.57 KP=50U LAMBDA=0.05 LD=0.014U
+ MJ=0.5 MJSW=0.35 PHI=0.8 TOX=14N VTO=-0.7
.END

```

Preklopna karakteristika:**Zakasnitev:⁶**

Uporabili smo tri enake v serijo vezane invertorje in izmerili zakasnitev sredinskega:

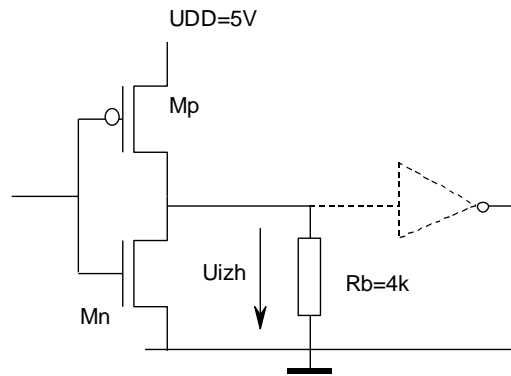
$t_{pHL} = 434ps$ $t_{pLH} = 270ps$. Zakasnitev je največja vrednost, torej $t_d = 434ps$.

⁶ Glej v skripti (T. Dogša: Uvod v integrirana vezja) poglavje Koncept statičnih logičnih vezij.

VAJA B.11 PROJEKTIRANJE CMOS INVERTORJA

Na izhod inverterja priključimo $4k\Omega$ breme, ki povzroči padec napetosti, takrat ko je na izhodu logična enica. Preklopna napetost CMOS inverterja naj bo $2,5V \pm 15\%$, minimalna napetost logične enice pa $4V$. Kolikšne so dimenzije tranzistorjev M_p in M_n ? Tehnologija je $0,8\mu m$.

$$\begin{aligned} U_{tn} &= 0,7V \\ U_{tp} &= -0,7V \\ k'_n &= 110 \mu A/V^2 \\ k'_p &= 50 \mu A/V^2 \end{aligned}$$



Rešitev:

1. zahteva: $U_{izh}(1) \geq 4V$

Najprej bomo izračunali dimenzije M_p tranzistorja, saj vpliva na izhodno napetost. Pri $4V$ teče skozi $4k$ upor $1mA$. Ko je na izhodu logična enica, leži delovna točka P-kanalnega tranzistorja v linearnem področju. Če je pri toku $1mA$ dovoljen padec največ $1V$, mora biti izhodna upornost M_p :

$$R_{ON} = \frac{U_{DSP}}{I} = \frac{1V}{1mA} = 1k\Omega.$$

Pri logični enici na izhodu je na vratih $U_{vh}=0V$, oziroma $U_{GSp} = -5V$. Upornost P-kanalnega tranzistorja v linearnem področju je definirana z enačbo:

$$R_{ON} = \frac{1}{k'_p \frac{W_p}{L_p} (-U_{GSp} + U_{tp})}$$

Iz te enačbe izračunamo njegove dimenzije in jih zaokrožimo navzgor, saj s tem dodatno zmanjšamo upornost:

$$W_p / L_p \geq \frac{1}{R_{ON} k'_p (-U_{GSp} + U_{tp})} = \frac{1}{10^3 \cdot 50 \cdot 10^{-6} (5 - 0,7)} = 4,7$$

$$W_p / L_p = 4\mu m / 0,8\mu m$$

2. zahteva: $U_T = \frac{U_{DD}}{2} = 2,5V \pm 15\%$

Če je zahtevana preklopna napetost $U_T = \frac{U_{DD}}{2}$, je razmerje dimenzij enako razmerju procesnih konstant. Kljub temu, da to velja le za neobremenjen inverter, bomo v nadaljevanju uporabili to preprosto pravilo:

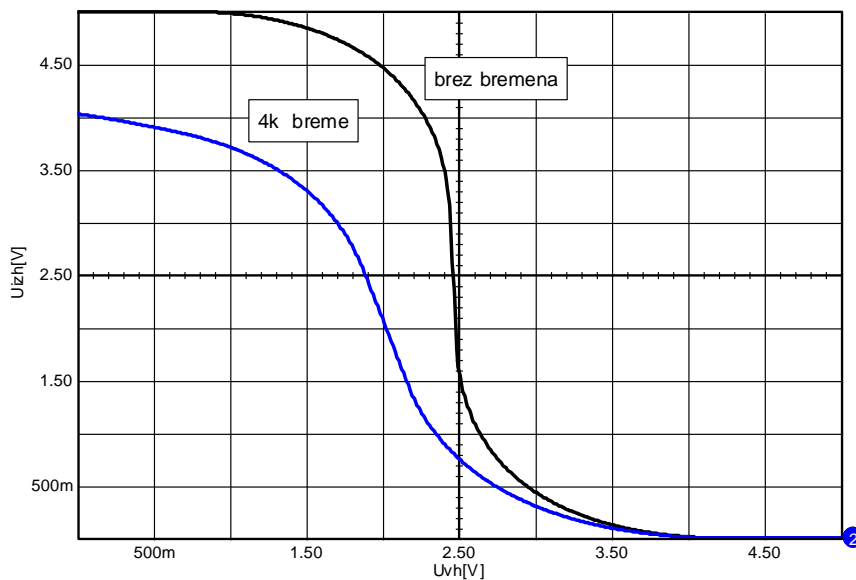
$$\beta_R \approx \frac{k'_p}{k'_n}$$

$$\beta_R = \frac{W_n / L_n}{W_p / L_p} = \frac{k'_p}{k'_n} \quad W_n / L_n = \frac{k'_p}{k'_n} \cdot \frac{W_p}{L_p} = \frac{50 \mu A / V^2}{110 \mu A / V^2} \cdot \frac{4 \mu m}{0,8 \mu m} = 2,27 = \frac{2 \mu m}{0,8 \mu m}$$

Računalniška simulacija:

1. varianta:

1 uizh 2 uizh#a



Iz simulacije je razvidno, da je pri obremenjenem inverterju, izhodna napetost nižja od 4V. Hkrati se je zmanjšala tudi preklopna napetost iz 2,5V na 2V. Potrebne so korekcije dimenzij.

2. varianta:

Za zmanjšanje upornosti MP tranzistorja je potrebno povečati njegovo širino. W_p bomo povečali za dvakrat in prav toliko W_n , da bomo ohranili zahtevano razmerje:

$$W_p / L_p = 8 \mu m / 0,8 \mu m \quad W_n / L_n = \frac{1,6 \mu m}{4 \mu m}$$

Simulacija: $U_T = 2,6V$ in $U_{izh \min} = 4,1V$.

VAJA B.12 PROJEKTIRANJE CMOS INVERTORJA

Projektiraj CMOS inverter, ki bo imel preklopno napetost približno na polovici napajalne in tok v točki preklopa ne bo presegel $100\mu\text{A}$. Tehnologija je $0,8\mu\text{m}$. Kolikšna je izhodna upornost M_n tranzistorja, ko je na izhodu logična ničla?

Podatki:

$$U_T = 2,5\text{V}$$

$$U_{DD} = 5\text{V}$$

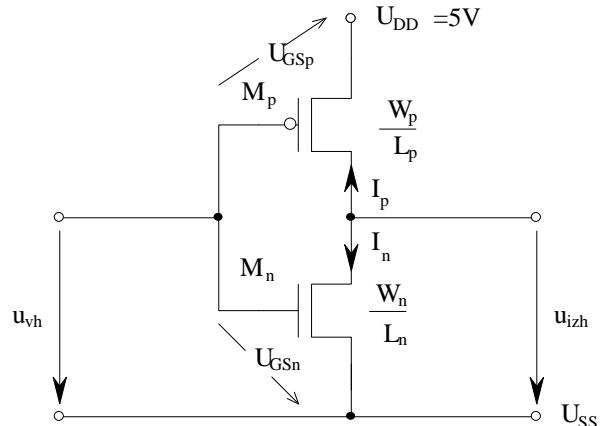
$$U_{SS} = 0\text{V}$$

$$U_{tn} = 0,7\text{V}$$

$$U_{tp} = -0,7\text{V}$$

$$k'_n = 110 \mu\text{A}/\text{V}^2$$

$$k'_p = 50 \mu\text{A}/\text{V}^2$$



Rešitev:

1. zahteva: $I_{DD\max} \leq 100\mu\text{A}$

$$I_{Dn} = \frac{k'_n}{2} \frac{W_n}{L_n} (U_{GSn} - U_{tn})^2 = \frac{k'_n}{2} \frac{W_n}{L_n} (U_T - U_{tn})^2$$

$$\frac{W_n}{L_n} = \frac{I_{Dn}}{\frac{k'_n}{2} (U_T - U_{tn})^2} = \frac{100 \cdot 10^{-6}}{\frac{110 \cdot 10^{-6}}{2} (2,5 - 0,7)^2} = 0,56 \approx \frac{1}{2} = \frac{1,2\mu\text{m}}{2,4\mu\text{m}}$$

2. zahteva: $U_T = \frac{U_{DD}}{2} \approx 2,5\text{V}$

$$\beta_R \approx \frac{k'_p}{k'_n}$$

$$\beta_R = \frac{W_n/L_n}{W_p/L_p} = \frac{k'_p}{k'_n} \quad W_p/L_p = \frac{k'_n}{k'_p} \cdot \frac{W_n}{L_n} = \frac{110\mu\text{A}/\text{V}^2}{50\mu\text{A}/\text{V}^2} \cdot \frac{1}{2} = 1,1 \approx 1 = \frac{1,2\mu\text{m}}{1,2\mu\text{m}}$$

$$R_{izh} = \frac{1}{k'_n \frac{W_n}{L_n} (U_{GSn} - U_{tn})} = \frac{1}{110 \cdot 10^{-6} \cdot \frac{1}{2} (5 - 0,7)} = 4,22\text{K}\Omega$$

Računalniška simulacija:

$$U_T = 2,47\text{V} \text{ in } I_{\max} = 97\mu\text{A}$$

VAJA B.13 PROJEKTIRANJE CMOS INVERTORJA

Projektiraj CMOS invertor, ki bo imel preklopno napetost približno na polovici napajalne in simetrično izhodno upornost 200Ω . Tehnologija je $0,8\mu\text{m}$. Kolikšna moč se na njem dissipira, če ima vhodni signal frekvenco 5MHz in je na izhod vezanih več logičnih vrat, katerih skupna parazitna vhodna kapacitivnost znaša 50pF ?

$$U_{DD} = 5\text{V}$$

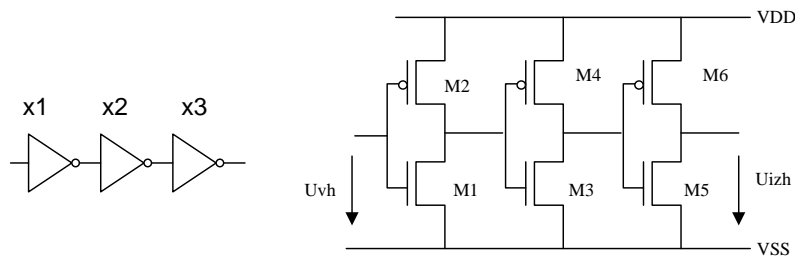
$$U_{tn} = 0,7\text{V}$$

$$U_{tp} = -0,7\text{V}$$

$$k'_n = 110 \mu\text{A}/\text{V}^2$$

$$k'_p = 50 \mu\text{A}/\text{V}^2$$

Rešitev:



Ker je zahtevana simetrična izhodna upornost in hkrati tudi določena preklopna napetost, je naloga nerešljiva samo z enim invertorjem. Potrebno je dodati invertor X1 na vходу, ki definira preklopno napetost in X3 na izhodu, ki zagotavlja simetrično izhodno upornost. Preklopno napetost zaporedno vezanih invertorjev diktira prvi invertor X1. Med oba je potrebno dodati še invertor, s katerim dosežemo zahtevano logično funkcijo celotnega vezja.

$$U_T = \frac{U_{DD}}{2} \approx 2,5\text{V} \rightarrow \beta_R = \frac{W_{n1}/L_{n1}}{W_{p1}/L_{p1}} = \frac{k'_p}{k'_n} = \frac{110\mu\text{A}/\text{V}^2}{50\mu\text{A}/\text{V}^2} = 2$$

Izberemo minimalne dimenzije M1 ($W_{n1}/L_{n1}=0,8\mu\text{m}/0,8\mu\text{m}$) in izračunamo dimenzije M2:

$$W_{p2}/L_{p2} = 2 \cdot \frac{W_{n1}}{L_{n1}} = \frac{1,6\mu\text{m}}{0,8\mu\text{m}}$$

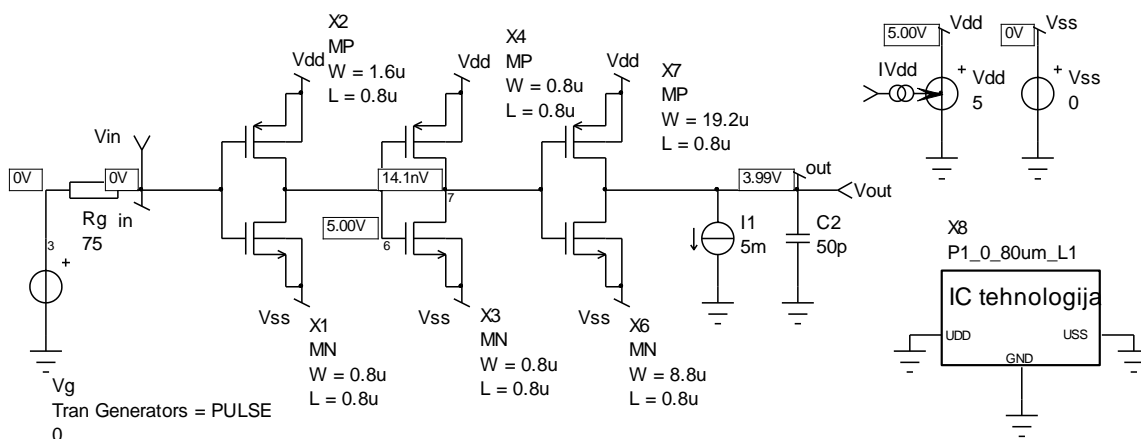
Srednji invertor ima lahko minimalne dimenzije: $W_{n3}/L_{n3} = W_{p4}/L_{p4} = 0,8\mu\text{m}/0,8\mu\text{m}$.

$$W_{p5}/L_{p5} \geq \frac{1}{R_{izh}k'_p(-U_{GSp} + U_{tp})} = \frac{1}{200 \cdot 50 \cdot 10^{-6} (5 - 0,7)} = 23 = \frac{18,4\mu\text{m}}{0,8\mu\text{m}}$$

$$W_{n5}/L_{n5} \geq \frac{1}{R_{izh}k'_n(U_{GSn} - U_{tn})} = \frac{1}{200 \cdot 110 \cdot 10^{-6} (5 - 0,7)} \approx 11 = \frac{8,8\mu\text{m}}{0,8\mu\text{m}}$$

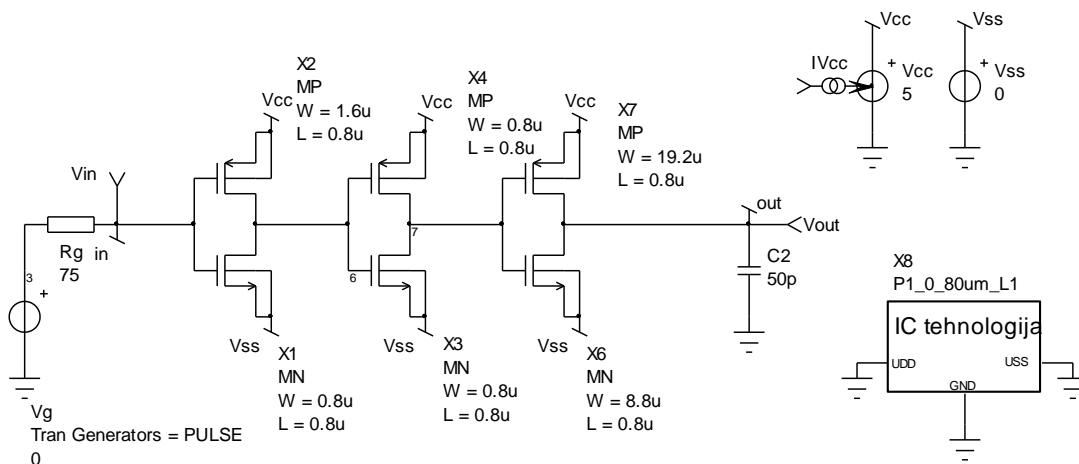
$$\bar{P}_d = fCU_{DD}^2 = 5 \cdot 10^6 \cdot 50 \cdot 10^{-12} \cdot 5^2 = 6,25\text{mW}$$

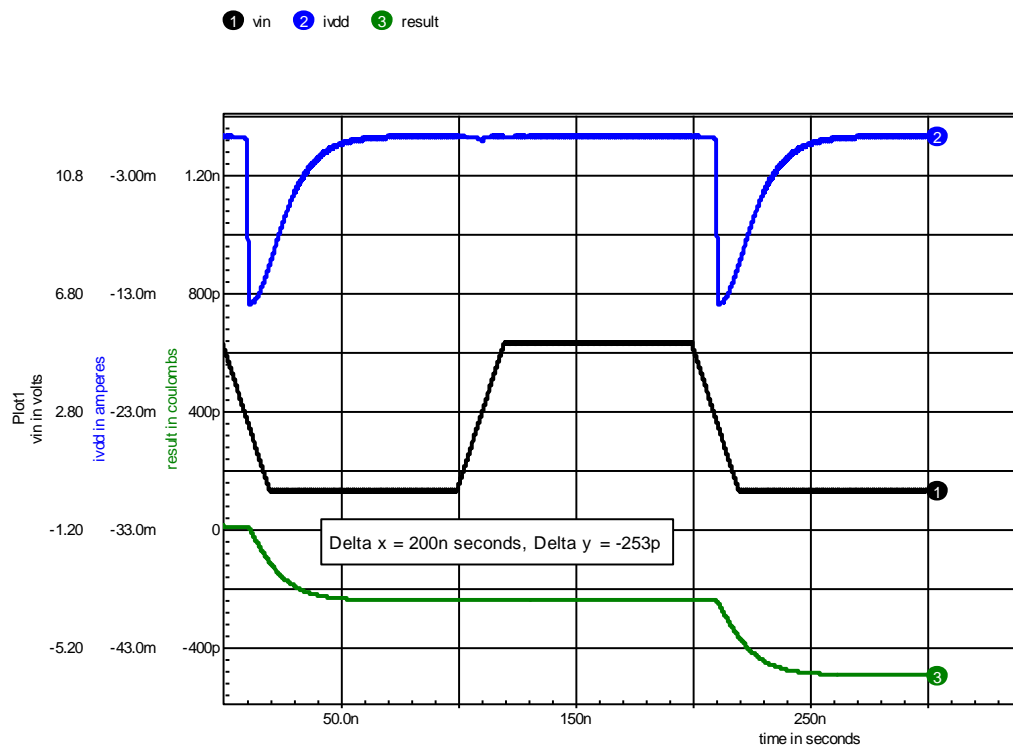
Računalniška simulacija: $U_T = 2,5V$



Izhod obremenimo s tokom nekaj mA in izmerimo izhodno napetost. Rizh za logično enico:

$$R_{izh} = \frac{U_{DD} - U_{izh}}{I_{zh}} = \frac{5 - 3,99}{5 \cdot 10^{-3}} = 200\Omega. \text{ Na podoben način izmerimo Rizh za logično ničlo.}$$



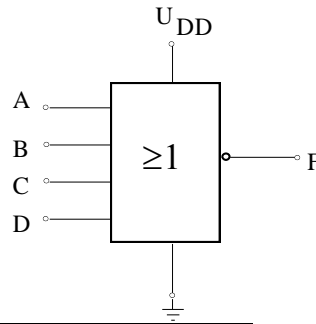


Graf 3 (result) je vrednost določenega integrala toka i_{vdd} , ki ga izračunamo s pomočjo Intuscopa.

$$\bar{P} = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} p(t) dt = \frac{U_{DD}}{t_2 - t_1} \int_{t_1}^{t_2} i_{VDD}(t) dt = \frac{5 \cdot 253 \cdot 10^{-12}}{200 \cdot 10^{-9}} = 6,33mW$$

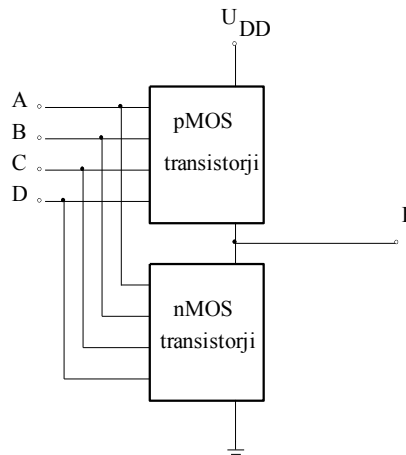
VAJA B.14 SINTEZA CMOS KOMBINACIJSKEGA VEZJA

Realiziraj 4 vhodna NALI vrata s CMOS tranzistorji.



Rešitev:

CMOS vezje bomo sestavili iz dveh delov: v enem bodo pMOS tranzistorji, v drugem pa nMOS. Ob določeni kombinaciji na vhodu bo nMOS del preklopil izhod na maso, hkrati pa pMOS del odklopi povezavo U_{DD} - izhod. Ob isti, vendar komplementarni kombinaciji vhodnih signalov se zgodi obratno. Zato lahko ločeno načrtujemo pMOS in nMOS del.



4 vhodna NALI vrata so opisana s funkcijo: $F = \overline{(A + B + C + D)}$ (1)

Funkcijo F razdelimo na dva dela. Del vezje z nMOS stikali bo povezal izhod z maso. To pomeni, da z nMOS stikali izvedemo **negacijo** izraza (1). Dobljen izraz bomo označili s f_n :

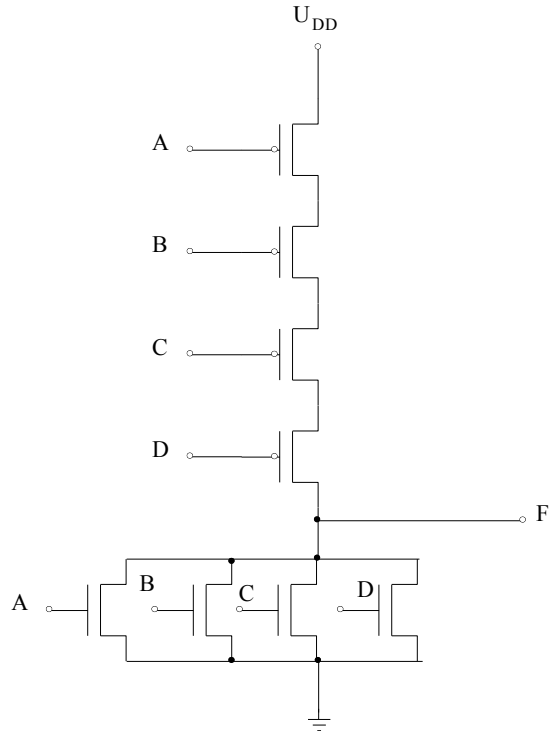
$$f_n = \overline{F(A,B,C,D)} = \overline{\overline{(A+B+C+D)}} = A + B + C + D$$

S pMOS stikali povežemo U_{DD} z izhodom. Ker so pMOS stikala vklopijo logične ničle oziroma **negirane vrednosti**, moramo (1) ustrezno tako preurediti, da bodo **vsi argumenti negirani**⁷:

$$F = f_p(\overline{A}, \overline{B}, \overline{C}, \overline{D}) = \overline{\overline{(A+B+C+D)}} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$$

ALI operator realiziramo s paralelno vezavo tranzistorjev, IN pa s serijsko. Na ta način dobimo vezje, ki ga prikazuje naslednja slika:

⁷ Pazi! Če ostane kakšen, ki ni negiran, mormo na ta vhod dodati poseben invertor.



Sponke, ki imajo enako oznako, so povezane. Zaradi večje preglednosti, povezave niso narisane.

VAJA B.15 Sinteza CMOS kombinacijskega vezja

Realiziraj naslednjo funkcijo s CMOS tranzistorji: $F = \overline{((A \cdot B) + (C \cdot D))}$

Rešitev:

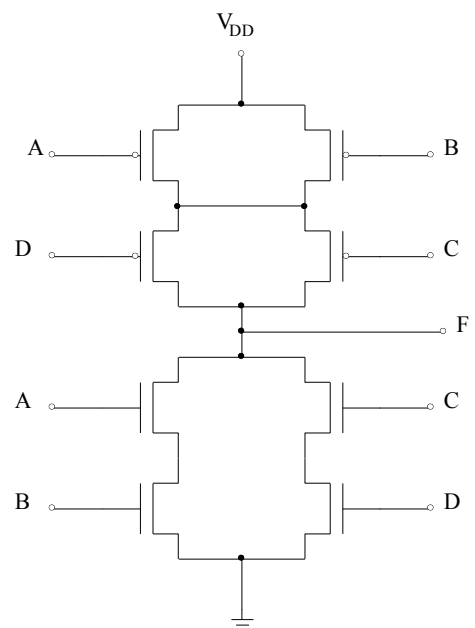
$$f_n = \overline{F} = (A \cdot B) + (C \cdot D)$$

$$F = f_p(\overline{A}, \overline{B}, \overline{C}, \overline{D})$$

$$f_p = \overline{((A \cdot B) + (C \cdot D))} \quad \text{Pretvorimo po De Morganu}$$

$$f_p = \overline{(A \cdot B)} \cdot \overline{(C \cdot D)}$$

$$f_p = (\overline{A} + \overline{B}) \cdot (\overline{C} + \overline{D})$$

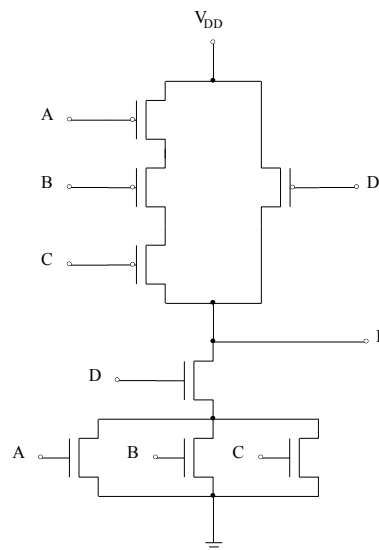


VAJA B.16 Sinteza CMOS kombinacijskega vezja

Realiziraj funkcijo $F = \overline{((A + B + C) \cdot D)}$ s CMOS tranzistorji.

Rešitev:

Nalogo rešimo podobno kot prejšnjo.



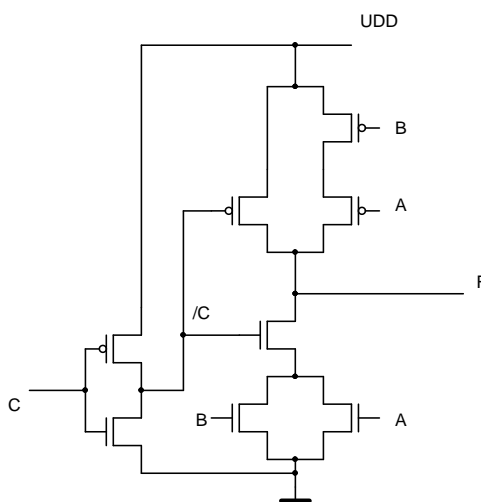
VAJA B.17 Sinteza CMOS kombinacijskega vezja

Realiziraj funkcijo $F = \overline{(A + B) + C}$ s CMOS tranzistorji.

Rešitev:

$$f_n = \overline{F} = (A+B) / C \quad \text{in} \quad f_p = \overline{(A/B) + C}$$

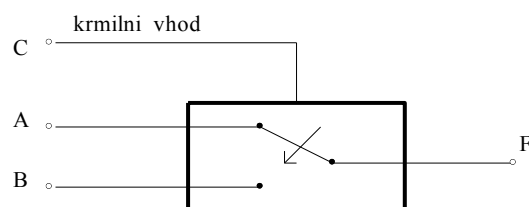
Vidimo, da krmiljenje s C dela težave, saj nam ni uspelo preurediti funkcije, tako da bi bila krmiljena samo z negiranimi argumenti. Problem rešimo z dodatnim invertorjem:



VAJA B.18 Sinteza CMOS kombinacijskega vezja

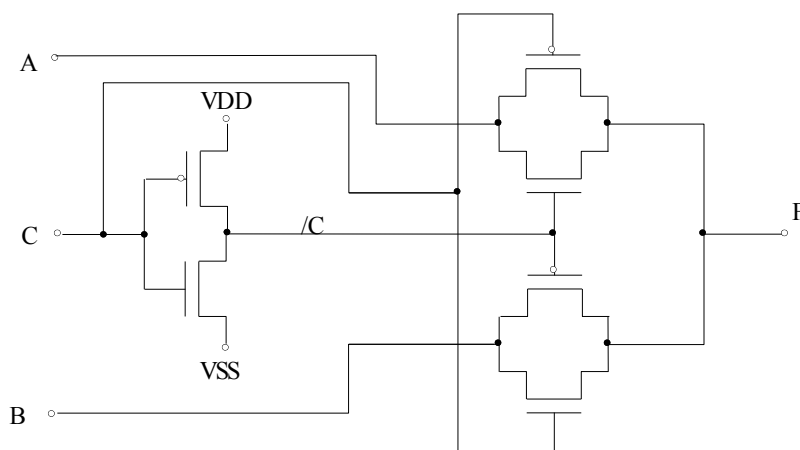
S CMOS tranzistorji realiziraj dvovhodni multiplekser, ki je opisan z naslednjo tabelo:

A	B	C	F
x	0	0	0
x	1	0	1
0	x	1	0
1	x	1	1



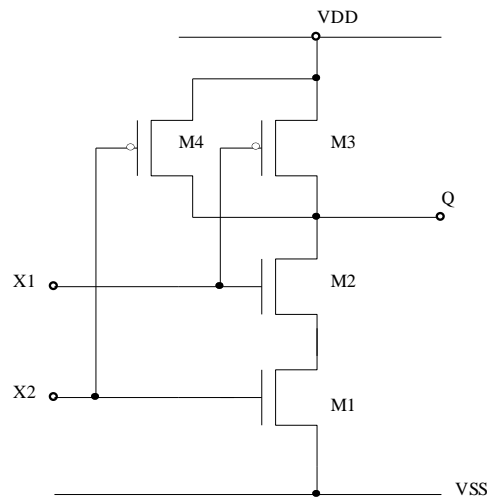
Rešitev:

Naloga nima samo ene rešitve. S klasično sintezo logičnih vezij bi dobili eno izmed možnih vezij, ki bi bilo sestavljeno iz nekaj logičnih vrat. Najenostavnejšo rešitev dobimo, če vezje realiziramo s prenosnimi celicami, ki jih ustrezno povežemo.



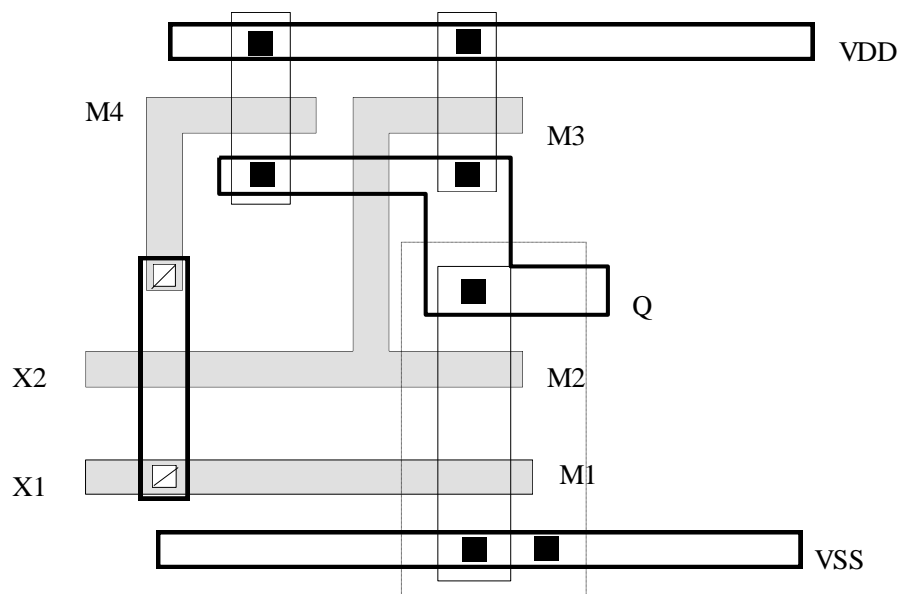
VAJA B.19 Načrtovanje geometrijske strukture

Nariši geometrijsko strukturo 2-vhodnih NAND vrat, ki bodo realizirana v CMOS tehnologiji (p otoki). Uporabi karirast papir. Dimenzije vseh tranzistorjev naj bodo enake. Da bo vaja enostavnejša, ni potrebno upoštevati nobenih dimenzijskih pravil. Položaj sponk (X1, X2, VDD, VSS) naj bo v geometrijski strukturi približno tak, kot je na spodnji sliki.



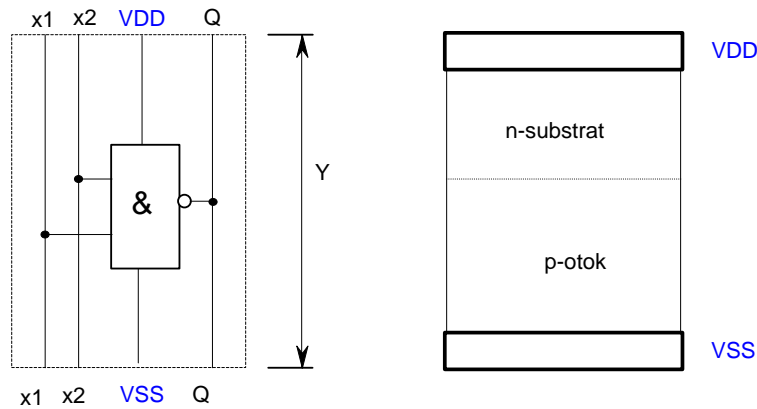
Rešitev:

Ker obstaja več možnih rešitev, bomo prikazali samo eno. Ker sta M1 in M2 n-kanalna tranzistorja, potrebujemo masko za p otok (črtkana). Najprej narišemo napajalni napetosti, ki naj potekata vzporedno. Nato narišemo ostale tranzistorje. P otok moramo priključiti na VSS. Podobno kot pri tiskanem vezju tudi tukaj ne bomo dosegli optimalne razporeditve v prvem osnutku, ampak šele po nekaj iteracijah. Ker nismo upoštevali nobenih dimenzijskih pravil, se bomo zadovoljili kar s prikazanim osnutkom.



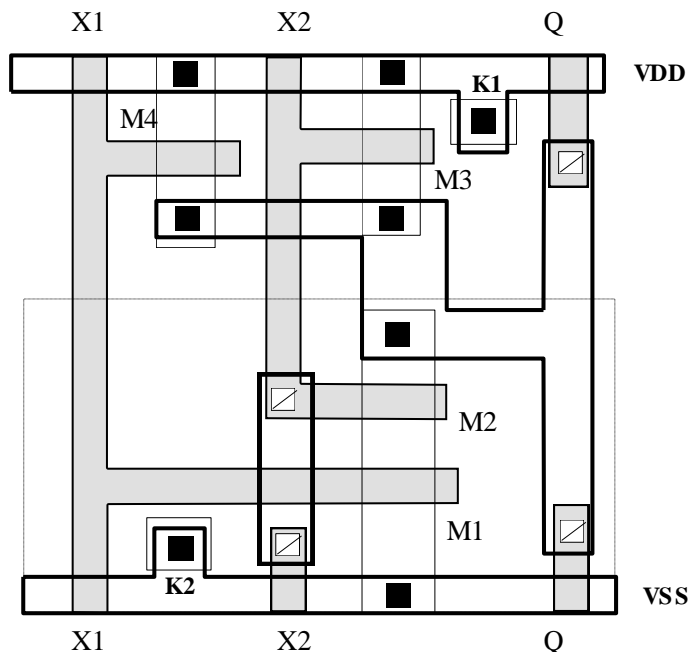
VAJA B.20 Načrtovanje geometrijske strukture standardne celice

Napravi načrt za 2-vhodna CMOS NAND vrata, ki bodo realizirana v obliki standardne celice. Pri načrtovanju upoštevaj položaj priključkov x1, x2 in Q. Da bo vaja lažja, ni potrebno upoštevati sicer natančno predpisane višine Y. Spodnja polovica celice je p otok. Na zgornjem oziroma spodnjem robu celice teče kovinska povezava z napajalnima napetostima. Uporabi geometrijsko strukturo iz prejšnje vaje in jo ustrezno predelaj.



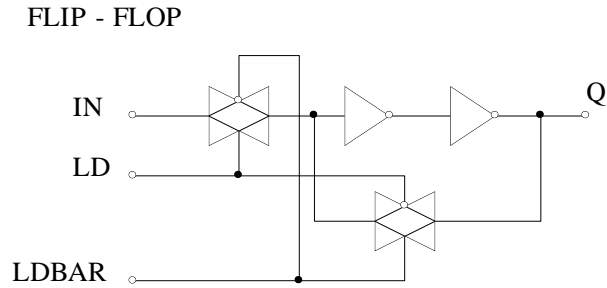
Rešitev:

Ker je zgornji in spodnji rob zaseden s kovinskim pasom, po katerem se lahko priključimo na napajalni napetosti, je možno priključke x1, x2 in Q narediti samo na polikristalnem nivoju. Na p otok in na substrat moramo priključiti ustrezno napajalno napetost (kontakt K1 in K2). Ker lahko kovino priključimo samo na n+ področje, moramo pod kontaktom (K1) ustvariti n+ področje. Zato je okrog vseh kontaktov narisana maska za aktivno področje. Ker hkrati dobimo tudi nižjo kontaktno upornost, uporabljamo ta pristop tudi za p področje (kontakt K2).



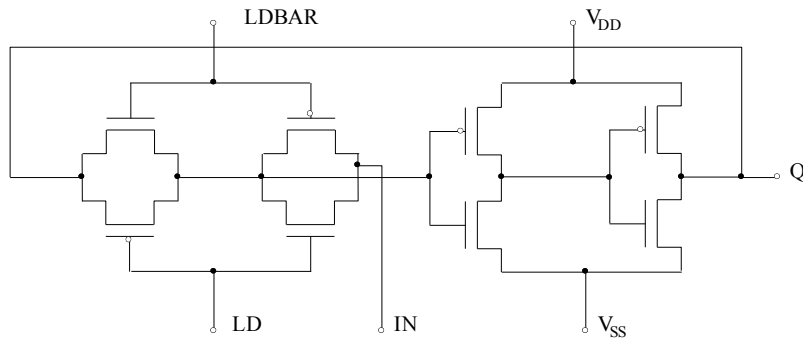
VAJA B.21

Nariši električno vezje na nivoju CMOS tranzistorjev in geometrijsko strukturo za D flip-flop na spodnji sliki.

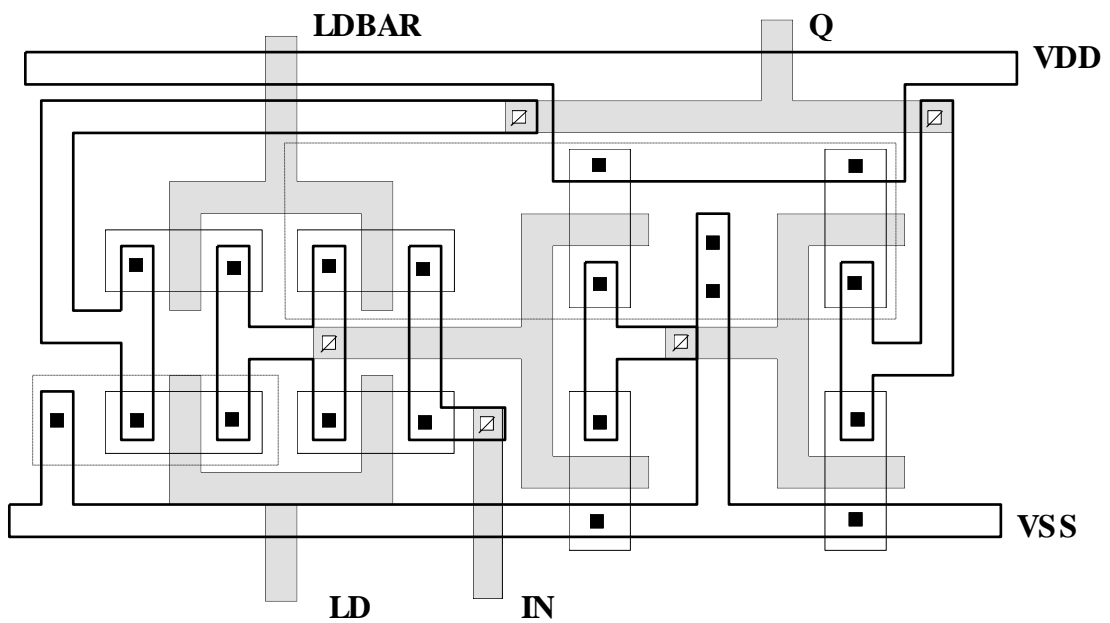


Rešitev:

Za realizacijo prikazanega vezja potrebujemo 4 n-kanalne in prav toliko p-kanalnih tranzistorjev.

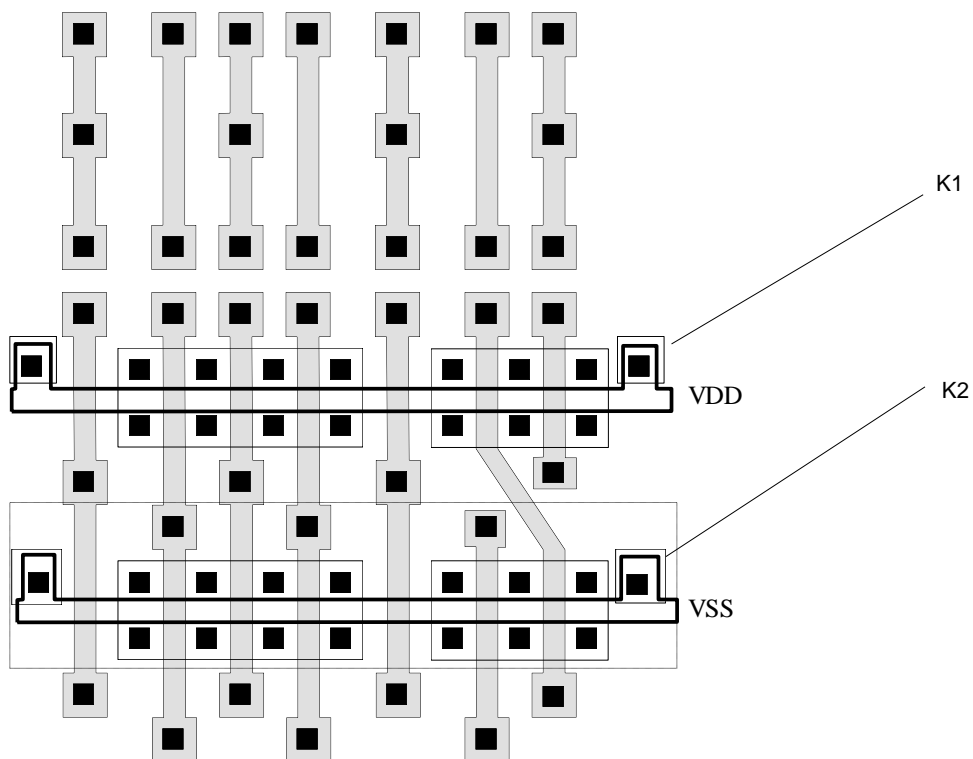


Ena izmed možnih rešitev geometrijske strukture:



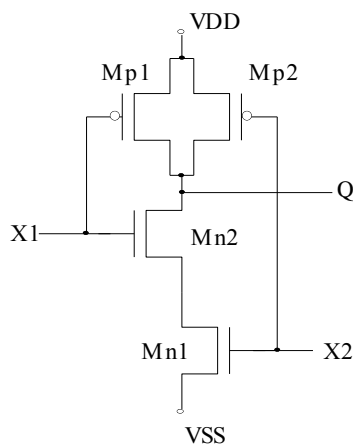
VAJA B.22 Logična mreža

Na sliki je prikazan del CMOS logične mreže. Uporabljena je tehnologija s p otoki. Ustrezno poveži tranzistorje, da boš dobil dvovhodna NAND vrata. Vsi tranzistorji naj imajo enake dimenzije. Zaradi večje preglednosti so vsi kontakti črno pobarvani.

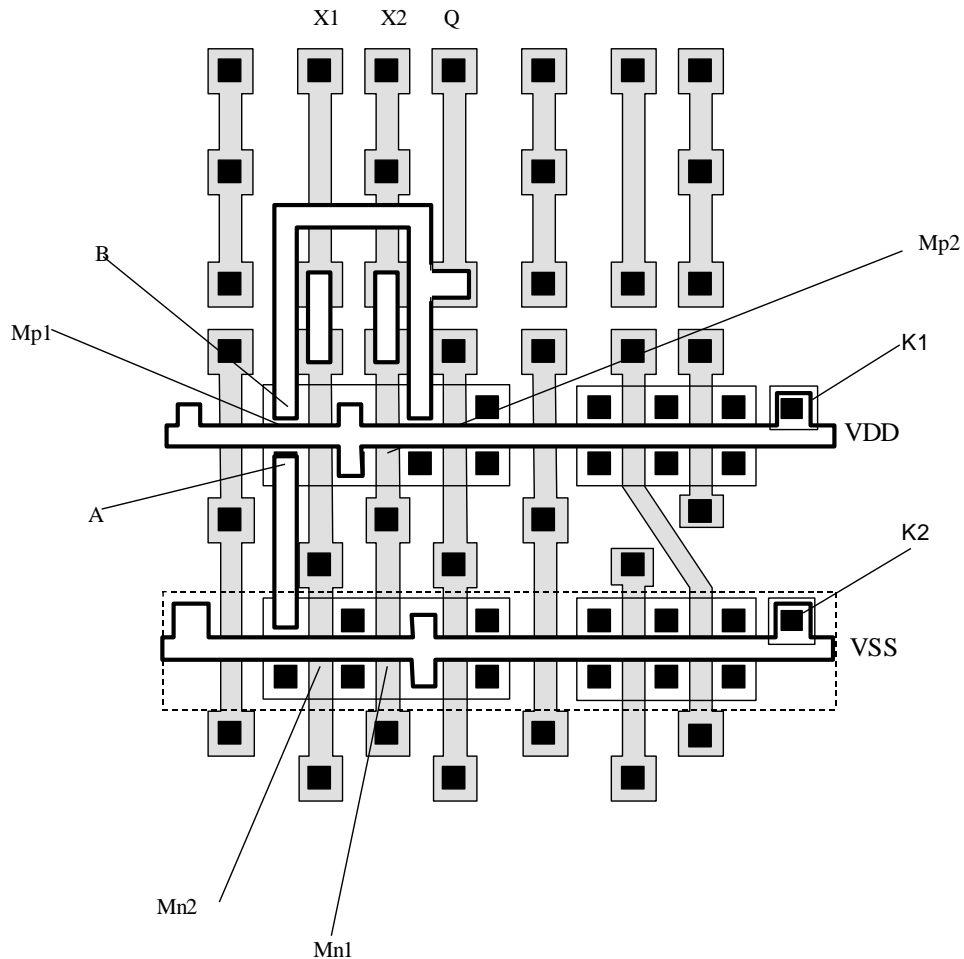


Rešitev:

Najprej narišemo vezje na nivoju tranzistorjev, nato pa se lotimo povezovanja.



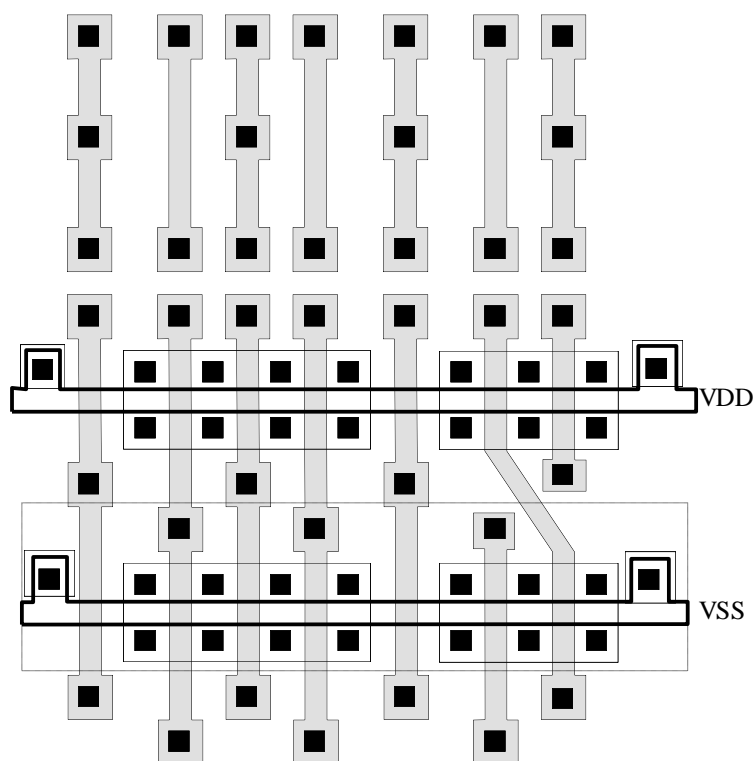
Podobno kot pri načrtovanju tiskanega vezja obstaja več rešitev. Prikazana je samo ena izmed njih.



Pod VDD linijo so p-kanalni, pod VSS pa n-kanalni MOS tranzistorji. Točki A in B sta med seboj povezani! Razlago boš našel, če boš preštudiral strukturo posameznega MOS tranzistorja. Zaradi večje preglednosti niso narisani kontakti, ki so pod kovino. Kontakt K1 povezuje n substrat z VDD, K2 pa n otok z VSS. Obkrožitev K1 pomeni, da je kovina preko n+ povezana z n substratom. Brez n+ bi dobili usmerniški kontakt. p+ pri K2 zmanjšuje omsko upornost kontakta. Na spodnji sliki so prikazane dimenzije enega izmed n-kanalnih MOS tranzistorjev.

VAJA B.23 Logična mreža

Na sliki je prikazan del logične mreže. Ustrezno poveži tranzistorje, da boš dobil dvovhodna NOR vrata. Vsi tranzistorji naj imajo enake dimenzije. Uporabljena je ista logična mreža kot pri prejšnji vaji. Vajo moraš rešiti sam, saj ni priložene rešitve. Nalogo rešuj na podoben način kot prejšnjo.



C. ANALOGNA VEZJA

VAJA C.1 PROJEKTIRANJE CMOS DELILNIKA NAPETOSTI

Projektiraj CMOS delilnik napetosti, ki bo zmanjšal napetost 5V na $1,7V \pm 20\%$. S simulatorjem določi karakteristiko delilnika. Uporabljena bo $0,8\mu m$ tehnologija (podatki so v prilogi).

Rešitev:

Glede na postavljene zahteve pri načrtovanju obstaja zelo pogosto več rešitev. Zahteve so lahko eksplicitno navedene (npr. $U_R = 1,7V \pm 20\%$) ali pa so tako logične, da se niti ne navajajo (npr. čim manjša površina, čim nižja poraba energije). Njihovo število se zmanjša, ko upoštevamo pomembnost posameznih zahtev. Zelo pogosto se je potrebno odločiti za kompromisno rešitev. Ker je za naš primer predpisano samo zmanjšanje napetosti, si lahko dimenzije enega tranzistorja ali pa tok delilnika izberemo. Izberemo najmanjši tok, to je $10\mu A$ in izračunamo, kolikšen padec napetosti povzroči na enem tranzistorju, ki ima približno⁸ minimalne dimenzije oziroma površino $W/L = 1/1$.

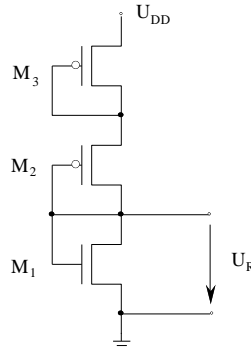
$$U_{GSn} = \sqrt{\frac{I}{\frac{k'_n W_1}{2L_1}}} + U_m = \sqrt{\frac{10 \cdot 10^{-6}}{\frac{110 \cdot 10^{-6} \cdot 1}{2 \cdot 1}}} + 0,7 = 1,1V$$

$$U_{GSp} = -\sqrt{\frac{-I}{\frac{k'_p W_2}{2L_2}}} + U_{tp} = -\sqrt{\frac{10 \cdot 10^{-6}}{\frac{50 \cdot 10^{-6} \cdot 1}{2 \cdot 1}}} - 0,7 = -1,3V$$

Glede na $U_t = 0,7V$ in zahtevan padec $1,7V$, bomo za spodnji del delilnika izbrali samo en NMOS tranzistor, ki mora imeti pri $1,7V$ in toku $10\mu A$, naslednje dimenzije:

$$\frac{W_1}{L_1} = \frac{I}{\frac{k'_n}{2} \cdot (U_{GS1} - U_{tn})^2} = \frac{10 \cdot 10^{-6}}{\frac{110 \cdot 10^{-6}}{2} \cdot (1,7 - 0,7)^2} = \frac{10}{55} \approx \frac{1}{5} = \frac{1,2\mu m}{6\mu m}$$

Če bi se odločili za razmerje $1/1$, bi dobili sicer najmanjše dimenzije, vendar se bi zaradi tega povečal tok na $50\mu A$. Ker je potrebno napraviti kompromis, se bomo odločili, da ne želimo povečati toka.



Na zgornjem delu delilnika moramo ustvariti padec napetosti $3,3V$. Če bi se odločili samo za en tranzistor, bi imel veliko površino. Ker se bo pragovna napetost tranzistorja M2 povečala zaradi body

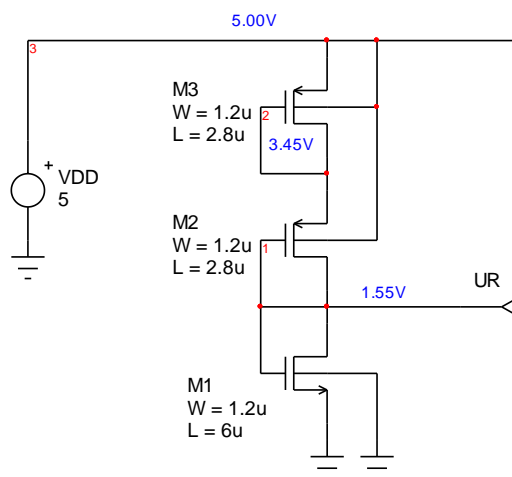
⁸ Natančne minimalne dimenzije so: $W/L = 3\lambda/2\lambda = 1,2\mu m/0,8\mu m$.

pojava ($U_{SB2} \neq 0$), bomo najprej poskusili z dvema PMOS tranzistorjema. Če želimo, da je na vsakem 1,65V padca, mora imeti vsak dimenzije:

$$\frac{W_2}{L_2} = \frac{W_3}{L_3} = \frac{-I}{\frac{k'_p}{2} \cdot (-U_{GS2} + U_{tp})^2} = \frac{10 \cdot 10^{-6}}{\frac{50 \cdot 10^{-6}}{2} \cdot (1,65 - 0,7)^2} = 0,44 \approx \frac{1,2 \mu m}{2,8 \mu m}$$

Računalniška simulacija: $U_R = 1,55V$. Rezultat leži znotraj dopustnega območja, saj bilo zahtevano $U_R = 1,7V \pm 20\%$. Tok delilnika je $8\mu A$.

Odstopanje nastopa zaradi tega, ker nismo upoštevali body pojava in izhodnih upornosti tranzistorjev.

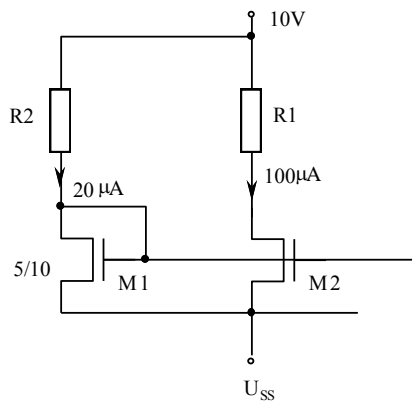


```
\SIMULACIJE\R_DELILNIK_C1\DELILNIK2.CIR OP ZA SENS
**SAVE V(1) @M1[ID] @M1[P] V(2) V(3) @M2[ID] @M2[P] @M3[ID]
**SAVE @M3[P] @VDD[I] @VDD[P]
**ALIAS UR V(1)
*#OP
M1 1 1 0 0 MN_08 L=6U W=1.2U
M2 1 1 2 3 MP_08 L=2.8U W=1.2U
M3 2 2 3 3 MP_08 L=2.8U W=1.2U
VDD 3 0 DC=5

.MODEL MN_08 NMOS LEVEL=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=770U CJSW=380P GAMMA=0.4 KP=110U LAMBDA=0.04 LD=0.016U
+ MJ=0.5 MJSW=0.38 PHI=0.7 TOX=14N VTO=0.7
.MODEL MP_08 PMOS LEVEL=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=560U CJSW=350P GAMMA=0.57 KP=50U LAMBDA=0.05 LD=0.014U
+ MJ=0.5 MJSW=0.35 PHI=0.8 TOX=14N VTO=-0.7
.END
***** SMALL SIGNAL BIAS SOLUTION - OP
Node Voltage
***
V( 3 ) 5.000000e+000
V( 2 ) 3.451273e+000
V( 1 ) 1.545752e+000
***
**** *****
Node Voltage
Source Current
-----
vdd#branch -8.39956e-006
```

VAJA C.2 PROJEKTIRANJE TOKOVNEGA ZRCALA

Določi W_2/L_2 . Kolikšna je U_{GS1} in R_2 ? Procesni podatki: $k'_n = 40\mu\text{A}/\text{V}^2$, $\lambda = 0,04\text{V}^{-1}$, $U_{tn} = 1\text{V}$, $U_{ss} = 0\text{V}$.



Rešitev:

Na sliki je preprosto tokovno zrcalo, ki ga sestavljata referenčni tranzistor M1 in tokovni ponor M2. Ko delujeta oba tranzistorja v področju nasičenja in je na obeh približno enaka napetost, je razmerje tokov kar enako razmerju dimenzij:

$$\frac{I_{DS2}}{I_{DS1}} = \frac{W_2 / L_2}{W_1 / L_1}$$

$$W_2 / L_2 = W_1 / L_1 \frac{I_{DS2}}{I_{DS1}} = \frac{5}{10} \frac{100 \cdot 10^{-6}}{20 \cdot 10^{-6}} = \frac{5}{2}$$

Ker običajno izberemo enake dolžine vrat, so dimenzije M2: $W_2 / L_2 = \frac{5}{2} = \frac{25}{10}$

M1 deluje v področju nasičenja, ki je opisano z enačbo: $I_{DS1} = \frac{1}{2} \cdot \frac{W_1}{L_1} \cdot k'_n \cdot (U_{GS1} - U_m)^2$

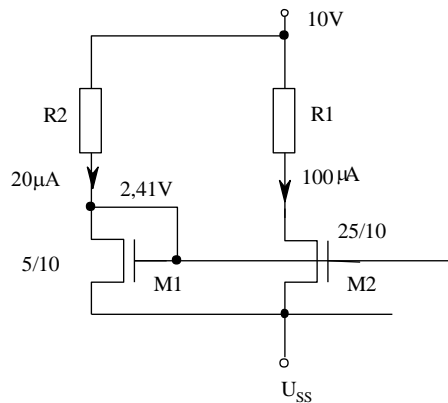
Iz nje izrazimo U_{GS1} in nato izračunamo R_2 :

$$U_{GS1} = \sqrt{\frac{I_{DS1}}{\frac{k'_n W_1}{2L_1}}} + U_m = \sqrt{\frac{20 \cdot 10^{-6}}{40 \cdot 10^{-6} \cdot 5}} + 1 = 2,41\text{V}$$

$$R_2 = \frac{UDD - U_{GS1}}{I_{R2}} = \frac{(10 - 2,41)}{20 \cdot 10^{-6}} = \underline{\underline{380\text{k}\Omega}}$$

VAJA C.3 ANALIZA TOKOVNEGA ZRCALA

Kolikšna je lahko maksimalna vrednost R_1 , da bo tokovno zrcalo še pravilno delovalo? Procesni podatki: $k'n = 40\mu\text{A}/\text{V}^2$, $\lambda = 0,04\text{V}^{-1}$, $U_{tn} = 1\text{V}$, $U_{ss}=0\text{V}$. Kolikšna je dinamična izhodna upornost tokovnega generatorja, ki ga predstavlja M2? Kolikšno je natančno razmerje tokov pri $R_1 = 0$ in $R_1 = R_{1\text{max}}$?



Rešitev:

1. Analiza delovne točke.

Dokler bo delovna točka M2 ležala v področju nasičenja, bo tranzistor M2 imel visoko izhodno upornost in se bo obnašal kot tokovni ponor. Mejna točka je:

$$U_{DS\text{min}} = U_{DS(\text{sat})} = U_{GS2} - U_{tn} = 2,41 - 1 = 1,41\text{V}$$

$$R_{1\text{max}} = \frac{U_{DD} - U_{DS(\text{sat})}}{I_{R1}} = \frac{(10 - 1,41)}{100 \cdot 10^{-6}} = 86\text{k}\Omega$$

2. Analiza lineariziranega vezja

Dinamična izhodna upornost:

$$r_{izh} = \frac{1}{g_{22}} = \frac{1}{I_{DS2} \lambda} = \frac{1}{100 \cdot 10^{-6} \cdot 0,04} = 250\text{k}\Omega$$

3. Približno razmerje razmerja tokov

$$\frac{I_{DS2}}{I_{DS1}} = \frac{W_2 / L_2}{W_1 / L_1} = \frac{25 / 10}{5 / 10} = 5$$

Če zanemarimo vpliv izhodne upornosti oziroma parameter λ , je razmerje tokov enako 5.

4. Natančno razmerje razmerja tokov

Ker spreminjamo R_1 , se spreminja tudi napetost U_{DS2} . Najprej izpeljimo enačbo, ki bo upoštevala tudi napetost U_{DS} :

$$\frac{I_{DS2}}{I_{DS1}} = \frac{\frac{1}{2} \cdot \frac{W_2}{L_2} \cdot k'_n \cdot (U_{GS2} - U_m)^2 (1 + \lambda U_{DS2})}{\frac{1}{2} \cdot \frac{W_1}{L_1} \cdot k'_n \cdot (U_{GS1} - U_m)^2 (1 + \lambda U_{DS1})} = \frac{\frac{W_2}{L_2} \cdot (1 + \lambda U_{DS2})}{\frac{W_1}{L_1} \cdot (1 + \lambda U_{DS1})}$$

$$R_1 = 0\Omega \rightarrow U_{DS2} = 10V.$$

$$\frac{I_{DS2}}{I_{DS1}} = \frac{\frac{25}{10} \cdot (1 + 0.04 \cdot 10)}{\frac{5}{10} \cdot (1 + 0.04 \cdot 2.41)} = 5 \cdot 1.28 = \underline{\underline{6.38}} \text{ oziroma } I_{DS2} = 128\mu A$$

$R_1 = R_{1max} = 68k \rightarrow U_{DS2} = 1.41V$. Ker je $U_{DS2} < U_{DS1}$, se bo razmerje zmanjšalo:

$$\frac{I_{DS2}}{I_{DS1}} = \frac{\frac{W_2}{L_2} \cdot (1 + \lambda U_{DS2})}{\frac{W_1}{L_1} \cdot (1 + \lambda U_{DS1})} = \frac{\frac{25}{10} \cdot (1 + 0.04 \cdot 1.41)}{\frac{5}{10} \cdot (1 + 0.04 \cdot 2.41)} = 5 \cdot 0.964 = \underline{\underline{4.82}}$$

oziroma $I_{DS2} = 96.4\mu A$

Pomni! Le če bo $U_{DS1} = U_{DS2}$, bo razmerje tokov enako razmerju dimenzij!

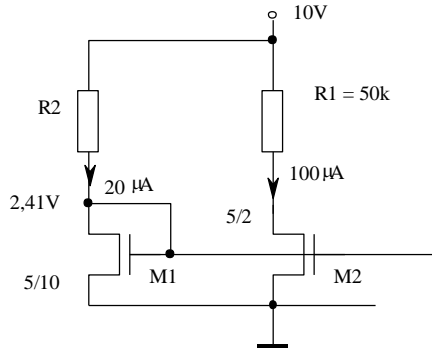
4. Računalniška simulacija:

$$R_1 = 0\Omega \quad I_{DS2} = 127.9\mu A \text{ in}$$

$$R_1 = 68k \quad I_{DS2} = 97.35\mu A.$$

VAJA C.4 PROJEKTIRANJE TOKOVNEGA ZRCALA

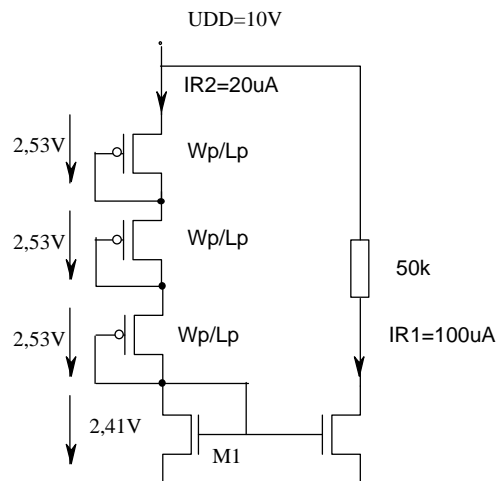
Zamenjaj R2 z ustreznimi PMOS upori. Kolikšne so njihove dimenzije, če dopustimo 15% odstopanje referenčnega toka skozi M1? Procesni podatki: $k_n = 40\mu\text{A}/\text{V}^2$, $U_{tn} = 1\text{V}$, $k_p = 20\mu\text{A}/\text{V}^2$, $U_{tp} = -1\text{V}$, $\gamma_n = 0,4\text{V}^{1/2}$, $\gamma_p = 0,6\text{V}^{1/2}$, $\lambda = 0,04\text{V}^{-1}$



Rešitev:

Na R2 se mora ustvariti padec $10\text{V} - 2,41\text{V} = 7,59\text{V}$. Ker je ta napetost izrazito večja od pragovne napetosti PMOS tranzistorja, bomo rešitev iskali v zaporedni vezavi več enakih PMOS tranzistorjev z manjšimi dimenzijami. Na ta način bomo zmanjšali potrebno površino. Na enem PMOS tranzistorju z minimalnimi dimenzijami se ustvari padec:

$$U_{GS_p} = -\sqrt{\frac{I_{R2}}{\frac{k'_p W_p}{2L_p}}} + U_{tp} = -\sqrt{\frac{20 \cdot 10^{-6}}{\frac{20 \cdot 10^{-6} \cdot 1}{2 \cdot 1}}} - 1 = -2,41\text{V}$$



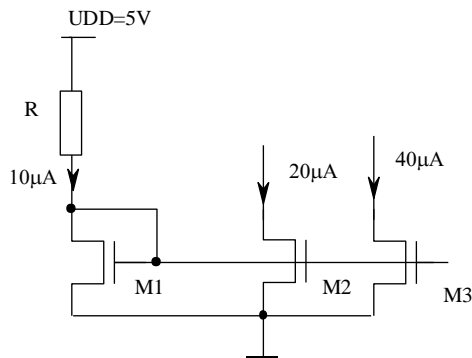
Za 7,59V potrebujemo 3 tranzistorje in na vsakem naj bo 2,53V. Vsak tranzistor mora imeti dimenzije:

$$\frac{W_p}{L_p} = \frac{I_{Dsp}}{\frac{k'_p}{2} \cdot (-U_{GS_p} + U_{tp})^2} = \frac{20 \cdot 10^{-6}}{\frac{20 \cdot 10^{-6}}{2} \cdot (2,53 - 1)^2} = 0,85 = \frac{85}{100} \approx \frac{4}{5}$$

Računalniška simulacija: $I_{R2}=19\mu\text{A}$, $I_{R1}=104\mu\text{A}$, $U_{GS1}=2,02\text{V}$.

VAJA C.5 PROJEKTIRANJE VEČ TOKOVNIH VIROV

V vezju potrebujemo dva tokovna ponorja ($20\mu\text{A}$ in $40\mu\text{A}$), ki bosta delovala do najmanj 1V . Določi dimenzije tranzistorjev in vrednost upora R . Referenčni tok naj bo $10\mu\text{A}$. Uporabljena bo $0,8\mu\text{m}$ tehnologija (podatki so v prilogi). Če bo imel upor R veliko upornost, ga implementiraj z nelinearnim MOS uporom.



Rešitev:

Minimalna napetost, pri kateri ima tokovni generator visoko upornost, je identična $U_{DS(sat)}$. Iz tega podatka lahko izračunamo potrebno napetost na vratih M2 in M3:

$$U_{DS(sat)} = U_{GS} - U_{tn} \rightarrow U_{GS} \leq (U_{DS(sat)} + U_{tn}) = 1\text{V} + 0,7\text{V} = 1,7\text{V}$$

Najprej izračunamo minimalno razmerje dimenzij tokovnega vira, ki zagotavlja največji tok v nizu tokovnih generatorjev:

$$\frac{W_3}{L_3} \geq \frac{I}{\frac{k'_n}{2} \cdot (U_{DS(sat)})^2} = \frac{40 \cdot 10^{-6}}{\frac{110 \cdot 10^{-6}}{2} \cdot 1^2} = \frac{40}{55} \approx 1 \quad (1)$$

Ker je tok skozi referenčni tranzistor določen, lahko izberemo dimenzije M3 ali pa M1. Izberemo minimalne dimenzije referenčnega tranzistorja M1:

$$\frac{W_1}{L_1} = \frac{1,2\mu\text{m}}{1,2\mu\text{m}}$$

Ker tvorijo M1, M2 in M3 tokovna zrcala, so njihove dimenzije odvisne od razmerja tokov:

$$W_2 / L_2 = W_1 / L_1 \frac{I_{DS2}}{I_{DS1}} = \frac{1,2}{1,2} \cdot \frac{20 \cdot 10^{-6}}{10 \cdot 10^{-6}} = \frac{2,4\mu\text{m}}{1,2\mu\text{m}}$$

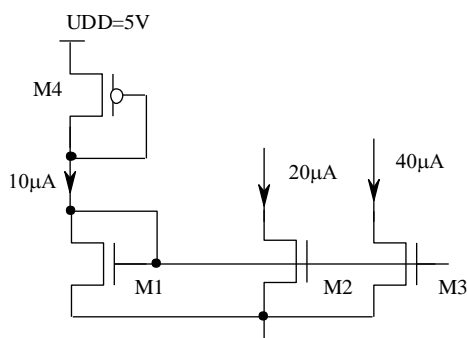
$$W_3 / L_3 = W_1 / L_1 \frac{I_{DS3}}{I_{DS1}} = \frac{1,2}{1,2} \cdot \frac{40 \cdot 10^{-6}}{10 \cdot 10^{-6}} = \frac{4,8\mu\text{m}}{1,2\mu\text{m}}$$

Takoj vidimo, da je pogoj (1) izpolnjen oziroma, da bo $U_{DS(sat)} < 1V$.

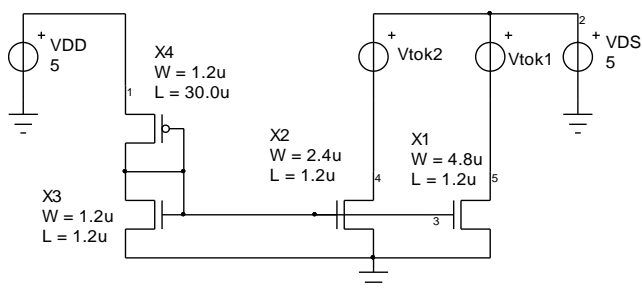
$$R = \frac{U_{DD} - U_{GS1}}{I_{DS1}} = \frac{5 - 1,1}{10 \cdot 10^{-6}} = 390k\Omega$$

Če bi ta upor napravili z difuzijo (difuzijski upor), bi imel veliko površino. Zato ga bomo raje zamenjali z nelinearnim PMOS uporom, ki mora imeti dimenzije:

$$\frac{W_4}{L_4} = \frac{I_{DS1}}{\frac{k'_p}{2} \cdot (-U_{GS_2} + U_{t_p})^2} = \frac{10 \cdot 10^{-6}}{\frac{50 \cdot 10^{-6}}{2} \cdot (3,9 - 0,7)^2} = 0,04 = \frac{1,2 \mu m}{30,0 \mu m}$$

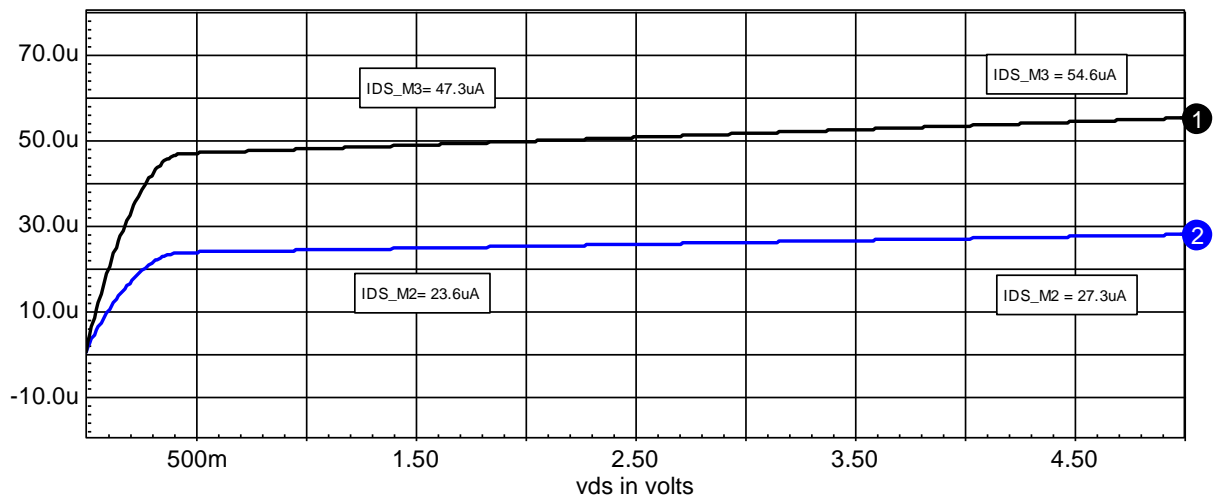


Računalniška simulacija:



Pri simulaciji sta bila uporabljena naslednja modela MOS tranzistorjev:

```
* ..\SIMULACIJE\TOKOVNI_GENERATOR_C5\TOK_GEN.CIR DC
.MODEL MN_08 NMOS LEVEL=1 VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04
+ PHI=0.7 MJ=0.5 MJSW=0.38 CGBO=700P CGSO=220P CGDO=220P CJ=770U
+ CJSW=380P LD=0.016U TOX=14N
.MODEL MP_08 PMOS LEVEL=1 VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05
+ PHI=0.8 MJ=0.5 MJSW=0.35 CGBO=700P CGSO=220P CGDO=220P CJ=560U
+ CJSW=350P LD=0.014U TOX=14N
```



Iz poteka izhodnih karakteristik je razvidno, da imata tranzistorja visoko dinamično upornost do napetosti 0,5V, nato pa dinamična upornost hitro pade. Razmerje tokov je približno 2.

VAJA C.6 ANALIZA TOKOVNEGA IZVORA

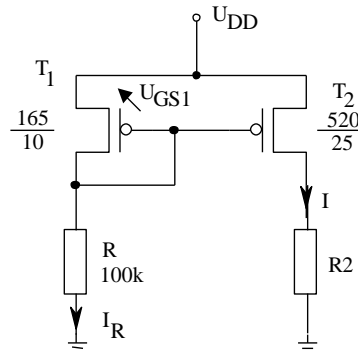
Izračunaj velikost toka I .

Podatki:

$$U_{DD} = 20 \text{ V}$$

$$k'_n = 20 \mu\text{A}/\text{V}^2$$

$$U_{tp} = -1 \text{ V}$$



Rešitev:

Iz slike je razvidno, da tranzistorja T_1 in T_2 tvorita tokovno zrcalo. T_2 je tokovni generator oziroma tokovni izvor, T_1 pa referenčni tranzistor. Najprej bomo izračunali referenčni tok I_R .

Za levo vejo zapišemo zančno enačbo, ki po kratkem preurejanju postane kvadratna enačba.

$$U_{DD} = -U_{GS1} + I_R R$$

$$I_R = -I_{DS}$$

Delovna točka T_1 je v področju nasičenja:
$$I_{DS} = -\frac{W}{L} \cdot \frac{k'_p}{2} \cdot (-U_{GS1} + U_{tp})^2$$

$$U_{DD} = -U_{GS1} + \frac{W}{L} \cdot k'_p \cdot (-U_{GS1} + U_{tp})^2 \cdot R$$

$$20 = -U_{GS1} + \frac{165}{10} \cdot \frac{20 \cdot 10^{-6}}{2} \cdot (-U_{GS1} - 1)^2 \cdot 100 \cdot 10^3$$

Rešitvi kvadratne enačbe sta: $U_{GS1} = -2,04 \text{ V}$ in $U_{GS1} = +0,10 \text{ V}$. Glede na dejansko smer krmilne napetosti U_{GS} je prava rešitev $U_{GS1} = -2,04 \text{ V}$.

$$I_R = \frac{U_{DD} + U_{GS1}}{R} = \frac{20 - 2,04}{100 \cdot 10^3} = 180 \mu\text{A}$$

$$\frac{I_R}{I} = \frac{W_1/L_1}{W_2/L_2} \quad I = I_R \cdot \frac{W_2/L_2}{W_1/L_1} = \underline{\underline{227 \mu\text{A}}}$$

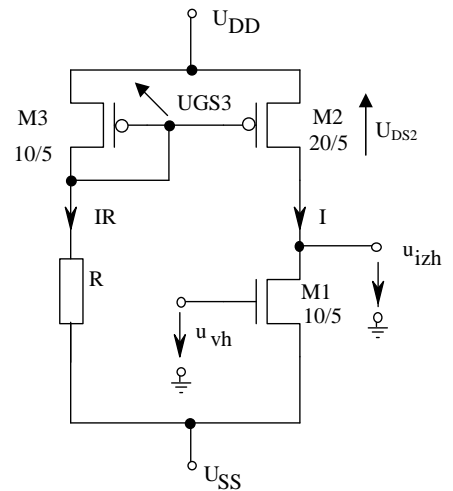
Računalniška simulacija (vrednost R_2 smo izbrali $20 \text{ k}\Omega$):

$$U_{GS1} = \underline{\underline{2,043 \text{ V}}} \quad I_R = \underline{\underline{180 \mu\text{A}}} \quad I_{D2} = \underline{\underline{227 \mu\text{A}}}$$

VAJA C.7 ANALIZA TOKOVNEGA IZVORA

Izračunaj tok tokovnega vira, njegovo izhodno upornost ter minimalno napetost, do katere še deluje kot tokovni generator.

- $U_{tp} = -0,7 \text{ V}$
- $k'_p = 50 \mu\text{A/V}^2$
- $\lambda_p = 0,05 \text{ V}^{-1}$
- $R = 68\text{K}$
- $U_{DD} = 5\text{V}, U_{SS} = -5\text{V}$



Rešitev:

M3 in M2 prestavljata tokovno zrcalo. M3 je referenčni in M2 je izhodni tranzistor.

$$U_{DD} = -U_{GS3} - I_{DS3} \cdot R \quad , \quad I_{DS3} = -\frac{k'_p}{2} \cdot \frac{W_3}{L_3} \cdot (-U_{GS3} + U_{tp})^2$$

$$U_{DD} = -U_{GS3} + \frac{k'_p}{2} \cdot \frac{W_3}{L_3} \cdot (-U_{GS3} + U_{tp})^2 \cdot R$$

$$R \cdot \frac{k'_p}{2} \cdot \frac{W_3}{L_3} = 68 \cdot 10^3 \cdot \frac{50 \cdot 10^{-6}}{2} \cdot \frac{10}{5} = 3,4$$

$$10 = -U_{GS3} + 3,4U_{GS3}^2 + 2 \cdot 3,4 \cdot U_{GS3} \cdot 0,7 + 3,4 \cdot 0,49 \rightarrow 0 = 3,4U_{GS3}^2 + 4,76U_{GS3} - 8,33$$

$$U_{GS3} = \frac{-4,76 \pm \sqrt{4,76^2 + 4 \cdot 3,4 \cdot 8,33}}{2 \cdot 3,4} = \frac{-4,76 \pm 11,66}{2 \cdot 3,4}$$

Dobimo dve rešitvi: $U_{GS3} = 1,01\text{V}$ $U_{GS3} = -2,41\text{V}$. Glede na izbrane smeri napetosti na tranzistorju M3 ima prava rešitev negativen predznak: $U_{GS3} = -2,41\text{V}$.

Minimalna napetost:

$$-U_{DS2(sat)} = -U_{GS2} + U_{tp} \rightarrow U_{DS2(sat)} = +U_{GS2} - U_{tp} = -2,41\text{V} + 0,7\text{V} = \underline{\underline{-1,71\text{V}}}$$

$$\text{Tok I: } I_R = \frac{U_{DD} + U_{GS3}}{R} = \frac{10 - 2,41}{68 \cdot 10^3} = 111 \mu\text{A}$$

$$I = I_R \cdot \frac{W_2/L_2}{W_3/L_3} = 111 \mu\text{A} \cdot \frac{20/5}{10/5} = \underline{\underline{222 \mu\text{A}}}$$

Dinamična izhodna upornost:

$$r_{izh} = \frac{1}{g_{22M2}} = \frac{1}{I_{DS2} \lambda} = \frac{1}{111 \cdot 10^{-6} \cdot 0,05} = 180 \text{k}\Omega$$

VAJA C.8 ANALIZA NMOS ENOSTOPENJSKEGA OJAČEVALNIKA

Izračunaj napetostno ojačenje NMOS ojačevalnika, če je $U_{vh} \approx 0$ in $U_{BS} = 0$.

Podatki:

$$U_{tn} = 1V$$

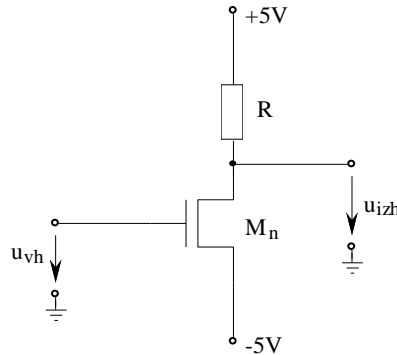
$$k'_n = 40 \mu A/V^2$$

$$\lambda_n = 0,03 V^{-1}$$

$$W = 5 \mu m$$

$$L = 5 \mu m$$

$$R = 15,6k\Omega$$



Rešitev:

1. Analiza delovne točke.

Ker je $U_{GS} > U_{tn}$, se tranzistor M_n lahko nahaja v področju nasičenja ali pa v linearnem področju. Najprej poskusimo, če je tranzistor v področju nasičenja. Uporabimo enačbe za nasičenje:

$$I_D = \frac{1}{2} \cdot k \cdot (U_{GS} - U_t)^2 \cdot (1 + \lambda_n \cdot U_{DS})$$

Izračunamo tok skozi tranzistor:

$$I_D = \frac{1}{2} \cdot \frac{W}{L} \cdot k'_n \cdot (U_{GS} - U_t)^2 = \frac{1}{2} \cdot \frac{5}{5} \cdot 40 \mu A/V^2 \cdot (5 - 1)^2 V^2 = 320 \mu A$$

Preverimo, ali leži delovna točka v področju nasičenja:

$$\text{Napetost na upor} \text{ je } U_R = I_D \cdot R = 320 \mu A \cdot 15,6k\Omega = 4,992V.$$

$$U_{DS} = 10 - U_R = 5,008V. \text{ Iz sheme je razvidno, da je } U_{GS} = 5V.$$

$$\text{Pogoj za nasičenje je: } U_{DS} > U_{GS} - U_t$$

$$5V > 5V - 1V$$

Ker je zgornji pogoj izpolnjen, smo izbrali pravo enačbo.

2. Analiza lineariziranega vezja

$$\text{Izračun ojačenja: } A_u = -g_{n21} \cdot R_{NAD}$$

$$g_{n21} = \sqrt{2 \cdot I_D \cdot k_n' \cdot W / L} = \sqrt{2 \cdot 320 \mu A \cdot 40 \mu A / V^2 \cdot \frac{5}{5}} = 160 \mu A / V$$

$$g_{n22} = \lambda_n \cdot I_D = 0,03 V^{-1} \cdot 320 \mu A = 9,6 \mu A / V$$

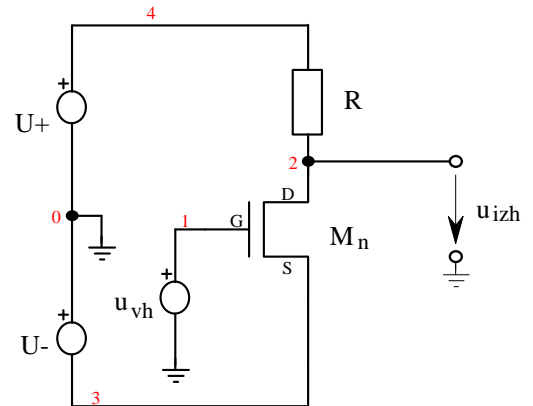
$$R_{NAD} = R \parallel R_{n22} = \frac{1}{\frac{1}{R} + g_{n22}} = \frac{1}{\frac{1}{15,6 k\Omega} + 9,6 \mu S} = \underline{\underline{13,57 k\Omega}}$$

$$A_u = -g_{n21} \cdot R_{NAD} = -160 \mu A \cdot 13,57 k\Omega = \underline{\underline{-2,17}}$$

Računalniška simulacija:

$$I_D = 362 \mu A, \quad U_{DS} = 4,35 V$$

$$R_{NAD} = \underline{\underline{13,57 k\Omega}}, \quad A_u = \underline{\underline{-2,46}}$$



```

***** 4/20/94 ***** IS SPICE 1.41 *****
vaja 11 n-mos ojačevalnik

.MODEL Mn NMOS LEVEL=1 VTO=1 KP=40E-6 LAMBDA=3E-2
V+ 4 0 5V
V- 3 0 -5V
R 4 2 15.6K
Mn 2 1 3 3 Mn W=5U L=5U
Vvh 1 0 0
.TF V(2) Vvh
.END

          Mn
TYPE      NMOS
LEVEL     1.000
VTO       1.000
KP        4.00D-05
LAMBDA    3.00D-02

NODE VOLTAGE  NODE VOLTAGE  NODE VOLTAGE  NODE VOLTAGE
(1)  .0000    (2)  -.6443    (3)  -5.0000    (4)  5.0000

          Mn
MODEL      Mn
ID         3.62E-04
VGS        5.000
VDS         4.356
VBS         .000
VTH         1.000
VDSAT       4.000
GM          1.81E-04
GDS         9.60E-06
GMB         0.00E+00
:

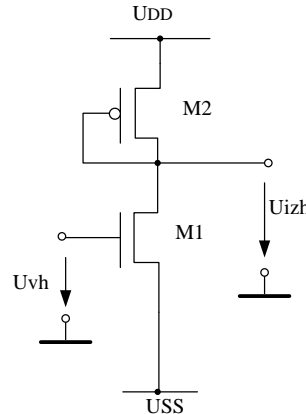
SMALL-SIGNAL CHARACTERISTICS

V(2) /Vvh = -2.455D+00
INPUT RESISTANCE AT Vvh = 1.000D+20
OUTPUT RESISTANCE AT V(2) = 1.357D+04
    
```

VAJA C.9 ANALIZA ENOSTOPENJSKEGA NMOS OJAČEVALNIKA

Izračunaj napetostno ojačenje za majhne signale. Nariši prenosno karakteristiko in določi meje izhodnega signala, pri katerih še ne nastopajo velika popačenja. Kolikšna naj bo enosmerna prednapetost na vходу M1?

$$\begin{aligned} W_1/L_1 &= 5/1 \\ W_2/L_2 &= 1/4 \\ U_{tn} &= 1 \text{ V} \\ U_{tp} &= -1 \text{ V} \\ k'_n &= 110 \mu\text{A/V}^2 \\ k'_p &= 50 \mu\text{A/V}^2 \\ U_{DD} &= 5 \text{ V} \\ U_{SS} &= -5 \text{ V} \end{aligned}$$



Rešitev:

1. segment: $U_{izh} = U_{DD} - |U_{tp}| = 5 - 1 = 4 \text{ V}$

2. segment: Naklon 2. segmenta je enak ojačenju:

$$A_u = \frac{du_{izh}}{du_{vh}} = - \frac{\sqrt{k'_n \frac{W_1}{L_1}}}{\sqrt{k'_p \frac{W_2}{L_2}}} = - \frac{\sqrt{110 \cdot 10^{-6} \frac{5}{1}}}{\sqrt{50 \cdot 10^{-6} \frac{1}{4}}} = -6,6$$

Določimo enačbo premice oziroma 2. segmenta:

$$U_{izh} = k \cdot U_{vh} + n$$

$$U_{izh} = -6,6 \cdot U_{vh} + n$$

$$n = U_{izh} + 6,6 \cdot U_{vh} = 4 + (6,6) \cdot (-4) = -22,4$$

$$U_{izh} = -6,6 \cdot U_{vh} - 22,4 \quad , \text{ enačba premice oziroma drugega odseka}$$

M1 bo tako dolgo v nasičenju, dokler velja: $U_{DS1} \geq U_{DS1(sat)}$

Mejna vrednost je v prejšnjem izrazu definirana z enačajem: $U_{DS1} = U_{GS1} - U_{tn}$.

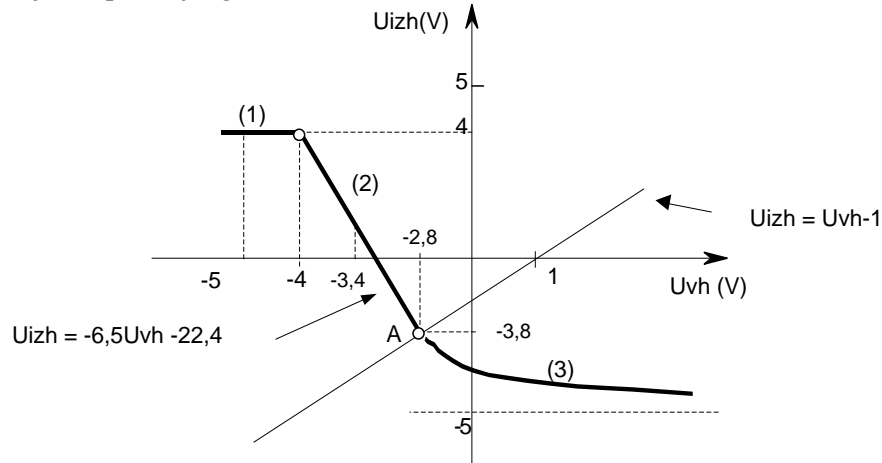
Ko v enačbo vstavimo $U_{DS1} = U_{izh}$ in $U_{GS1} = U_{vh}$, dobimo:

$$U_{izh} = U_{vh} - 1$$

V točki A, kjer se sekata 2. segment in ta premica, se konča linearno področje ojačevalnika:

Presečišče v točki A je: $\underline{U_{vh} = -2,8 \text{ V}}$, $\underline{U_{izh} = -3,8 \text{ V}}$

3. segment: To je segment, v katerem leži delovna točka M1 v linearnem področju. Ker je M2 v področju nasičenja, je potek prenosne karakteristike nelinearen. Ker potek tega segmenta ni bistven glede na postavljena vprašanja, ga bomo samo skicirali.

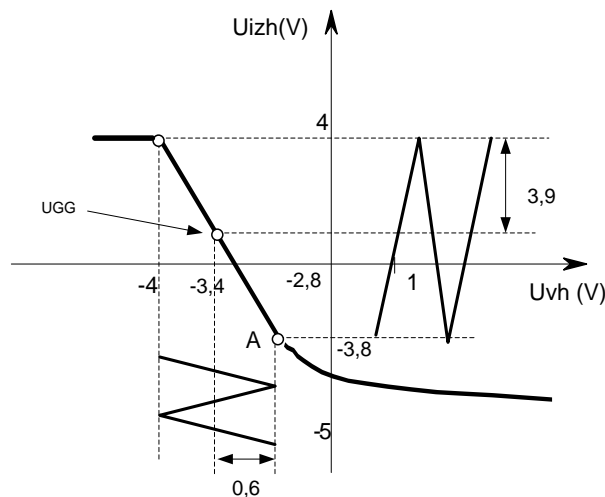


Maksimalna amplituda:

Popačenja ne bo, dokler bo izhodna napetost znotraj območja: $U_{izhmax} = 4V$ in $U_{izhmin} = -3,8V$. Vhodna napetost mora ležati znotraj območja: $U_{vhmax} = -4V$ in $U_{vhmin} = -2,8V$. Maksimalna amplituda vhodnega signala je $0,6V$.

Enosmerna prednapetost:

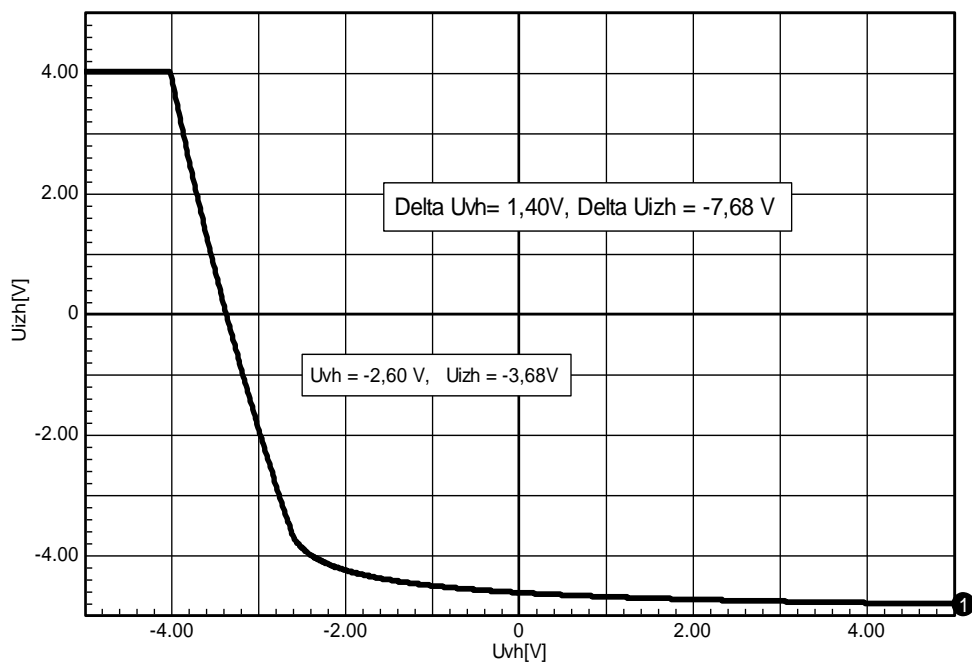
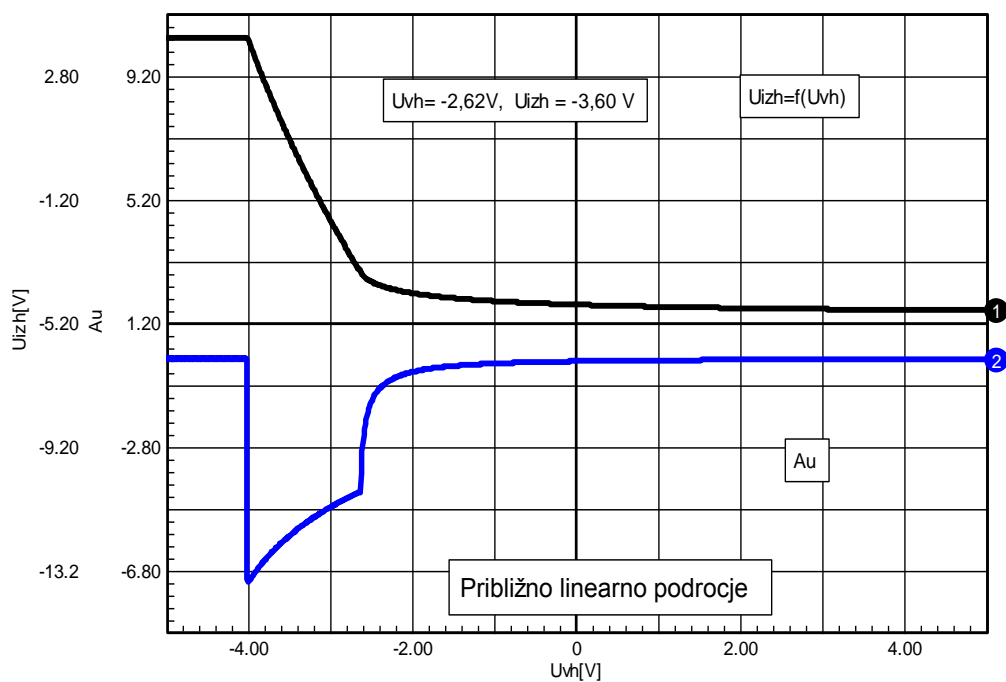
Izberemo jo na sredini linearnega segmenta: $UGG = \frac{-4 - (-2,8)}{2} - 2,8 = -3,4V$



Računalniška simulacija:

$\underline{U_{izhmin} = -3,6V}$, $\underline{U_{izhmax} = 4V}$

Napravili smo DC analizo in izrisali prenosno karakteristiko. V grafičnem urejevalniku smo izrisali še odvod $Au = dU_{izh}/dU_{vh}$. Področje, kjer je ojačevalnik približno linearen (Au se zelo malo spreminja), je znotraj intervala $-4 < U_{vh} < -2,62$.



Ojačenje, ki ga izračunamo iz prenosne karakteristike: $A_u = \frac{\Delta U_{izh}}{\Delta U_{vh}} = -\frac{7,68}{1,4} = -5,5$

VAJA C.10 PROJEKTIRANJE NMOS ENOSTOPENJSKEGA OJAČEVALNIKA

Določi dimenzije obeh tranzistorjev. Body pojav zanemari. Izračunaj potrebno enosmerno napetost na vohodu ojačevalnika, da bo M1 v področju nasičenja. Kolikšna je izhodna upornost ojačevalnika? Nariši prenosno karakteristiko in določi meje vhodnega in izhodnega signala, pri katerih še ne nastopajo velika popačenja.

Zahteve za ojačevalnik:

$$A_u \geq |-5|$$

$$U_{DS1} = U_{DD} / 2 \pm 20\%$$

$$20 \mu\text{A} \geq I_{DS1} \geq 10 \mu\text{A}$$

Procesni podatki so:

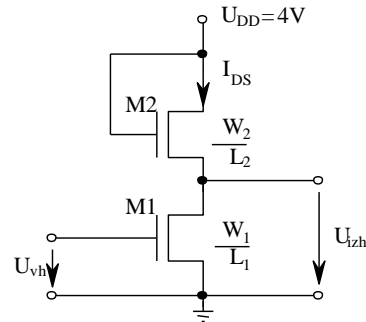
$$k'_n = 50 \mu\text{A}/\text{V}^2$$

$$U_{tn} = 1\text{V}$$

$$\lambda_n = 0,04 \text{ V}^{-1}$$

$$\gamma = 0,4 \text{ V}^{1/2} \text{ (potrebujemo za simulacijo)}$$

2 μm tehnologija.



Rešitev:

1. Dimenzioniranje:

Na M2 tranzistorju, ki deluje v območju nasičenja, je napetost: $U_{GS_2} = U_{DD} - U_{DS_1} = 2\text{V}$

Njegova dimenzije so:

$$\frac{W_2}{L_2} = \frac{I_{DS_2}}{\frac{k'_n}{2} \cdot (U_{GS_2} - U_t)^2} = \frac{10 \cdot 10^{-6}}{\frac{50 \cdot 10^{-6}}{2} \cdot (2-1)^2} = \frac{10}{25}$$

Pri 2 μm tehnologiji je minimalna širina 3 μm . Večje dimenzije pa morajo biti zaokrožene na 1 μm natančno:

$$\frac{W_2}{L_2} = \frac{10}{25} = \frac{3 \mu\text{m}}{8 \mu\text{m}}$$

Iz enačbe za ojačenje izračunamo dimenzije spodnjega tranzistorja:

$$A_u = \frac{du_{izh}}{du_{vh}} = - \sqrt{\frac{\frac{W_1}{L_1}}{\frac{W_2}{L_2}}}$$

$$\frac{W_1}{L_1} = A^2 \cdot \frac{W_2}{L_2} = 5^2 \cdot \frac{3}{8} = 9,4 \approx \frac{10}{1} = \frac{20\mu m}{2\mu m}$$

Da bo tekel tok $10 \mu A$, moramo na vhod M2 priključiti enosmerno prednapetost:

$$U_{GSn} = \sqrt{\frac{I}{k'_n \frac{W_1}{2L_1}}} + U_m = \sqrt{\frac{10 \cdot 10^{-6}}{50 \cdot 10^{-6} \cdot 20}} + 1 = 1,2V$$

Izhodna dinamična upornost:

Izhodna upornost je sestavljena iz paralelne vezave upornosti M1 in M2. Ker deluje M1 v področju nasičenja, ima dosti večjo upornost kot M2, ki je MOS upor in ima nizko dinamično upornost.

$$g_{izh} = g_{22M1} + g_{izhM2} \approx g_{izhM2}$$

$$g_{izhM2} = \frac{\partial I_{DS}}{\partial U_{GS2}} = k'_n \frac{W_2}{L_2} (U_{GS2} - U_m) = 50 \cdot 10^{-6} \cdot \frac{2}{5} (2 - 1) = 20 \mu S$$

$$r_{izh} = \frac{1}{g_{izhM2}} = \frac{1}{20 \cdot 10^{-6}} = \underline{\underline{50k\Omega}}$$

Prenosna karakteristika

Segment (2):

$$U_{izh} = -5U_{vh} + n$$

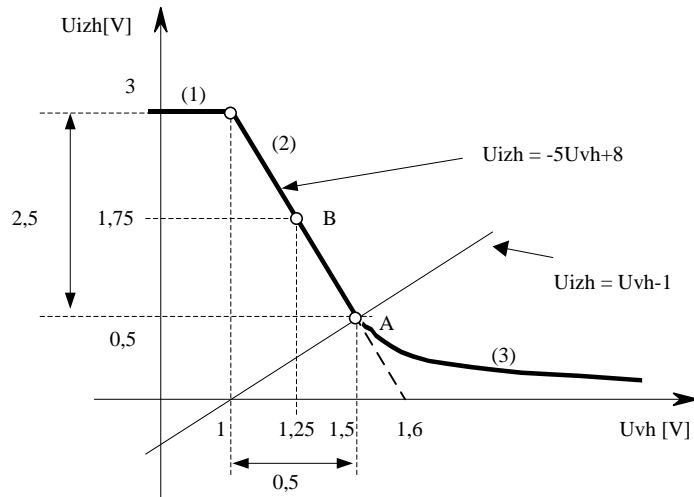
$$n = 8$$

$$U_{izh} = -5U_{vh} + 8$$

Meja nasičenja (točka A):

$$U_{DS1} = U_{GS1} - U_m \rightarrow U_{izh} = U_{vh} - 1$$

$$U_{izh} = -5U_{vh} + 8$$



$$U_{izh} = U_{vh} - 1$$

Položaj točke A, ki leži na presečišču obeh premic izračunamo tako, da rešimo zgornji sistem enačb. Rešitev: $U_{vh} = 1,5V$ in $U_{izh} = 0,5V$, maksimalna amplituda vhodnega signala je $0,25V$ izhodnega pa $1,25V$.

Računalniška simulacija: $A_u = -4,3$, $I_{DS1} = 10,6\mu A$, $U_{DS1} = 1,7V$, $r_{izh} = 39k\Omega$

```

..SIMULACIJE\NMOS_ojacevalnik\NMOS_OJAC.CIR DC
*#ALIAS UIZH V(1)
*#VIEW DC UIZH
*#ALIAS UVH V(3)
*#VIEW DC UVH
.DC VVH 0 4 0.01
.OP
.TF V(1) VVH
.PRINT DC UIZH
.PRINT DC UVH
VDD 2 0 DC=4
VVH 3 0 DC=1.2
M1 1 3 0 0 _M1_MOD L=2U W=20U
M2 2 2 1 0 _M1_MOD L=8U W=3U
.MODEL _M1_MOD_NMOS LEVEL=1 GAMMA=0.4 KP=50U LAMBDA=0.04
+ VTO=1
.END

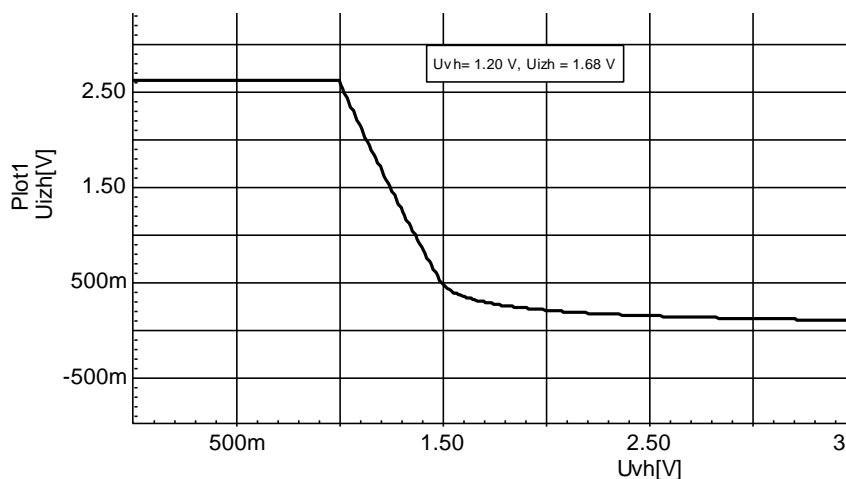
***** SMALL SIGNAL BIAS SOLUTION - OP
      Node          Voltage
V( 2 )          4.000000e+000
V( 3 )          1.200000e+000
V( 1 )          1.684465e+000
***
      Source        Current
      -----
@m2[id]         -1.06738e-005

***** SMALL SIGNAL DC TRANSFER FUNCTION

output_impedance_at_V(1)          4.086471e+004
vvh#Input_impedance                1.000000e+020
Transfer_function                   -4.36181e+000

```

Prenosna karakteristika:



Komentar:

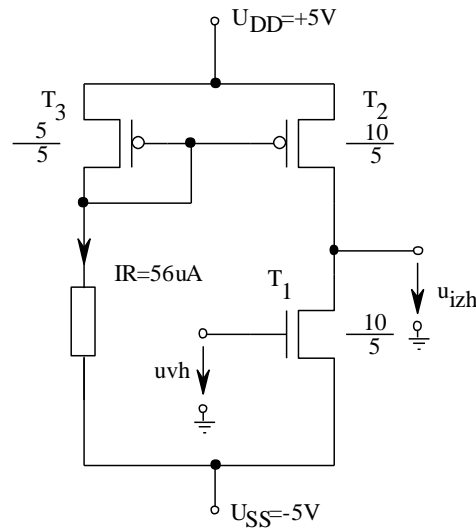
Zaradi neupoštevanja body pojava smo dobili manjše ojačenje kot je bilo zahtevano. Zato povečamo $L2=12\mu\text{m}$ in ponovimo simulacijo.

$$A_u = -5,2, \quad I_{DS1} = 10,6\mu\text{A}, \quad U_{DS1} = 1,5\text{V}, \quad r_{izh} = 45\text{k}\Omega.$$

VAJA C.11 ANALIZA MOS OJAČEVALNIKA Z AKTIVNIM BREMENOM

Izračunaj napetostno ojačenje za majhne signale. Kolikšna je potrebna enosmerna vhodna prednapetost? Izračunaj tudi maksimalno in minimalno izhodno napetost.

$$\begin{aligned} U_{tn} &= 0,7 \text{ V} \\ U_{tp} &= -0,7 \text{ V} \\ k'_n &= 110 \mu\text{A/V}^2 \\ k'_p &= 50 \mu\text{A/V}^2 \\ \lambda_n &= 0,04 \text{ V}^{-1} \\ \lambda_p &= 0,05 \text{ V}^{-1} \end{aligned}$$

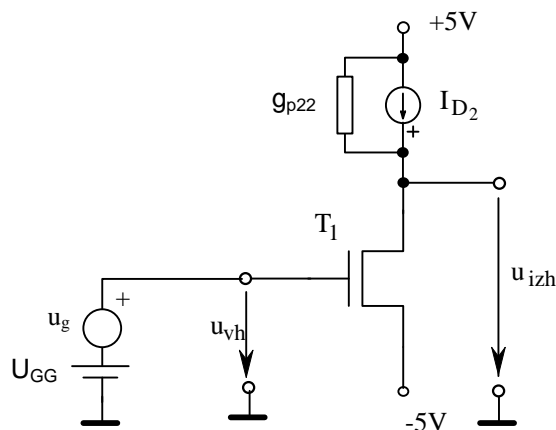


Rešitev:

Najprej v vezju identificiramo posamezne tokovne vire, katere zamenjamo z linearnim modelom. Sledi izračun delovne točke. Ker nas zanima ojačenje za majhne signale, izračunamo parametre, narišemo model vezja za majhne signale in nato izračunamo $A_u = U_{izh} / U_{vh}$.

Poenostavitev vezja

Vezje je enostopenjski ojačevalnik, v katerem ojačuje tranzistor T1, tranzistor T2 pa predstavlja aktivno breme oziroma tokovni izvor. Delovna točka je nastavljena s tokovnim zrcalom, ki ga tvorita tranzistorja T2 in T3. Če oba tranzistorja zamenjamo s tokovnim generatorjem, ki daje konstanten tok I_{D2} in ima izhodno prevodnost g_{p22} , dobimo poenostavljeno vezje, ki je prikazano na spodnji sliki.



1. Analiza delovne točke:

a. **Izračun I_{D2} :** Če sta napetosti U_{DS3} in U_{DS2} približno enaki, sta tokova skozi T_2 in T_3 sorazmerna razmerju njihovih dimenzij:

$$I_{D2} = I_R \cdot \frac{W_2/L_2}{W_3/L_3} = 56 \cdot 10^{-6} \frac{10/5}{5/5} = \underline{\underline{112 \mu A}}$$

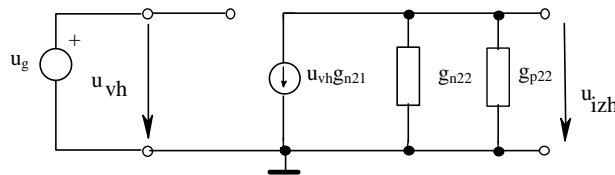
b. Izračun približne enosmerne vhodne prednapetosti:

$$U_{GS1} = \sqrt{\frac{I_{DS1}}{\frac{k'_n W_1}{2L_1}}} + U_{in} = \sqrt{\frac{112 \cdot 10^{-6}}{\frac{110 \cdot 10^{-6} \cdot 10}{2 \cdot 5}}} + 0,7 = 1,7V$$

Ker je izvor vezan na U_{SS} , je $U_{vh} = U_{GG} = U_{GS1} + U_{SS} = 1,7 - 5 = -3,3V$

2. Izračun A_u :

Ker nas zanimajo samo majhne spremembe tokov oziroma napetosti, bomo uporabili poenostavljeno analizo. Ko vsak element zamenjamo z modelom, ki velja za majhne izmenične signale⁹, dobimo preprosto linearno vezje, katerega analiza je enostavna.



$$A_u = \frac{u_{izh}}{u_{vh}} = \frac{-g_{n21}}{g_{n22} + g_{p22}}$$

$$g_{n21} = \frac{dI_{DS1}}{dU_{GS1}} = \sqrt{2 \cdot I_{DS1} \cdot W_1/L_1 \cdot k'_n} = \sqrt{\frac{2 \cdot 112 \cdot 10^{-6} \cdot 10 \cdot 110 \cdot 10^{-6}}{5}} = 222 \mu A/V$$

$$g_{n22} = \frac{dI_{DS1}}{dU_{DS1}} \approx I_{D1S1} \cdot \lambda_n = 112 \cdot 10^{-6} \cdot 0,04 = 4,5 \mu A/V$$

$$g_{p22} = I_{DS2} \cdot \lambda_p = 112 \cdot 10^{-6} \cdot 0,05 = 5,6 \mu A/V$$

⁹ Model za vir enosmerne napetosti je kratak stik, za vir konstantnega toka pa odprte sponke.

$$A_u = \frac{-222 \cdot 10^{-6}}{4,5 \cdot 10^{-6} + 5,6 \cdot 10^{-6}} = \underline{\underline{-22}}$$

3. Izračun maksimalne in minimalne izhodne napetosti:

Le kadar se delovni točki T1 in T2 nahajata v področju nasičenja, dobimo linearni potek prenosne karakteristike. Meje linearnega segmenta v prenosni karakteristiki določata točki U_{DS1sat} in U_{DS2sat} .

$$U_{izhmin} = U_{SS} + U_{DS1sat}$$

$$U_{GSn} = \sqrt{\frac{I_{DS1}}{k'_n W_1}} + U_m \quad U_{DS1sat} = U_{GSn} - U_m = \sqrt{\frac{I_{DS1}}{k'_n W_1}} - U_m$$

$$U_{DS1sat} = \sqrt{\frac{I_{DS1}}{k'_n W_1}} = \sqrt{\frac{112 \cdot 10^{-6}}{110 \cdot 10^{-6} \cdot 10}} = 1V \quad U_{izhmin} = -5V + 1V = -4V$$

$$U_{izhmax} = U_{DD} + U_{DS2sat}$$

$$U_{DS2sat} = -\sqrt{\frac{-I_{DS2}}{k'_p W_2}} = -\sqrt{\frac{112 \cdot 10^{-6}}{50 \cdot 10^{-6} \cdot 10}} = -1,5V \quad U_{izhmax} = 5V - 1,5V = 3,5V$$

4. Računalniška simulacija:

Ker ima ta ojačevalnik zelo veliko ojačenje, je delovna točka zelo občutljiva na majhne spremembe parametrov oziroma enosmerne vhodne prednapetosti. Zaradi nekaterih poenostavitev, se lahko zaradi tega pri analizi delovne točke (.OP ali .TF) zgodi, da je kateri izmed tranzistorjev v linearnem področju¹⁰. Zato moramo vedno preveriti, ali so delovne točke tranzistorjev na pravilnem segmentu karakteristike. Ojačenje smo izračunali na dva načina: s TF analizo in iz enosmerne prenosne karakteristike.

Lastnosti vezja v delovni točki:

$$UGS2 = 2,12V$$

$$IDS2 = 129\mu A$$

$$gn21 = 260\mu A/V$$

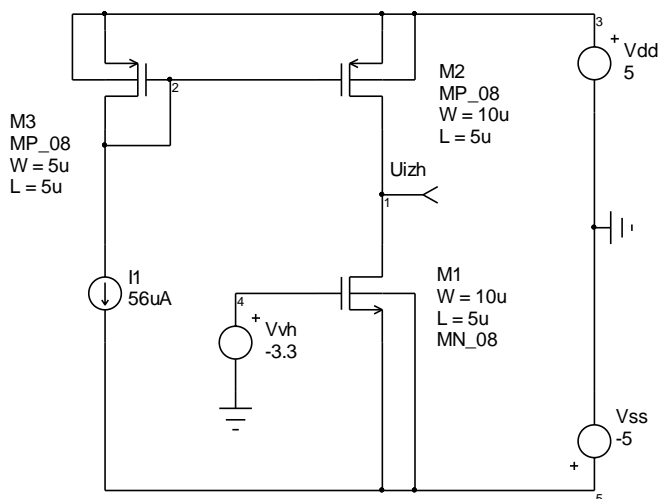
$$gn22 = 4,43\mu A/V$$

$$gp22 = 5,06\mu A/V$$

$$A_u = -27,3 \text{ (analiza .TF)}$$

$$U_{izh_offset} = 0,66V$$

$$U_{vh_offset} = 0,66/27,3 = -24,1mV$$



¹⁰ Pri projektiranju smo predpostavili, da je delovna točka vseh tranzistorjev v področju nasičenja.


```

..\SIMULACIJE\NMOS_OJAC_Z_AKT._BREMENOM.CIR
.OP
.DC VVH -5 5 0.01
.TF V(1) VVH
.PRINT DC UIZH
M2 1 3 2 2 MP_08 L=5U W=10U
M3 3 3 2 2 MP_08 L=5U W=10U
M1 1 4 5 5 MN_08 L=5U W=10U
I1 3 5 DC=56U
VVH 4 0 DC=-3.3
VDD 2 0 DC=5
VSS 5 0 DC=-5

.MODEL MN_08 NMOS LEVEL=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=770U CJSW=380P GAMMA=0.4 KP=110U LAMBDA=0.04
+ LD=0.016U MJ=0.5 MJSW=0.38 PHI=0.7 TOX=14N VTO=0.7
.MODEL MP_08 PMOS LEVEL=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=560U CJSW=350P GAMMA=0.57 KP=50U LAMBDA=0.05
+ LD=0.014U MJ=0.5 MJSW=0.35 PHI=0.8 TOX=14N VTO=-0.7
.END

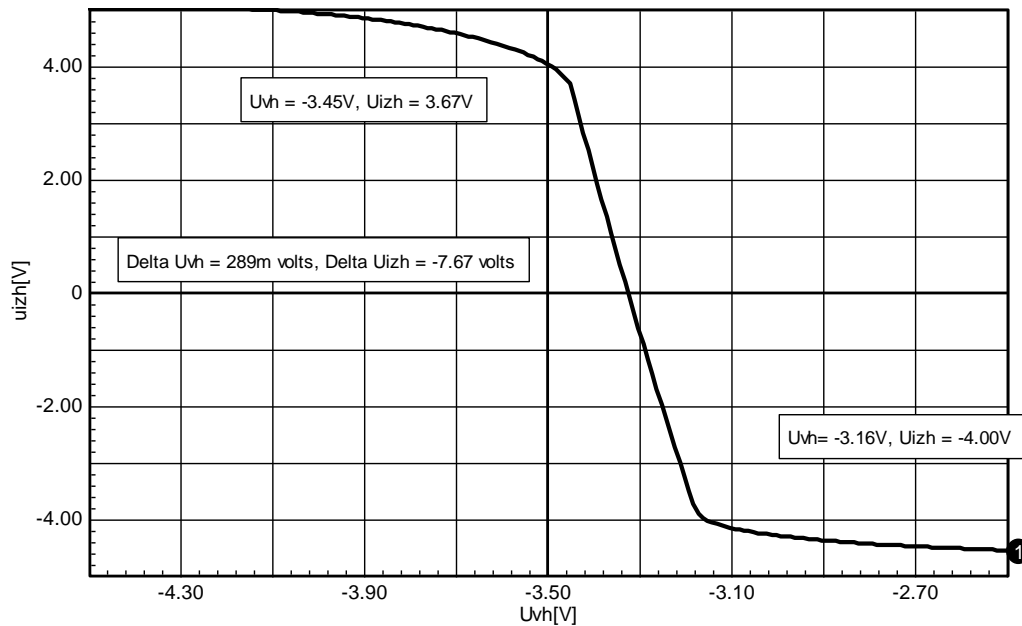
device      m1          m3          m2
id           0.00013     5.6e-005    0.00013
vgs          1.7         2.12        2.12
vds          4.34        2.12        5.66
vdsat        1           -1.42       -1.42
gm           0.00026     7.89e-005  0.000183
gds          4.43e-006   2.53e-006  5.06e-006

***** SMALL SIGNAL DC TRANSFER FUNCTION

output_impedance_at_V(1)  1.053538e+005
vvh#Input_impedance       1.000000e+020
Transfer_function          -2.73773e+001

```

Prenosna karakteristika:

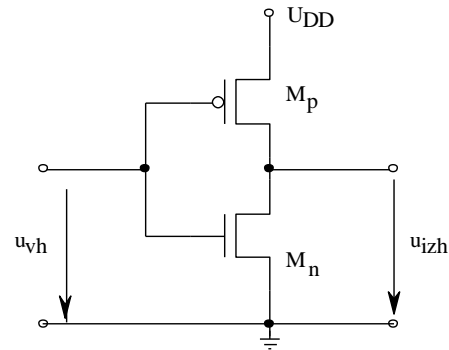


$$A_u = -7,67457/289,231mV \approx -26,5 \quad U_{izhmin} = -4,00V \quad \text{in} \quad U_{izhmax} = 3,67V$$

VAJA C.12 PROJEKTIRANJE CMOS OJAČEVALNIKA

Dimenzioniraj preprost enostopenjski CMOS ojačevalnik, ki bo imel ojačenje $A > 150$. Kolikšna vhodna prednapetost je potrebna za pravilno nastavitve delovne točke?

Podatki: $U_{tn} = 1V$, $U_{tp} = -1V$, $k'_n = 50 \mu A/V^2$, $k'_p = 25 \mu A/V^2$, $\lambda_p = \lambda_n = 1/50V^{-1}$.



Rešitev:

1. Izračun dimenzij

$$A_u = -\frac{g_{21n} + g_{21p}}{g_{22p} + g_{22n}} \quad (1)$$

Izberemo tok delovne točke $10 \mu A$ in najmanjše dimenzije NMOS tranzistorja $W_n/L_n = 1/1$ ter izračunamo g-parametre. Edina neznanka v zgornji enačbi je parameter g_{21p} .

$$g_{21n} = \sqrt{2 \cdot I_{DS0} \cdot \frac{W_n}{L_n} \cdot k'_n} = \sqrt{2 \cdot 10^{-5} \cdot \frac{1}{1} \cdot 50 \cdot 10^{-6}} = 31,6 \mu A/V$$

$$g_{22p} = I_{DS0} \cdot \lambda_p = 10^{-5} \cdot 0,02 = 0,2 \mu A/V \quad g_{22n} = I_{DS0} \cdot \lambda_n = 10^{-5} \cdot 0,02 = 0,2 \mu A/V$$

$$g_{21p} = -A_u (g_{22p} + g_{22n}) - g_{21n} = 150(0,2 \cdot 10^{-6} + 0,2 \cdot 10^{-6}) - 31,6 \cdot 10^{-6} = 28,4 \mu A/V$$

$$g_{21p} = \sqrt{2 \cdot I_{DS0} \cdot \frac{W_p}{L_p} \cdot k'_p}$$

$$\frac{W_p}{L_p} = \frac{g_{21p}^2}{2 \cdot I_{DS0} \cdot k'_p} = \frac{(28,4 \cdot 10^{-6})^2}{2 \cdot 10^{-5} \cdot 25 \cdot 10^{-6}} = 1,6 = \frac{16}{10} = \frac{8}{5}$$

Če dimenzijo L_p zaokrožimo navzdol, se bo površina tranzistorja MP zmanjšala in hkrati se bo povečalo ojačenje:

$$\frac{W_p}{L_p} = \frac{8}{5} \approx \frac{2}{1}$$

Za kontrolo iz enačbe (1) izračunamo ojačenje: $A_u = -158$.

2. Izračun približne enosmerne vhodne prednapetosti:

$$U_{GS1} = \sqrt{\frac{I_{DS0}}{k'_n \frac{W_n}{2L_n}}} + U_{tn} = \sqrt{\frac{10 \cdot 10^{-6}}{50 \cdot 10^{-6} \cdot 1}} + 1 = 1,63V$$

VAJA C.13 PRIMERJAVA ENOSTOPENJSKIH OJAČEVALNIKOV

Napravi primerjavo štirih vrst enostopenjskih ojačevalnikov, ki bodo napravljeni v $0,8\mu\text{m}$ tehnologiji in bodo imeli minimalne dimenzije. Primerjaj prenosne karakteristike, izhodne upornosti in ojačenja za majhne signale. Za varianto c izračunaj tudi potrebno enosmerno napetost UGG. PMOS naj ima dimenzije $W_p/L_p = 2/1$ ali pa $W_p/L_p = 1/2$.

$$U_{DD}=5\text{V}$$

$$U_{SS}=0\text{V}$$

$$U_{tn} = 0,7\text{V}$$

$$U_{tp} = -0,7\text{V}$$

$$k'_n = 110\ \mu\text{A}/\text{V}^2$$

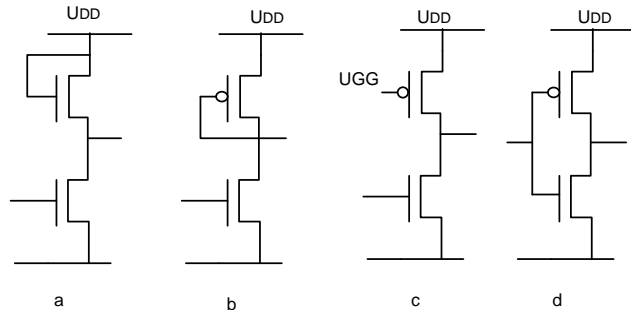
$$k'_p = 50\ \mu\text{A}/\text{V}^2$$

$$\lambda_n = 0,04\ \text{V}^{-1}$$

$$\lambda_p = 0,05\ \text{V}^{-1}$$

$$W_n/L_n=1/1$$

$$W_p/L_p=1/2\ \text{ali}\ W_p/L_p=2/1$$



Rešitev:

Za varianto a in b je bolj ugodno, če izberemo $W_p/L_p = 1/2$.

Varianta a (NMOS ojačevalnik z NMOS bremenom¹¹):

$$A_u = -\sqrt{\frac{k'_n W_n / L_n}{k'_n W_{nb} / L_{nb}}} = -\sqrt{\frac{W_n / L_n}{W_{nb} / L_{nb}}} = -\sqrt{\frac{110 \cdot 10^{-6} \cdot 1/1}{110 \cdot 10^{-6} \cdot 1/2}} = -1,41$$

$$r_{izh} = \frac{1}{g_{22nb} + g_{22n} + g_{21n}} \approx \frac{1}{g_{21nb}} = \frac{1}{49,9\ \mu\text{A}/\text{V}} = 20,0\text{k}\Omega$$

Varianta b (NMOS ojačevalnik s PMOS bremenom):

$$A_u = -\sqrt{\frac{k'_n W_n / L_n}{k'_p W_p / L_p}} = -\sqrt{\frac{110 \cdot 10^{-6} \cdot 1/1}{50 \cdot 10^{-6} \cdot 1/2}} = -2,1$$

$$r_{izh} = \frac{1}{g_{22p} + g_{22n} + g_{21p}} \approx \frac{1}{g_{21p}} = \frac{1}{44,7\ \mu\text{A}/\text{V}} = 22,4\text{k}\Omega$$

Varianta c:

Izbor dimenzij PMOS tranzistorja vpliva samo na višino UGG. Ker dobimo največje ojačenje pri najmanjšem toku delovne točke, bomo izbrali $I = 10\ \mu\text{A}$ in $W_p/L_p=1/2$.

¹¹ Dimenzije NMOS bremena so označene z indeksom nb.

$$g_{21n} = \sqrt{2 \cdot I_{DS0} \cdot \frac{W_n}{L_n} \cdot k'_n} = \sqrt{2 \cdot 10 \cdot 10^{-6} \cdot \frac{1}{1} \cdot 110 \cdot 10^{-6}} = 49,9 \mu A/V$$

$$g_{22n} = I_{DS0} \cdot \lambda_n = 10^{-5} \cdot 0,04 = 0,4 \mu A/V \quad \text{in} \quad g_{22p} = I_{DS0} \cdot \lambda_p = 10^{-5} \cdot 0,05 = 0,5 \mu A/V$$

$$A_u = -\frac{g_{21n}}{g_{22p} + g_{22n}} = -\frac{49,9 \cdot 10^{-6}}{(0,4 + 0,5) \cdot 10^{-6}} = -55,4$$

$$U_{GS1} = -\sqrt{\frac{-I_{DS0}}{k'_p \cdot \frac{W_p}{L_p}}} - U_{tp} = \sqrt{\frac{10 \cdot 10^{-6}}{50 \cdot 10^{-6} \cdot 1}} + 0,7 = -1,59V$$

$$U_{GG} = U_{DD} + U_{GS1} = 5V - 1,59V = 3,41V$$

$$r_{izh} = \frac{1}{g_{22p} + g_{22n}} = \frac{1}{(0,4 + 0,5) \cdot 10^{-6}} = 1,1M\Omega$$

Varianta d (CMOS ojačevalnik):

Za varianto d je bolj ugodno, če izberemo $W_p/L_p = 2/1$. Strmina prenosne karakteristike je največja pri napetosti, ki smo jo pri invertorju imenovali preklopna napetost U_T .

Ker velja $\frac{W_n/L_n}{W_p/L_p} \approx \frac{k'_p}{k'_n}$, je preklopna napetost $U_T = U_{DD}/2$

$$I_{DS} = \frac{k'_n \cdot W_n}{2 \cdot L_n} (U_{GSn} - U_{tn})^2 = \frac{110 \cdot 10^{-6}}{2} \cdot \frac{1}{1} (2,5 - 1)^2 = \underline{\underline{124 \mu A}}$$

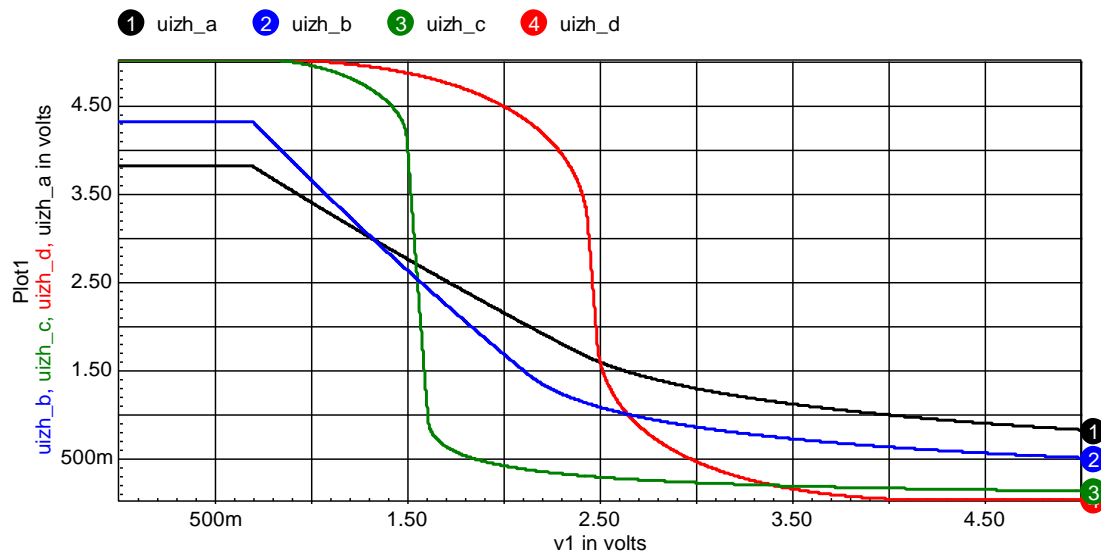
$$g_{21n} = \sqrt{2 \cdot I_{DS0} \cdot \frac{W_n}{L_n} \cdot k'_n} = \sqrt{2 \cdot 124 \cdot 10^{-6} \cdot \frac{1}{1} \cdot 110 \cdot 10^{-6}} = 165 \mu A/V$$

$$g_{21p} = \sqrt{2 \cdot I_{DS0} \cdot \frac{W_p}{L_p} \cdot k'_p} = \sqrt{2 \cdot 124 \cdot 10^{-6} \cdot \frac{2}{1} \cdot 50 \cdot 10^{-6}} = 157 \mu A/V$$

$$g_{22n} = I_{DS0} \cdot \lambda_n = 124 \cdot 10^{-6} \cdot 0,04 = 5 \mu A/V \quad g_{22p} = I_{DS0} \cdot \lambda_p = 124 \cdot 10^{-6} \cdot 0,05 = 6 \mu A/V$$

$$A_u = -\frac{g_{21n} + g_{21p}}{g_{22p} + g_{22n}} = -\frac{(165 + 157) \cdot 10^{-6}}{(5 + 6) \cdot 10^{-6}} = -29$$

$$r_{izh} = \frac{1}{g_{22p} + g_{22n}} = \frac{1}{(5 + 6) \cdot 10^{-6}} = 910k\Omega$$

Računalniška simulacija:

Največje ojačenje in izkrmiljenost dobimo s CMOS ojačevalnikom, kjer ojačujeta oba tranzistorja (varianta d, oziroma krivulja števila 4). Varianta a ima sicer majhno ojačenje, je pa zato zelo dobro definirano, saj je odvisno samo od dimenzij.

VAJA C.14 ANALIZA DIFERENČNEGA OJAČEVALNIKA

Na sliki je prikazan preprost diferenčni ojačevalnik. Izračunaj napetostno ojačenje za majhne vhodne signale in izhodno upornost. S simulatorjem določi odvisnost prenosne karakteristike od sofazne napetosti ($U_S = -2V \dots +2V$) in preostalo napetost.

Podatki:

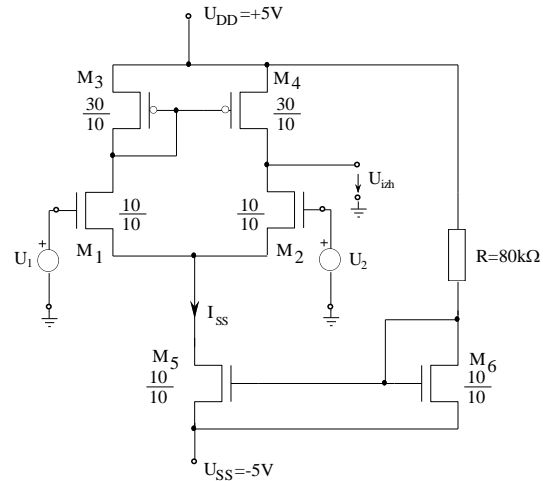
$$k_n' = 28 \mu A/V^2$$

$$k_p' = 14 \mu A/V^2$$

$$\lambda_n = \lambda_p = 0,01 V^{-1}$$

$$U_{tn} = 1V$$

$$U_{tp} = -1V$$



Rešitev:

Najprej izračunamo delovno točko, nato pa ojačenje za majhne signale.

1. Analiza delovne točke

$$I_{SS} = I_{DS_6}$$

$$U_{DD} - U_{SS} = U_{GS_6} + I_{DS_6} \cdot R$$

$$I_{DS_6} = \frac{W_6}{L_6} \cdot \frac{k_n'}{2} \cdot (U_{GS_6} - U_{tn})^2$$

$$U_{DD} - U_{SS} = U_{GS_6} + R \cdot \frac{W_6}{L_6} \cdot \frac{k_n'}{2} (U_{GS_6} - U_{tn})^2$$

$$0 = 1,12U_{GS_6}^2 - 1,24U_{GS_6} + 8,88$$

$$U_{GS_6} = \frac{1,24 \pm \sqrt{1,24^2 - 4 \cdot 1,12 \cdot (-8,88)}}{2 \cdot 1,12} = \frac{1,24 \pm 6,42}{2,24}$$

$$\text{Dobimo dve rešitvi: } U_{GS_6} = \underline{3,42V} \text{ in } U_{GS_6} = \underline{-1,63V}$$

Glede na vezavo in vrsto MOS tranzistorja je pravilna pozitivna vrednost.

$$I_{SS} = \frac{10 - 3,42V}{80 \cdot 10^3 \Omega} = 82 \mu A, \quad I_2 = I_1 = \frac{I_{SS}}{2} = 41 \mu A$$

2. Analiza ojačenja in izhodne upornosti za majhne signale

$$u_{izh} = A_d u_d = A_u (u_1 - u_2)$$

$$A_u = \frac{g_{21M2}}{g_{22M2} + g_{22M4}}$$

$$g_{21M2} = \sqrt{2I_2 \cdot k_n' \frac{W_2}{L_2}} = \sqrt{2 \cdot 41 \cdot 10^{-6} \cdot 28 \cdot 10^{-6} \cdot \frac{10}{10}} = 48 \mu A/V$$

$$g_{22M2} = I_2 \cdot \lambda_n = 41 \cdot 10^{-6} \cdot 0,01 = 0,41 \mu A/V$$

$$g_{22M4} = I_2 \cdot \lambda_p = 41 \cdot 10^{-6} \cdot 0,01 = 0,41 \mu A/V$$

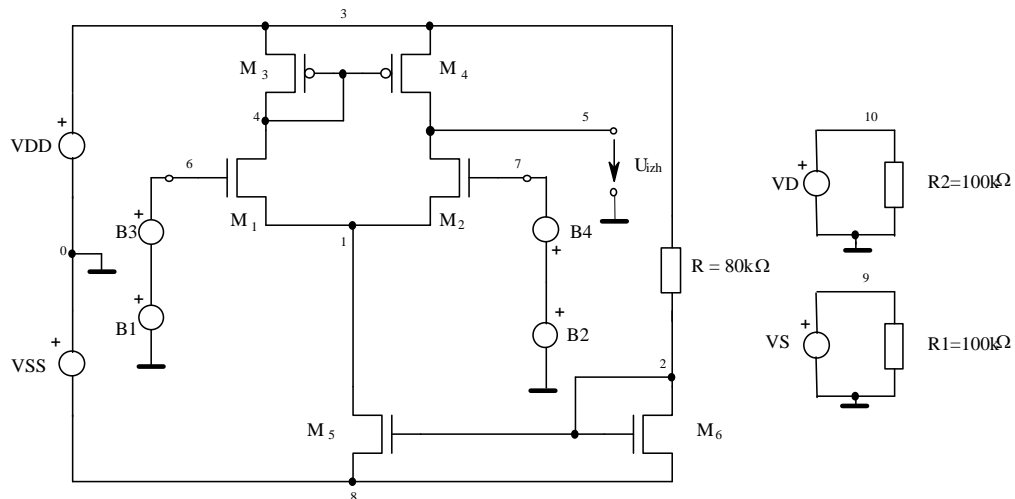
$$A_u = \frac{48 \cdot 10^{-6}}{0,41 \cdot 10^{-6} + 0,41 \cdot 10^{-6}} = 58,3$$

$$r_{izh} \approx \frac{1}{g_{22M2} + g_{22M4}} = \frac{1}{0,41 \cdot 10^{-6} + 0,41 \cdot 10^{-6}} = 1,22 M\Omega$$

3. Računalniška simulacija:

a. Naloga zahteva, da določimo napetostno ojačenje in vpliv sofazne napetosti na prenosno karakteristiko. Pri analizi je potrebno spreminjati hkrati diferenčno (VD) in sofazno napetost (VS). Ta problem smo rešili tako, da smo vsak vhod ojačevalnika krmilili s parom napetostno krmiljenih napetostnih virov B1, B4 oziroma B2, B4 (glej SPICE datoteko na naslednji strani):

- B1 V = V(9)
- B2 V = V(9)
- B3 V = V(10)/2
- B4 V = V(10)/2



```

C:\UC_PROG\IV_SC1_VAJE_2IZDAJA\SIMULACIJE\ANALIZA_DIF_OJAC\ANALIZA_DIF_OJAC.CIR
.OP
M1 4 6 1 8 MN W=10U L=10U
M2 5 7 1 8 MN W=10U L=10U
M3 4 4 3 3 MP W=30U L=10U
M4 5 4 3 3 MP W=30U L=10U
M5 1 2 8 8 MN W=10U L=10U
M6 2 2 8 8 MN W=10U L=10U
.MODEL MN NMOS LEVEL=1 VTO= 1 KP=28E-6 LAMBDA=1E-2
.MODEL MP PMOS LEVEL=1 VTO=-1 KP=14E-6 LAMBDA=1E-2

VDD 3 0 5V
VSS 0 8 5V
VS 9 0 0
R 3 2 80K
R1 9 0 100K
VD 10 0 0
R2 10 0 100K
B1 11 0 V=V(9)
B2 12 0 V=V(9)
B3 6 11 V=V(10)/2
B4 12 7 V=V(10)/2
.DC VD -.1 .1 .002 VS -2 2 1
.PRINT DC V(6,7) V(10) V(9) V(5)
.TF V(5) VD
.END

      VD          V(6,7)      V(10)      V(9)      V(5)
-1.00000E-01    -1.000E-01    -1.000E-01    -2.000E+00    -3.214E+00
-9.80000E-02    -9.800E-02    -9.800E-02    -2.000E+00    -3.205E+00
-9.60000E-02    -9.600E-02    -9.600E-02    -2.000E+00    -3.197E+00
      :          :          :          :          :

      NODE      VOLTAGE      NODE      VOLTAGE      NODE      VOLTAGE
( 1)    -2.6652    ( 2)    -1.6107    ( 3)      5.0000
( 4)     2.6212    ( 5)     2.6212    ( 6)      0.0000
( 7)     0.0000    ( 8)    -5.0000    ( 9)      0.0000
(10)     0.0000    (11)     0.0000    (12)      0.0000

      MODEL      M1      M2      M3      M4      M5      M6
      Mn      Mn      Mp      Mp      Mn      Mn
ID      4.09E-05  4.09E-05 -4.09E-05 -4.09E-05  8.17E-05  8.26E-05
VGS      2.665    2.665    -2.379    -2.379    3.389    3.389
VDS      5.286    5.286    -2.379    -2.379    2.335    3.389
VBS     -2.335    -2.335    0.000    0.000    0.000    0.000
VTH      1.000    1.000    -1.000    -1.000    1.000    1.000
VDSAT    1.665    1.665    -1.379    -1.379    2.389    2.389
GM      4.91E-05  4.91E-05  5.93E-05  5.93E-05  6.69E-05  6.92E-05
GDS     3.88E-07  3.88E-07  3.99E-07  3.99E-07  2.39E-06  7.99E-07
GMB     0.00E+00  0.00E+00  0.00E+00  0.00E+00  0.00E+00  0.00E+00

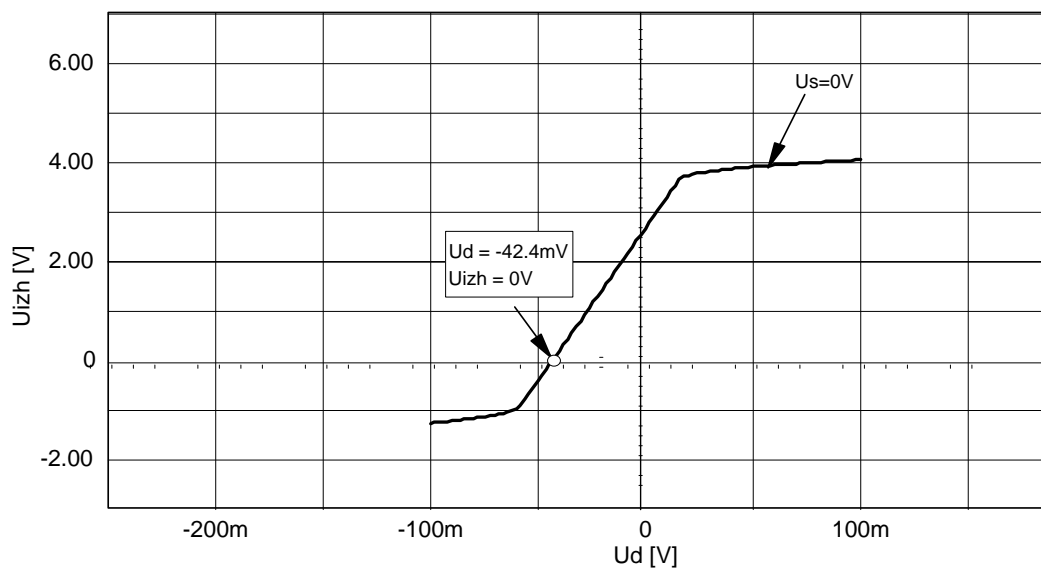
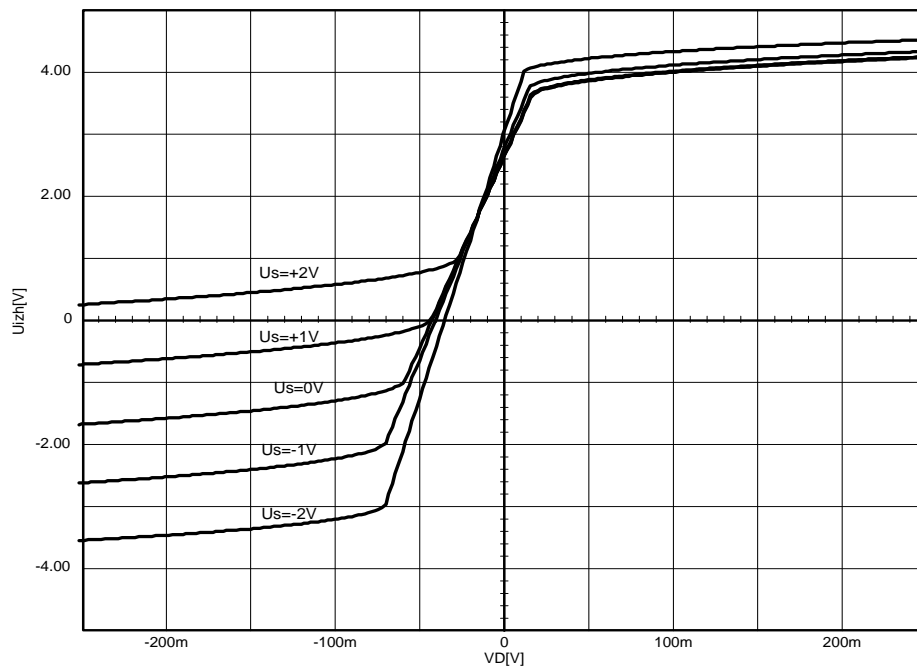
****      SMALL-SIGNAL CHARACTERISTICS

V(5)/VD          = 6.213D+01
INPUT RESISTANCE AT VD = 1.000D+05
OUTPUT RESISTANCE AT V(5) = 1.274D+06

```

Vsi tranzistorji so v področju nasičenja. Izhodna preostala napetost je $V(5) = 5,286V$.

b. Simulacija napetostnega ojačenja:

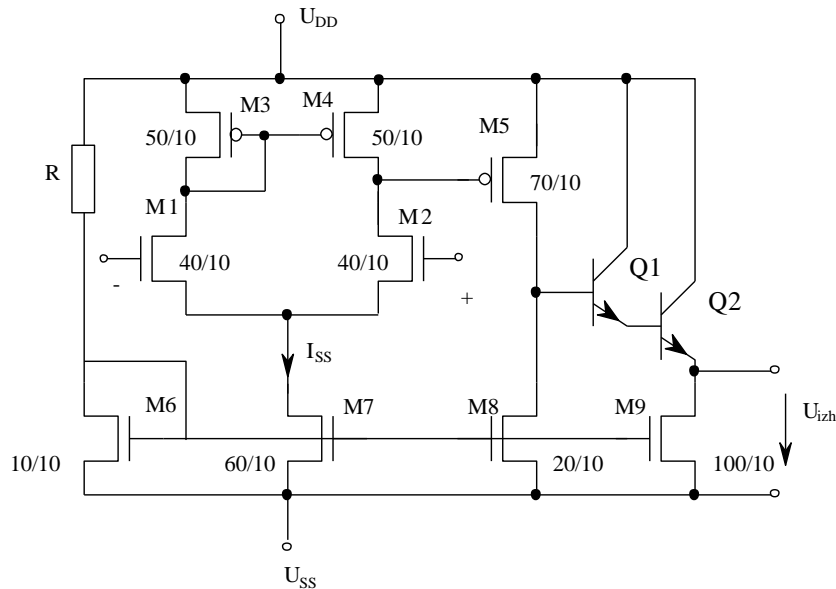
Prenosna karakteristika (sofazna napetost U_s je parameter):Preostala vhodna napetost je $U_{\text{offset}} = -42\text{mV}$.

Kompensacija preostale napetosti: Na invertirajoči vhod priključimo preostalo napetost $U_{\text{offset}} = -42,4\text{mV}$. Izhodna napetost se zniža na 21mV .

Ojačenje lahko odčitamo iz prenosne karakteristike ali pa uporabimo TF analizo. Rezultat TF analize pri nekompenzirani preostali napetosti: $A_u = 62,13$, $r_{izh} = 1,27\text{M}\Omega$ in pri kompenzirani: $A_u = 61,39$, $r_{izh} = 1,25\text{M}\Omega$.

VAJA C.15 ANALIZA DIFERENČNEGA OJAČEVALNIKA

Kolikšno je napetostno ojačenje ojačevalnika? Tok skozi M6 je $20\mu\text{A}$, $k'_n = 110\mu\text{A}/\text{V}^2$, $k'_p = 50\mu\text{A}/\text{V}^2$, $\lambda = 0,04\text{V}^{-1}$, $U_{tp} = -0,7\text{V}$, $U_{tn} = 0,7\text{V}$, $h_{FE} = 100$, $U_{DD} = 5\text{V}$, $U_{SS} = -5\text{V}$. Kolikšna je izhodna upornost?



Rešitev:

Ojačevalnik je sestavljen iz treh stopenj:

1. diferenčni ojačevalnik (M1, M2, M3, M4, M7),
2. enostopenjski ojačevalnik (M5) z aktivnim bremenom (M8) in
3. izhodni ojačevalnik (Q1, Q2, M9).

1. Analiza delovne točke:

Tokovi skozi tranzistorje (vpliv napetosti U_{DS} na razmerja tokov bomo zaradi poenostavitve analize zanemarili):

$$I_6 = 20\mu\text{A}$$

$$I_{SS} = I_7 = 120\mu\text{A} \text{ in } I_1 = I_2 = I_3 = I_4 = 60\mu\text{A}, I_8 = 40\mu\text{A}, I_9 = 200\mu\text{A}, I_{B2} = 2\mu\text{A}, I_{B1} = 0,02\mu\text{A}.$$

2. Ojačenje za majhne signale:

a. Diferenčni ojačevalnik (M1, M2, M3, M4, M7):

$$g_{21M2} = \sqrt{2I_2 \cdot \frac{W_2}{L_2} \cdot k'_n} = \sqrt{2 \cdot 60 \cdot 10^{-6} \cdot \frac{40}{10} \cdot 110 \cdot 10^{-6}} = 230\mu\text{A}/\text{V}$$

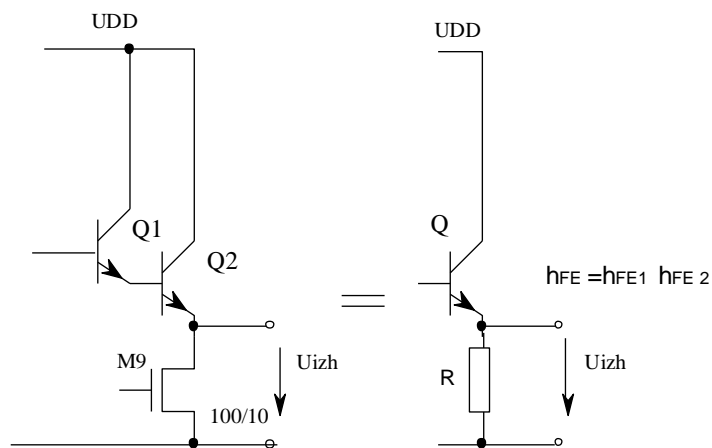
$$g_{22M2} = I_2 \cdot \lambda_n = 60 \cdot 10^{-6} \cdot 0,04 = 2,4 \mu A/V$$

$$g_{22M4} = I_4 \cdot \lambda_p = 60 \cdot 10^{-6} \cdot 0,04 = 2,4 \mu A/V$$

$$A_{u1} = - \frac{g_{21M2}}{g_{22M2} + g_{22M4}} = - \frac{230 \cdot 10^{-6}}{2,4 \cdot 10^{-6} + 2,4 \cdot 10^{-6}} = -48$$

b. Izhodni ojačevalnik (Q1, Q2, M9):

To je ojačevalnik v orientaciji s skupnim kolektorjem. Tvorita ga Q1, Q2 in tranzistor M9. Ojačenje tranzistorja v orientaciji s skupnim kolektorjem je: $A_{u3} \approx 1$.



Vhodna upornost: $r_{vhQ} \approx h_{FE} R$ oziroma $r_{vhQ1} \approx h_{FE1} h_{FE2} r_{izhM9} = \frac{h_{FE1} h_{FE2}}{g_{22M9}}$

$$g_{vhQ1} = \frac{g_{22M9}}{h_{FE1} h_{FE2}}$$

c. Enostopenjski ojačevalnik z aktivnim bremenom (M5, M8):

$$g_{22M5} = I_5 \cdot \lambda_n = 40 \cdot 10^{-6} \cdot 0,04 = 1,6 \mu A/V \quad \text{in} \quad g_{22M8} = 1,6 \mu A/V$$

$$g_{21M5} = \sqrt{2I_5 \cdot \frac{W_5}{L_5} \cdot k'_p} = \sqrt{2 \cdot 40 \cdot 10^{-6} \cdot \frac{70}{10} \cdot 50 \cdot 10^{-6}} = 167 \mu A/V$$

Breme tranzistorja M5 je tudi izhodna upornost M8 in vhodna prevodnost izhodne stopnje g_{vhQ1} :

$$A_{u2} = - \frac{g_{21M5}}{g_{bremeM5}} = - \frac{g_{21M5}}{g_{22M5} + g_{22M8} + g_{vhQ1}}$$

Ker ima emitorski sledilnik (Q1, Q2) zelo visoko vhodno upornost, jo lahko zanemarimo:

$$A_{u2} \approx -\frac{g_{21M5}}{g_{22M5} + g_{22M8}} = -\frac{167 \cdot 10^{-6}}{1,6 \cdot 10^{-6} + 1,6 \cdot 10^{-6}} = -52$$

d. Skupno ojačenje: $A_u = A_{u1} \cdot A_{u2} \cdot A_{u3} = (-48) \cdot (-52) \cdot 1 = \underline{\underline{2500}}$

e. Izhodna upornost:

Izhodna upornost emitorskega sledilnika: $r_{izh} \approx \frac{R_g + r_{be}}{h_{FE}}$

Dinamična vhodna upornost r_{be} tranzistorja Q1 je zaradi majhnega toka v bazo zelo velika:

$$r_{be} \approx \frac{U_T}{I_{B1}} = \frac{25mV}{0,02\mu A} = 1250k\Omega$$

$$R_g = \frac{1}{g_{22M5} + g_{22M8}}$$

$$r_{izh} \approx \frac{\frac{1}{g_{22M5} + g_{22M8}} + r_{be}}{h_{FE1} h_{FE2}} = 156\Omega$$

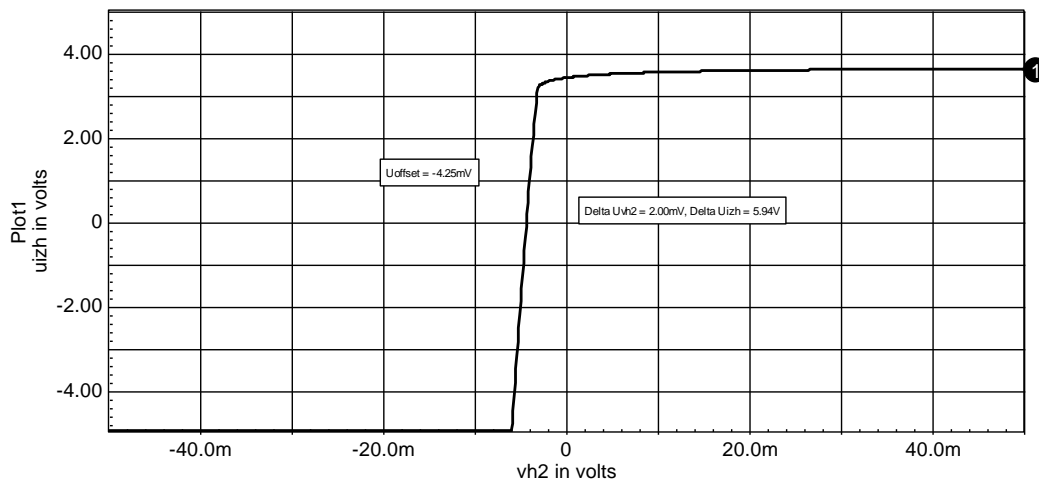
3. Računalniška simulacija:

- 1. stopnja: $A_{u1} = -50$, $I_{ss} = I_7 = 129\mu A$
- 2. stopnja: $A_{u2} = -59$, $I_8 = 48\mu A$
- 3. stopnja: $I_9 = 225\mu A$, $R_{izh} = 254\Omega$
- skupaj: $A_u = 5,94V/2mV = 2970$

$$U_{offset} = 4,25mV$$

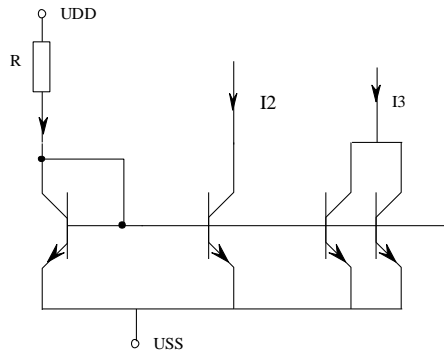
Tokovi so izmerjeni pri kompenzirani preostali napetosti. Glede na izračun, smo dobili višjo vrednost, ker smo pri izračunih zanemarili relativno velik λ .

① uizh



VAJA C.16 ANALIZA BIPOLARNIH TOKOVNIH ZRCAL

Kolikšna sta tokova I_2 in I_3 , če so vsi tranzistorji enaki ($U_{DD} = 10V$, $U_{SS} = -10V$, $R = 50k\Omega$)?



Rešitev:

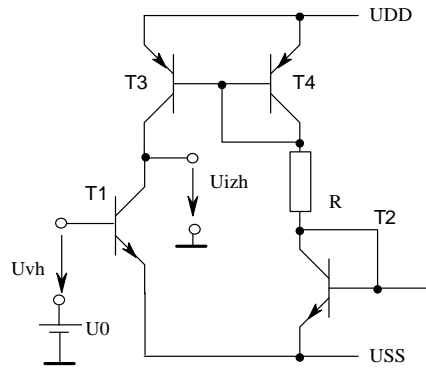
$$I_R = \frac{U_{DD} - U_{SS} - U_{BE}}{R} = \frac{10 + 10 - 0,6}{50 \cdot 10^3} = 0,39mA$$

$$I_2 = I_R = 0,39mA$$

$$I_3 = 2I_R = 0,78mA$$

VAJA C.17 ANALIZA PREPROSTEGA BIPOLARNEGA OJAČEVALNIKA

Kolikšno je napetostno ojačenje za majhne signale? $U_{DD} = 10V$, $U_{SS} = 0V$, $R = 5k\Omega$, $U_0 = 0,6V$. U_0 je enosmerna prednapetost, ki zagotavlja, da leži delovna točka T1 v linearnem področju. Earlijeva napetost za NPN in PNP je $U_A = 100V$. Ali je ojačenje odvisno od toka delovne točke?



Rešitev:

1. Analiza delovne točke (tokovi skozi tranzistorje)

Ker sta T3 in T4 enaka, je $I_{cT1} = I_{cT3} = I_{cT4} = I_R$

$$I_R = \frac{U_{DD} - U_{SS} - 2U_{BE}}{R} = \frac{10 - 0 - 2 \cdot 0,6}{5 \cdot 10^3} = 1,76mA$$

2. Analiza ojačenja za majhne signale

$$A_{u2} = -\frac{g_{21T1}}{g_{bremeT1}} = -\frac{g_{21T1}}{g_{22T1} + g_{22T3}}$$

$$g_{22T1} = \frac{I_{cT1}}{U_{AT1}} = \frac{1,76 \cdot 10^{-3}}{100} = 17,6 \mu A/V \quad g_{21T1} = \frac{I_{cT1}}{kT/q} = \frac{1,76 \cdot 10^{-3}}{25 \cdot 10^{-3}} = 70,4 mA/V$$

$$g_{22T3} = \frac{I_{cT3}}{U_{AT3}} = \frac{1,76 \cdot 10^{-3}}{100} = 17,6 \mu A/V$$

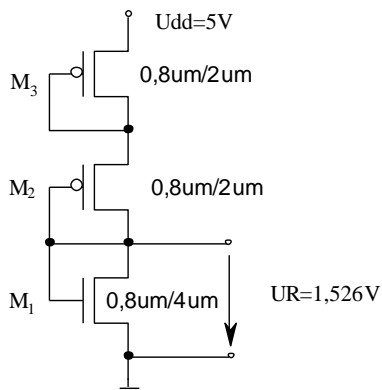
$$A_{u2} = -\frac{70,4 \cdot 10^{-3}}{17,6 \cdot 10^{-6} + 17,6 \cdot 10^{-6}} = \underline{\underline{-2000}}$$

Izraz lahko izpeljemo še dalje in ugotovimo, da je napetostno ojačenje neodvisno od toka I_{CT1} :

$$A_{u2} = -\frac{\frac{I_{cT1}}{kT/q}}{\frac{I_{cT1}}{U_{AT1}} + \frac{I_{cT1}}{U_{AT2}}} = -\frac{1}{kT/q} \left(\frac{1}{\frac{1}{U_{AT1}} + \frac{1}{U_{AT2}}} \right) = -\frac{1}{25 \cdot 10^{-3}} \left(\frac{1}{0,01 + 0,01} \right) = -2000$$

VAJA C.18 STABILIZIRAN NAPETOSTNI VIR

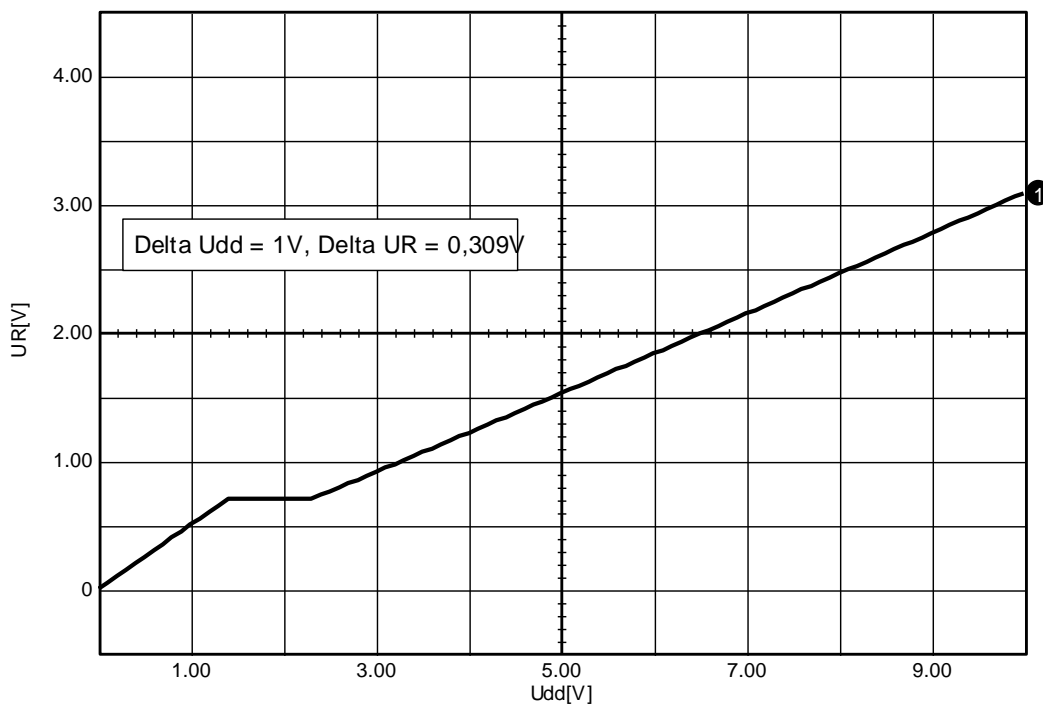
V eni zmed prejšnjih vaj smo projektirali delilnik napetosti, ki ga lahko uporabimo kot preprost napetostni referenčni vir. S simulatorjem določi občutljivost delilnika na spremembo napajalne napetosti in temperature. Uporabljena je $0,8\mu\text{m}$ tehnologija (podatki so v prilogi).



Rešitev:

Občutljivost UR na spremembo napajalne napetosti Udd:

Če poznamo določeno karakteristiko, lahko izračunamo ustrezno občutljivost kar iz grafa. Napravimo DC analizo: v vezju spreminjamo UDD in izrišemo UR.



$$S_{Udd}^{UR} = \frac{\Delta UR}{\Delta Udd} = \frac{0,309}{1} = 0,309V/V \text{ oziroma}$$

$$S_{Udd}^{UR} = \frac{\Delta UR}{\Delta Udd} \frac{Udd}{UR} = \frac{0,309}{1} \cdot \frac{5}{1,526} \approx 1\%/\%$$

Delilnik je zelo občutljiv na spremembo napajalne napetosti, saj 1% povečanje Udd povzroči 1% povečanje UR.

Občutljivost UR na spremembo temperature:

Temperaturo dvignemo za 1 stopinjo in s simulatorjem izračunamo spremembo UR:

```
\Simulacije\R_delilnik_C1\Delilnik2.cir OP
*#save V(1)@M1[id] @M1[p] V(2) V(3) @M2[id]@M2[p] M3[id]
*#save @M3[p] @VDD[i] @VDD[p]
*#alias ur
*#op
*#show all : all
*#showmod all : all
.OPTIONS Temp=28
M1 1 1 0 0 MN_08 L=4u W=0.8u
M2 1 1 2 3 MP_08 L=2u W=0.8u
M3 2 2 3 3 MP_08 L=2u W=0.8u
VDD 3 0 DC=5
.MODEL MP_08 PMOS Level=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=560U CJSW=350P GAMMA=0.57 KP=50U LAMBDA=0.05
+ LD=0.014U MJ=0.5 MJSW=0.35 PHI=0.8 TOX=14N VTO=-0.7
.MODEL MN_08 NMOS Level=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=770U CJSW=380P GAMMA=0.4 KP=110U LAMBDA=0.04
+ LD=0.016U MJ=0.5 MJSW=0.38 PHI=0.7 TOX=14N VTO=0.7
.END

Node          Voltage
***
V( 3 )        5.000000e+000
V( 2 )        3.442552e+000
V( 1 )        1.526594e+000
```

UR = 1,526589V pri 27°C in 1,526594V pri 28°C

$$S_T^{UR} = \frac{\Delta UR}{\Delta T} \frac{1}{UR} = \frac{5 \cdot 10^{-6}}{1} \cdot \frac{1}{1,526} = 3,3 \cdot 10^{-6} / ^\circ C = 3,3 ppm / ^\circ C \text{ oziroma}$$

$$S_T^{UR} = \frac{\Delta UR}{\Delta T} \frac{T}{UR} = \frac{5 \cdot 10^{-6}}{1} \cdot \frac{27}{1,526} = 8,85 \cdot 10^{-5} \% / \%$$

Dobili smo nerealno nizko vrednost občutljivosti. Vzrok je v preveč poenostavljenem modelu MOS tranzistorjev. Če bi uporabili izboljšan model (LEVEL =3), bi dobili popolnoma drugačne oziroma bolj realne rezultate: -48ppm/°C.

CMOS delilnik je zelo slab vir referenčne napetosti, saj je zelo občutljiv predvsem na spremembo napajalne napetosti in temperature.

VAJA C.19 PROJEKTIRANJE SC UPORA

Projektiraj SC upor, ki naj ima povprečno vrednost $2,5M\Omega$.

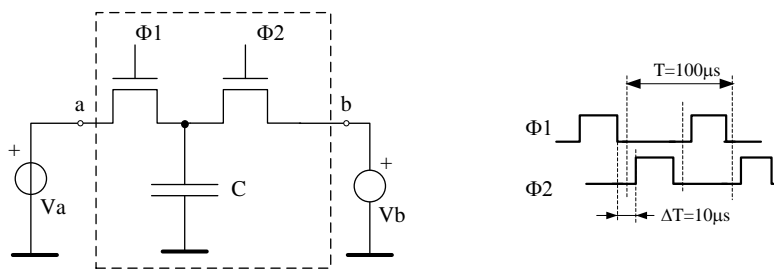
Podatki:

$$U_{DD} = 5V, U_{SS} = -5V$$

$$f_c = 100 \text{ kHz}, U_a = 5V, \Delta T = 10\mu s$$

0,8 μ m tehnologija

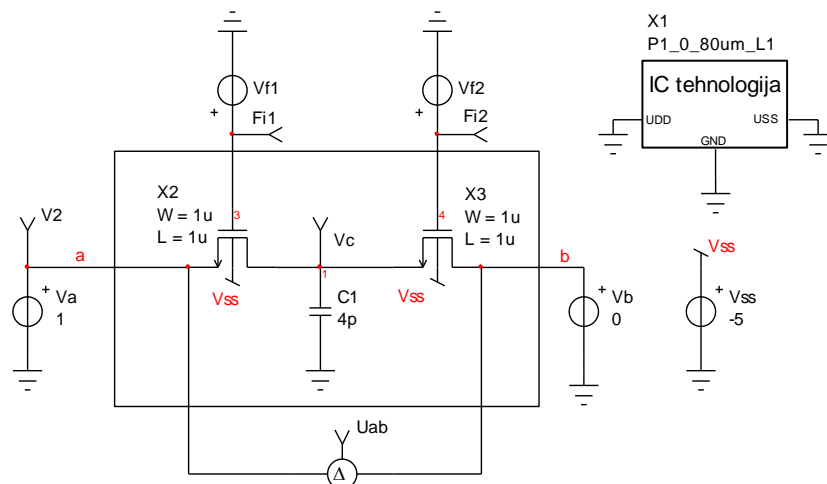
$$V_a = 1V, V_b = 0V$$



Rešitev:

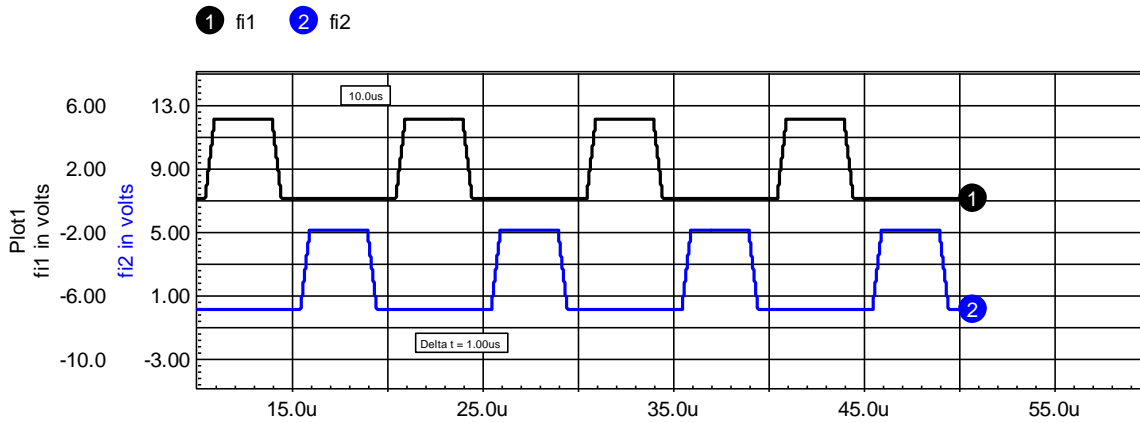
$$C = \frac{1}{f_c \cdot \bar{R}_{ab}} = \frac{1}{100 \cdot 10^3 \cdot 2,5 \cdot 10^6} = \underline{\underline{4pF}}$$

Simulacija vezja



SC upor se nahaja med priključkoma a in b. Meritev upornosti izvedemo tako, da na priključek a priključimo enosmerni napetostni vir z napetostjo 1V, na priključek b pa z $V_b=0$ ustvarimo kratek stik na maso. Nato merimo povprečni tok, ki teče iz V_a v SC upor:

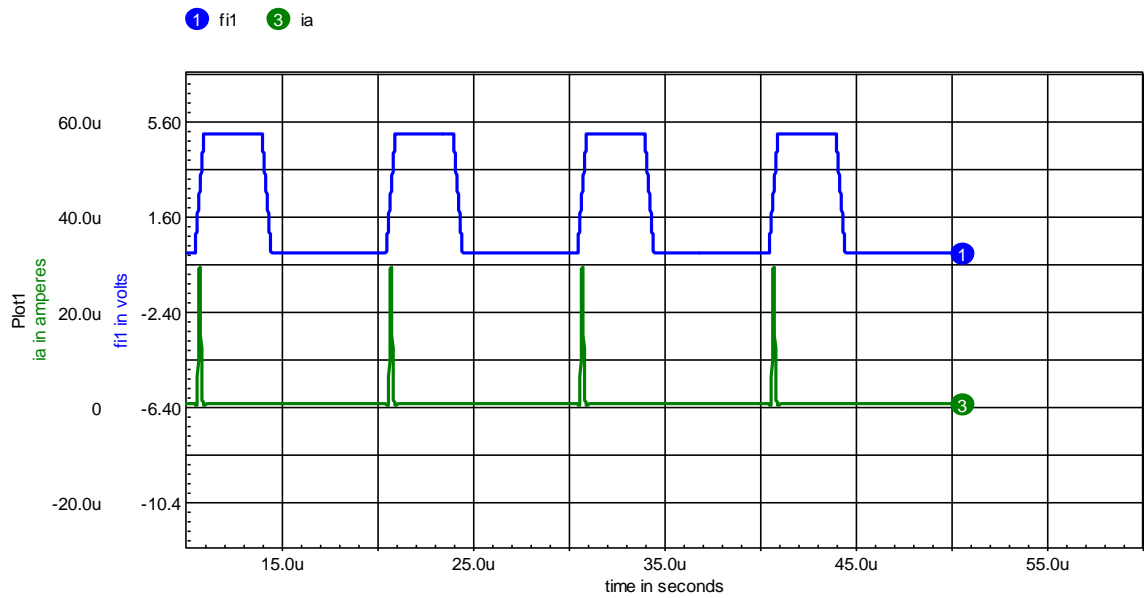
$$\bar{R}_{ab} = \frac{\bar{u}_{ab}}{\bar{i}_{ab}} = \frac{V_a}{\bar{i}_a}$$



```

C:\Users\Tomaz\Desktop\SC_upor\SC_upor_1.cir/Config 1/Setup1
*#save V(1) @C1[i] @C1[p] V(3) V(a) V(4) @Vf1[i] @Vf1[p]
*#save @Vf2[i] @Vf2[p] V(b) @Va[i] @Va[p] V(Vss) @Vss[i] @Vss[p]
*#save @Vb[i] @Vb[p]
*#alias fi1 v(3)
*#alias vc v(1)
*#alias fi2 v(4)
*#alias v2 v(a)
*#alias uab (v(a) - v(b))
.TRAN 0.01u 50u 10u 0.01u
.OPTIONS acct
.PRINT TRAN Fi1
.PRINT TRAN Vc
.PRINT TRAN Fi2
.PRINT TRAN V2
.PRINT TRAN Uab
C1 1 0 4P
M2 1 3 A VSS MN W=1U L=1U
M1 B 4 1 VSS MN W=1U L=1U
VSS VSS 0 DC=-5
VF1 3 0 PWL 0 0 0.5U 0 1U 5 4.0U 5 4.5U 0 10U 0 R
VF2 4 0 PWL 0 0 5.5U 0 6U 5.00 9U 5 9.5U 0 10U 0 R
VA A 0 DC=1
VB B 0 DC=0
.MODEL MN NMOS LEVEL=1 VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04
+ PHI=0.7 MJ=0.5 MJSW=0.38 CGBO=700P CGSO=220P CGDO=220P CJ=770U
+ CJSW=380P LD=0.016U TOX=14N
.END

```



Za določitev povprečne vrednosti toka v Intuscopu uporabimo tipko a.

$$\bar{R}_{ab} = \frac{\bar{u}_{ab}}{\bar{i}_{ab}} = \frac{Va}{i_a} = \frac{1000mV}{400,02nA} = \underline{\underline{2,5M\Omega}}$$

D. DODATEK

1. 0,8 μm cmos tehnologija
 2. Označevanje mask
 3. Faktor oblike za upore
 4. Zgled projekta
-

1. 0,8 MM CMOS TEHNOLOGIJA

Tabela 1 Tipični podatki za 0,8 μm tehnologijo (Si substrat n-otoki CMOS)¹²

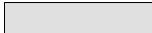

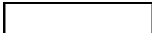



Parameter	NMOS	PMOS	enota
U_t	0,7 \pm 0,15	-0,7 \pm 0,15	V
k' (v nasičenju)	110 \pm 10%	50 \pm 10%	$\mu\text{A}/\text{V}^2$
γ	0,4	0,57	V
λ	0,04 (L=1 μm)	0,05 (L=1 μm)	V^{-1}
	0,01 (L=2 μm)	0,01 (L=2 μm)	V^{-1}
$2 \Phi_F $	0,7	0,8	V

Poenostavljen SPICE model:

```
.MODEL MN NMOS Level=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=770U CJSW=380P GAMMA=0.4 KP=110U LAMBDA=0.04 LD=0.016U
+ MJ=0.5 MJSW=0.38 PHI=0.7 TOX=14N VTO=0.7

.MODEL MP PMOS Level=1 CGBO=700P CGDO=220P CGSO=220P
+ CJ=560U CJSW=350P GAMMA=0.57 KP=50U LAMBDA=0.05 LD=0.014U
+ MJ=0.5 MJSW=0.35 PHI=0.8 TOX=14N VTO=-0.7
```

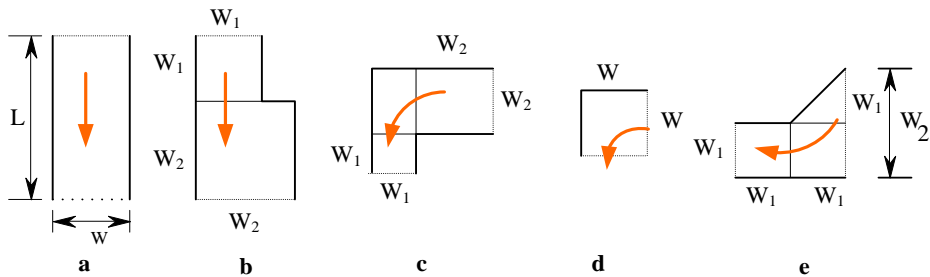
2. OZNAČEVANJE MASK

	polikristalni silicij		kontakt med kovino in površino
	maska za aktivno področje oziroma za difuzijo		kontakt med kovino in polisilicijem
	kovina		
	p oziroma n otok		

Slika 1: Označevanje mask, ki je bilo uporabljeno v tej zbirki vaj

¹² P. E. Allen, D. R. Holberg: "CMOS Analog Circuits Design", Oxford University Press, New York 2002, 2. Izdaja.

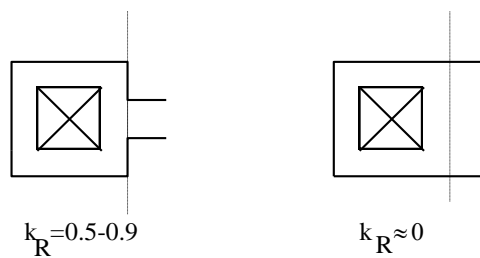
3. FAKTOR OBLIKE ZA UPORE



Slika 2: Najbolj pogosti uporovni segmenti. Tok teče med črtkanima stranicama v katerokoli smer.

Tabela 2: Približne vrednosti faktorja¹³ k_R za najbolj pogoste segmente s slike 2. Najmanjši pogrešek je pri segmentu a.

segment	W_2/W_1	k_R
a	-	L/W
b	1	1
b	1,5	2,1
b	2	2,25
b	3	2,5
b	4	2,65
c	1	2,5
c	1,5	2,55
c	3	2,75
d	-	0,5
e	1,5	1,45
e	2	1,8
e	3	2,3
e	4	2,65

Slika 3: Faktor k_R za kontakte

¹³ M. Horowitz, R.W. Dutton: *Resistance Extraction from Mask Layout Data*, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Volume: 2, Issue: 3, julij, 1983.

4. STRUKTURA IN ZGLED PROJEKTA

Navodila za potek projekta

- 1) Analiziraj zahteve. Po potrebi napravi sintezo in nato projektiraj vezje. Najprej določi strukturo nato pa še dimenzije.
- 2) Preveri pravilnost načrtovanja s simulacijo in nominalnimi vrednostmi - uporabi enostavne modele elementov
- 3) Preveri pravilnost načrtovanja s simulacijo in nominalnimi vrednostmi - uporabi kompleksne modele elementov. Če si uporabil poseben skript, ga dodaj k poročilu.
- 4) Izvedi ogliščno analizo
- 5) Načrtaj geometrijsko strukturo
- 6) Preveri geometrijsko strukturo

Struktura poročila

NASLOV PROJEKTA

1. ZAHTEVE

- 1.1 Funkcionalne zahteve
- 1.2 Opis vezja na kontekstnem nivoju
- 1.3 Druge zahtevane lastnosti
- 1.4 Omejitve in tehnologija

2 DOLOČITEV STRUKTURE VEZJA

3 PREVERJANJE LASTNOSTI KOMPLETNEGA VEZJA S PREPOSTIMI MODELI

- 3.1 Kompletna shema
- 3.2 Preverjanje funkcionalnosti in drugih lastnosti z nominalnimi vrednostmi parametrov

4 PREVERJANJE LASTNOSTI KOMPLETNEGA VEZJA S KOMPLEKSNIMI MODELI

- 4.1 Preverjanje z nominalnimi vrednostmi
- 4.2 Ogliščna analiza
- 4.3 Uporabljeni skripti

5 NAČRTOVANJE GEOMETRIJSKE STRUKTURE

- 5.1 Geometrijska struktura
- 5.2 Poročilo o preverjanju skladnosti z načrtovalskimi pravili

Zgled projekta

Predmet: OSNOVE MIKROELEKTRONIKE

Projekt šte. 2: Načrtovanje decizijskega logičnega vezja

Ime in priimek: Ivo Koren, VS 3. letnik, datum: 19.10.2018

KAZALO

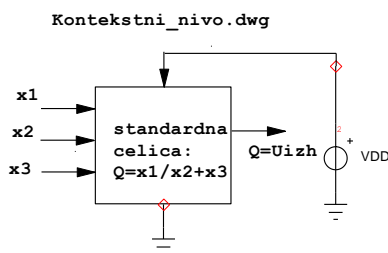
1	ZAHTEVE	123
1.1	Funkcionalne zahteve.....	123
1.1	Opis vezja na kontekstnem nivoju.....	123
1.2	Opis in položaj priključkov.....	123
1.3	Druge zahtevane lastnosti.....	123
1.4	Omejitve in tehnologija.....	123
1.5	Navodila za preverjanje kompletnega vezja	124
2	DOLOČITEV STRUKTURE VEZJA	124
2.1	Dimenzioniranje vhodnega invertorja (tranzistorji: X7, X10).....	125
2.2	Projektiranje osrednjega dela (tranzistorji: X1, X6, X4, X3)	126
2.3	Projektiranje izhodnega CMOS invertorja (tranzistorji: X2, X3).....	127
3	PREVERJANJE LASTNOSTI KOMPLETNEGA VEZJA S PREPOSTIMI MODELI	128
3.1	Kompletna shema	128
3.2	Preverjanje funkcionalnosti	129
3.3	Izhodna upornost	129
3.4	Preklopna napetost	129
3.5	Hitrost.....	130
4	PREVERJANJE LASTNOSTI KOMPLETNEGA VEZJA S KOMPLEKSNI MI MODELI	131
4.1	Preverjanje z nominalnimi vrednostmi	131
4.2	Ogliščna analiza	131
4.3	Uporabljeni skripti.....	132
5	NAČRTOVANJE GEOMETRIJSKE STRUKTURE	132
5.1	Geometrijska struktura	132
5.2	Poročilo o preverjanju skladnosti z načrtovalskimi pravili	133

1 ZAHTEVE

1.1 Funkcionalne zahteve

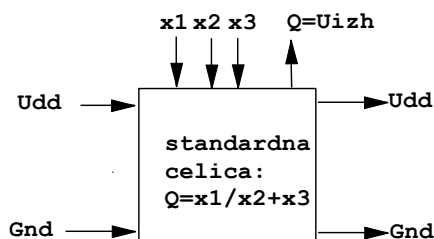
Logični gradnik naj izvede naslednjo funkcijo: $Q = X_1\bar{X}_2 + X_3$. Gradnik naj bo realiziran v obliki standardne celice, katere osrednji del je sestavljen samo iz NMOS tranzistorjev, ki imajo NMOS ali PMOS aktivna bremena, na izhodu pa naj ima CMOS inverter, ki določa izhodno upornost. Sam izberi višino celice in položaj priključkov.

1.1 Opis vezja na kontekstnem nivoju



1.2 Opis in položaj priključkov

Napajalna napetost in masa: nivo kovina. Vhodi (x1, x2, x3) in izhodi (Q): nivo poly.



1.3 Druge zahtevane lastnosti

- Izhodna upornost pri logični ničli $R_{izh}(0) \leq 300 \Omega$
- Preklopna napetost: $U_T \leq U_{dd}/3$
- Zakasnitev $t_p < 1 \mu s$

1.4 Omejitve in tehnologija

- $U_{dd}^0 = 5V$ ($U_{dd}^{\min} = 4,5V$, $U_{dd}^{\max} = 5,1V$)
- $T^0 = 27^\circ C$, $T_{\max.} = -50^\circ C$, $T_{\min.} = -50^\circ C$

0,8 μm tehnologija, N- well. V knjižnici je označena kot P3. Poenostavljen načrtovalski model (P3_0_8um_L1):

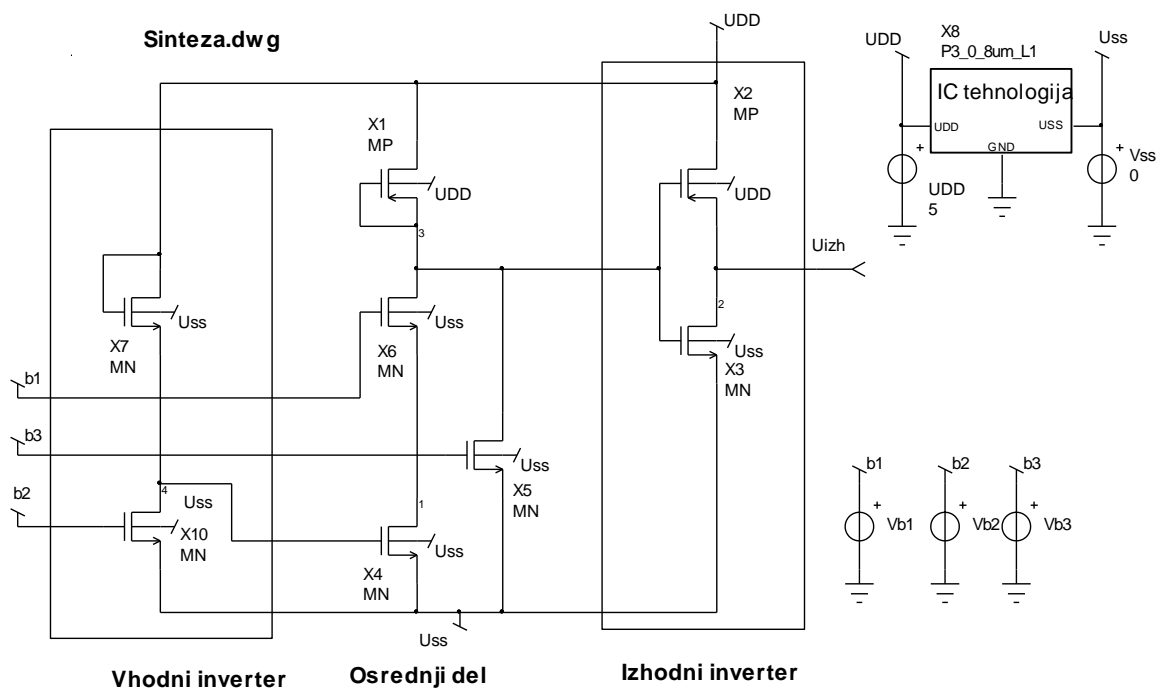
- 1) NMOS: $U_{tn} = 0.8 V$, $k'_n = 70 \mu A/V^2$, $\lambda_n = 0,03 V^{-1}$,
- 2) PMOS: $U_{tp} = -0.7 V$, $k'_p = 35 \mu A/V^2$, $\lambda_p = 0,09 V^{-1}$

1.5 Navodila za preverjanje kompletnega vezja

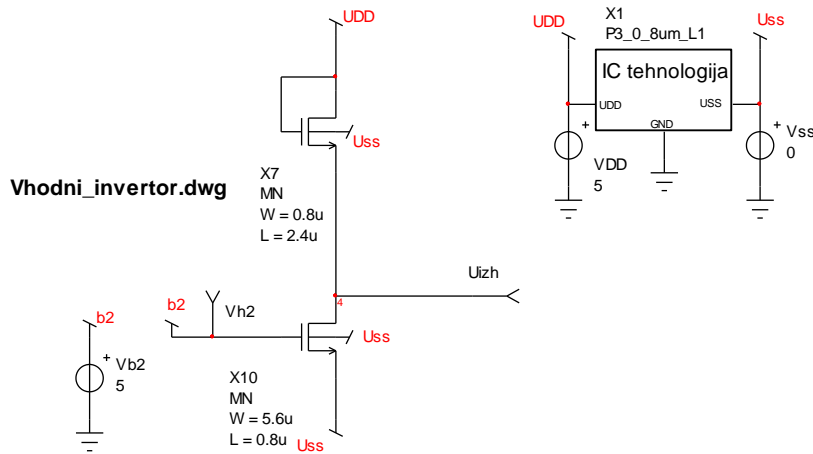
- 1) Pri simulaciji uporabi poenostavljen model P3_0_8um_L1 z nominalnimi vrednostmi.
 - Preveri funkcionalnost in izpolnjevanje drugih zahtev. Izberi najmanj eno vhodno kombinacijo, ki bo povzročila preklop kompletnega vezja.
 - Pri meritvi zakasnitev na izhod priključi model bremena ($R_b=200K$, $C_b=50pF$).
- 2) Ponovi točko 1, tokrat s kompleksnim modelom P3_0_8um_TC.
- 3) Izberi najmanj eno lastnost in z ogliščno analizo preveri ali ustreza zahtevam. Uporabi modele P3_0_8um_FF, P3_0_8um_FS, P3_0_8um_SF, P3_0_8um_SS. Ne pozabi na variacijo napajalne napetosti in temperature.

2 DOLOČITEV STRUKTURE VEZJA

S pomočjo sinteze smo dobili naslednjo strukturo. Ker so tranzistorji označeni z X, so imena vhodov preimenovana iz x, v b_i. Datoteka: Sinteza.dwg



2.1 Dimenzioniranje vhodnega invertorja (tranzistorji: X7, X10)



Zahteve: $U_T \leq \frac{U_{dd}}{3} = 1,7V$

Dimenzioniranje:

$$A_u > \left| \frac{\Delta U_{izh}}{\Delta U_{vh}} \right| = \left| \frac{4,2V - 1,7V}{0,8V - 1,7V} \right| = |-2,8|$$

Izberem: $A_u = -4$

$$A_u = -\sqrt{\beta_R} \rightarrow \beta_R = A_u^2 = (-4)^2 = 16$$

$Ma \equiv X10$ in $Mb \equiv X7$

Izberem tok, ki teče, ko je na izhodu logična ničla: $I_{DSmax} \leq 250\mu A$

$$X7: \frac{Wb}{Lb} = \frac{I_{DS}}{\frac{k'n}{2} \cdot (U_{GSn} - U_{tn})^2} = \frac{250 \cdot 10^{-6}}{\frac{70 \cdot 10^{-6}}{2} \cdot (5 - 0,8)^2} = 0,40$$

$$\frac{W7}{L7} = \frac{Wb}{Lb} = \frac{0,8\mu m}{2,4\mu m}$$

$$\beta_R = \frac{W_a/L_a}{W_b/L_b} \rightarrow \frac{W_a}{L_a} = \frac{\beta_R W_b}{L_b} = 16 \cdot 0,4 = 6,4 \approx 7;$$

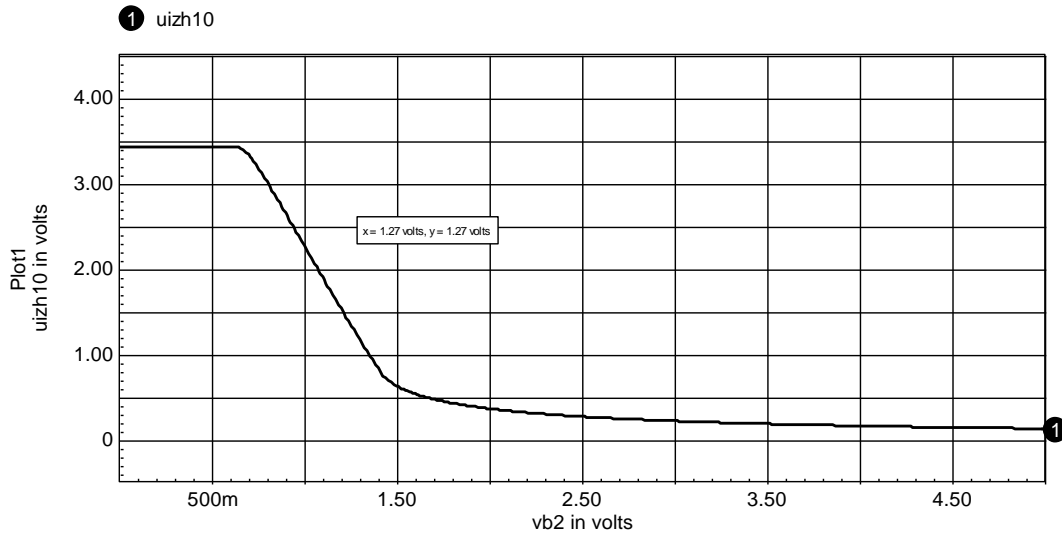
$$X10: \frac{W_{10}}{L_{10}} = \frac{W_a}{L_a} = \frac{5,6\mu m}{0,8\mu m}$$

$U_{izh_max} \approx 4,3V$

Simulacija:

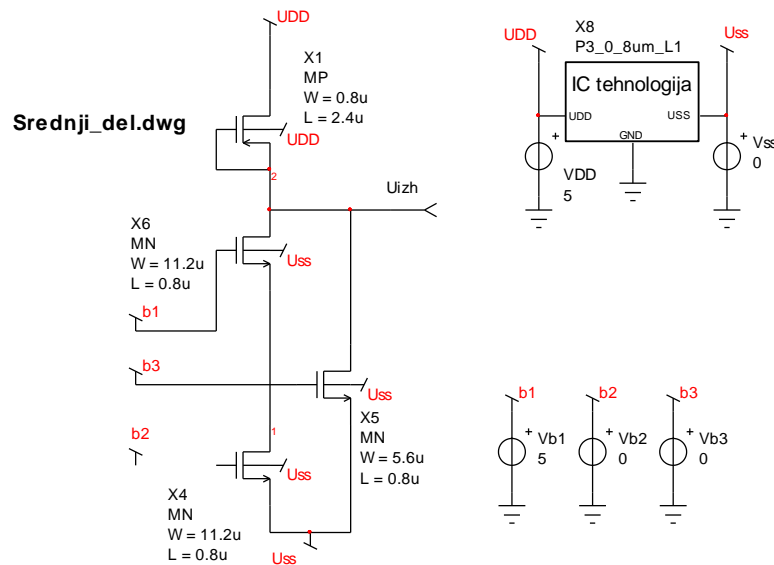
1. **Maksimalni tok:** simulacija = 143 μA , (OP analiza). Zahtevano: $I_{DSmax} \leq 250\mu A$.

- 2. **Preklopna napetost:** Simulacija: $U_T = 1,3V$ (DC analiza). Zahtevano: $U_T \leq 1,7V$.
Teoretična analiza: $U_T = 1,7V$.
- 3. **Maksimalna napetost na izhodu:** $U_{izh_max} = 3,4V$



Slika 1: Prenosna funkcija vhodnega NMOS invertorja

2.2 Projektiranje osrednjega dela (tranzistorji: X1, X6, X4, X3)



Glede na strukturo vezja so možne tri preklopne karakteristike:

Oznaka karakteristike	Vh. vrednosti b_1 b_2 b_3			Opomba
DC0	0 0 0		ne prevaja: x6 , x5, x4	Začetno stanje
DC1	0 0 1	Prevaja x5	ne prevaja: x6 ali x4	
DC2	1 1 0	Prevaja x6, x4	ne prevaja: x5	
DC3	1 1 1	Prevaja x4, x6, x5		

Za osnovo vzamemo kar dimenzije vhodnega NMOS invertorja.

$$X1: \frac{W}{L} = \frac{0,8\mu m}{2,4\mu m}, \quad X5 = X6 = X4: \frac{W}{L} = \frac{5,6\mu m}{0,8\mu m}$$

Pri teh dimenzijah bo najbolj neugoden primer (največja preklopna napetost) prekop iz začetnega stanja DC0 v stanje DC2. Takrat bosta prevajala zaporedno vezana X4 in X6 in se bo zaradi tega zmanjšala β_R . Zato ustrezno povečam širino:

$$X6 = X4: \frac{W}{L} = \frac{11,2\mu m}{0,8\mu m}$$

$$U_{zh_max} \approx 4,3V$$

Simulacija:

- 1. Preklopna napetost:** Simulacija karakteristike pri prehodu iz DC0 v DC2: $U_T = 1,1V$ (DC analiza). Zahtevano: $U_T \leq 1,7V$.
- 2. $U_{zh_max} = 3,6V$**

2.3 Projektiranje izhodnega CMOS invertorja (tranzistorji: X2, X3)

$$U_{vhmax} = 4,3V$$

$$\frac{W_3}{L_3} = \frac{W_n}{L_n} = \frac{1}{R_{ON} \cdot k'_n \cdot (U_{GSn} - U_{tn})} = \frac{1}{300\Omega \cdot 70 \cdot 10^{-6} \frac{A}{V^2} \cdot (4,3V - 0,8V)} \geq 14$$

$$\text{Izberem } \frac{W_3}{L_3} = 25$$

$$\frac{W_3}{L_3} = \frac{22}{1} = \frac{20,0\mu m}{0,8\mu m}$$

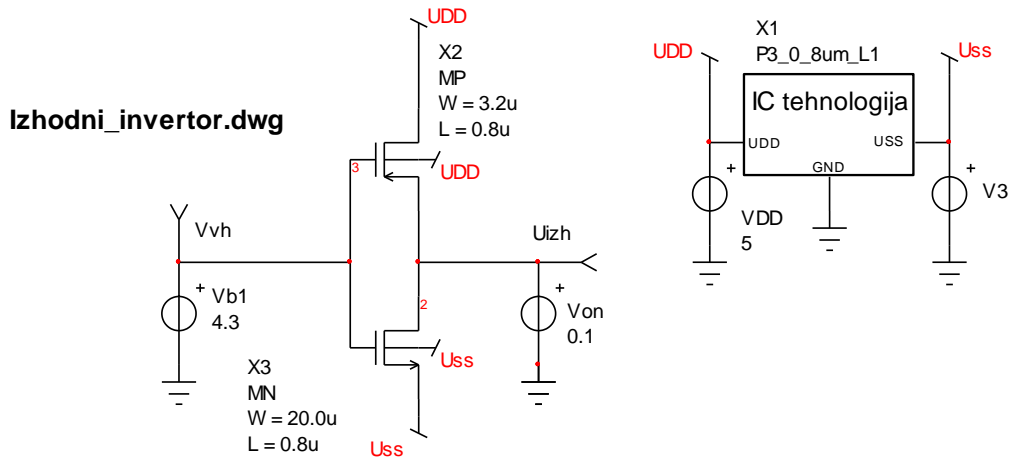
$$U_T = \frac{U_{DD} + U_{tp} + U_{tn} \cdot \sqrt{\beta_R \frac{k'_n}{k'_p}}}{1 + \sqrt{\beta_R \frac{k'_n}{k'_p}}} \rightarrow$$

$$\beta_R = \frac{k'_p}{k'_n} \cdot \left(\frac{-U_T + U_{DD} + U_{tp}}{U_T - U_{tn}} \right)^2 = \frac{35 \mu A / V^2}{70 \mu A / V^2} \cdot \left(\frac{-1,7 + 5 - 0,7}{+1,7 - 0,8} \right)^2 = 4,2 \rightarrow \beta_R > 4,2$$

$$\beta_R = \frac{\frac{W_n}{L_n}}{\frac{W_p}{L_p}} \rightarrow \frac{W_2}{L_2} = \frac{W_p}{L_p} = \frac{W_n}{L_n} = \frac{18}{4,2} = 4,3 \rightarrow \frac{W_2}{L_2} = \frac{W_p}{L_p} < 4,3$$

$$\frac{W_2}{L_2} = \frac{W_p}{L_p} = 4 \approx \frac{3,2\mu m}{0,8\mu m}$$

Meritev izhodne upornosti:

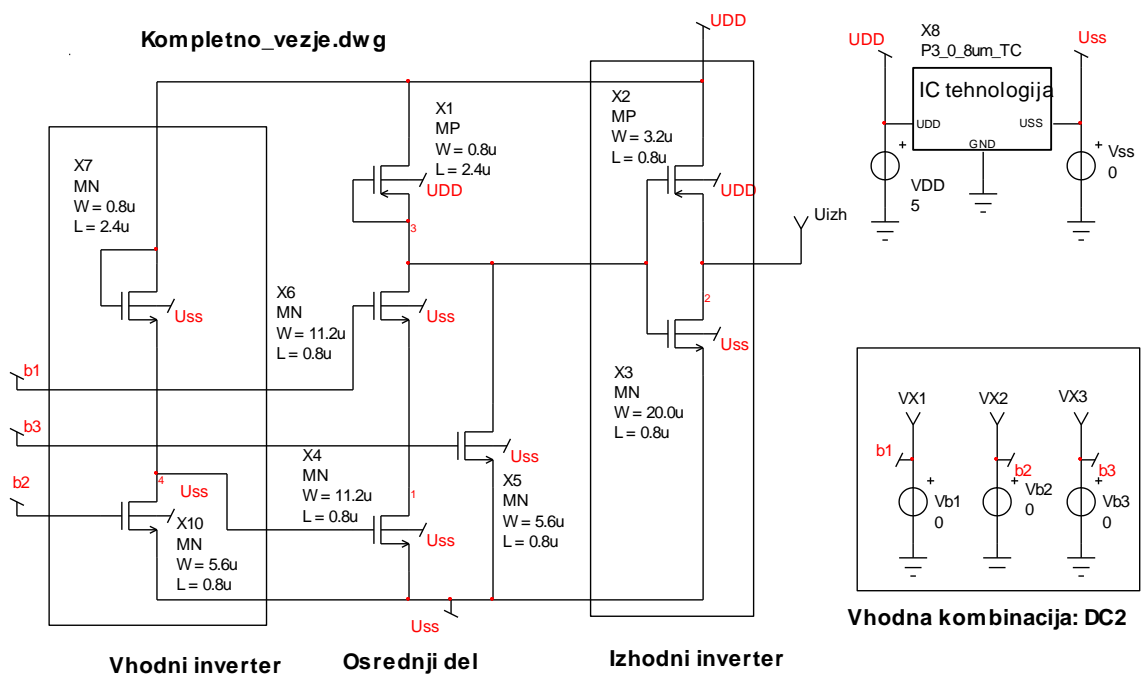


Simulacija:

1. **Preklopna napetost:** Simulacija: $U_T = 1,5V$ (DC analiza), zahtevano: $U_T \leq 1,7V$.
2. **Izhodna upornost pri logični ničli:** $R_{izh}(0) = 0,1V/606\mu A = 165\Omega$ (OP analiza), zahtevano: $R_{izh}(0) \leq 300\Omega$

3 PREVERJANJE LASTNOSTI KOMPLETNEGA VEZJA S PREPROSTIMI MODELI

3.1 Kompletna shema



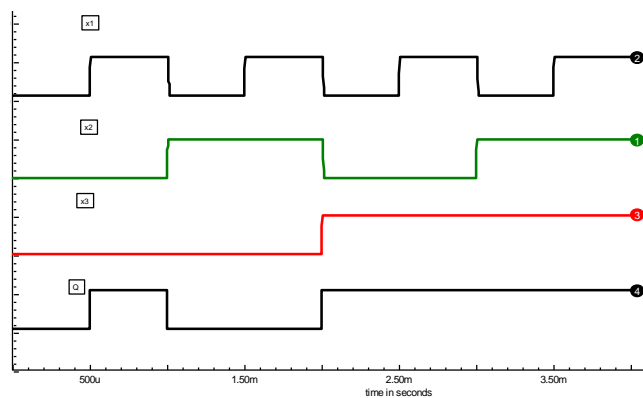
3.2 Preverjanje funkcionalnosti

Pričakovani rezultati in dejanski rezultati:

Oznaka vh. kombinacije	X3	X2	X1	$Q = X_1\bar{X}_2 + X_3$	Q dejanski
I_1	0	0	0	0	0
I_2	0	0	1	1	1
I_3	0	1	0	0	0
I_4	0	1	1	0	0
I_5	1	0	0	1	1
I_6	1	0	1	1	1
I_7	1	1	0	1	1
I_8	1	1	1	1	1

Simulacija:

Pri simulaciji je uporabljen preprost načrtovalski model MOS tranzistorjev P3_0_8um_L1.

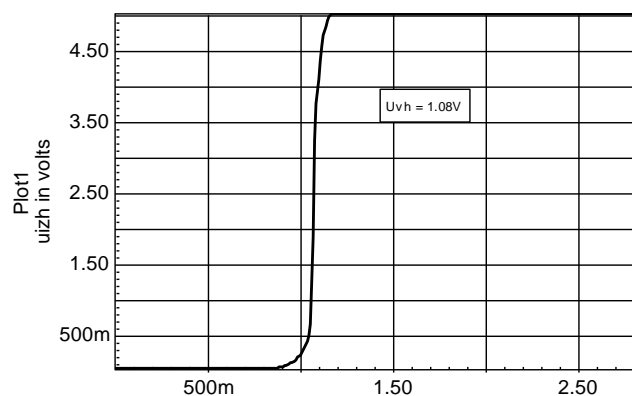


Slika 2: Preverjanje logične funkcije

3.3 Izhodna upornost

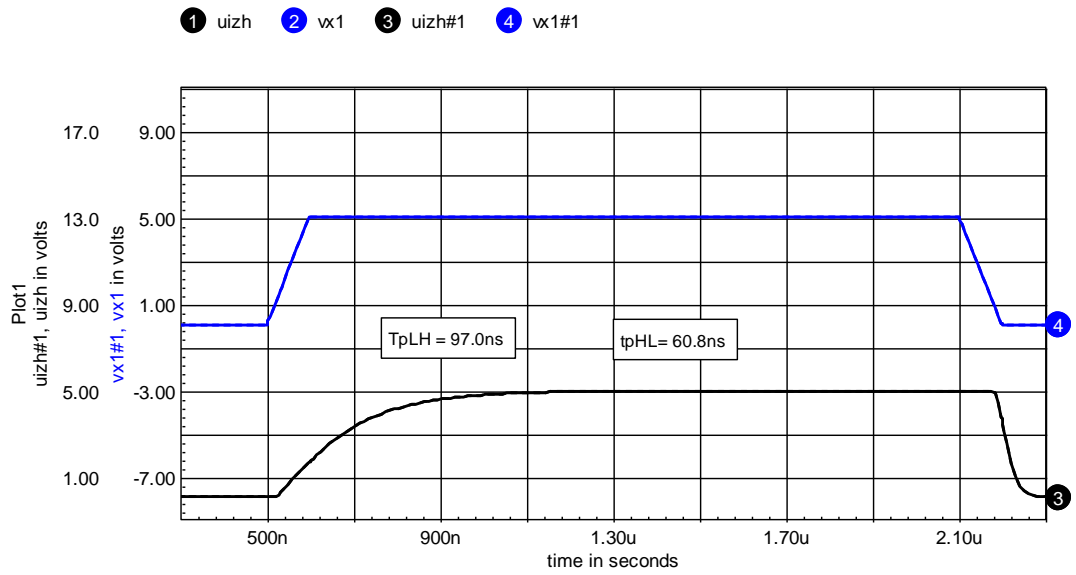
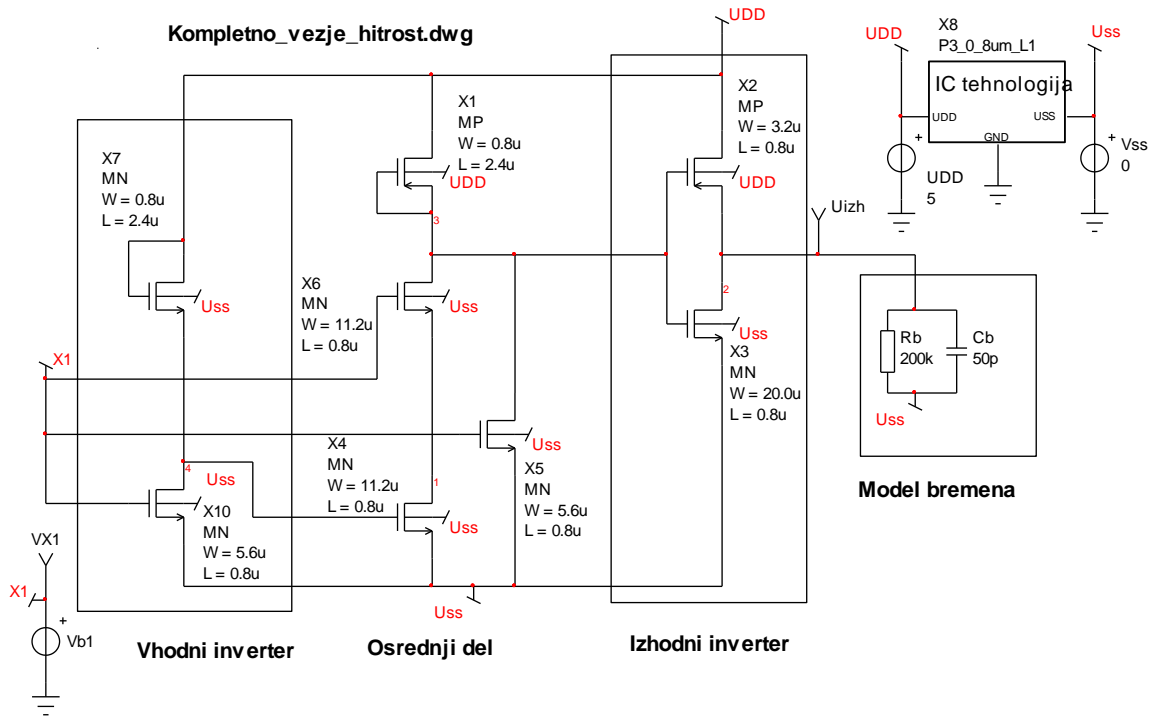
Izhodna upornost pri logični ničli: $R_{ih}(0) = 0,1V/605\mu A = 165\Omega$ (OP analiza), zahtevano: $R_{ih}(0) \leq 300\Omega$

3.4 Preklopna napetost



Slika 3: Preklopna napetost in prenosna karakteristika Pri prehodu iz I_1 v I_6 je preklopna napetost $U_T = 1,1V$, zahtevano: $U_T \leq 1,7V$

3.5 Hitrost



Slika 4: Povprečna zakasnitev pri prehodu iz I_1 v I_8 je:

$$t_p = \frac{t_{pLH} + t_{pHL}}{2} = \frac{97ns + 61ns}{2} = 79ns$$

4 PREVERJANJE LASTNOSTI KOMPLETNEGA VEZJA S KOMPLEKSNIMI MODELI

4.1 Preverjanje z nominalnimi vrednostmi

- 1) **Izhodna upornost pri logični ničli:** $R_{ih}(0) = 0,1V/509\mu A = 196\Omega$ (OP analiza), zahtevano: $R_{ih}(0) \leq 300\Omega$
- 2) **Preklopna napetost** pri prehodu iz I₁ v I₆ je $U_T = 0,9V$, zahtevano: $U_T \leq 1,7V$.
- 3) **Zakasnitev:** Zakasnitev pri prehodu iz I₁ v I₈ je $t_p = 79ns$, zahtevano $t_p < 1\mu s$.

4.2 Ogliščna analiza

Ogliščna analiza za lastnost R_{ih} : izhodna upornost pri logični ničli. Zahtevano: $R_{ih}(0) \leq 300\Omega$.

	Oglišča				Lastnost	Opomba
	NMOS*	PMOS*	Ubat(V)	T(°C)	R _{ih} (Ω)	
	T	T	5	20	196	Nominalne vrednosti
1	F	F	4,5	-50	144	
2	F	F	4,5	50	203	
3	F	F	5,1	-50	134	
4	F	F	5,1	50	187	
5	S	F	4,5	-50	175	
6	S	F	4,5	50	250	
7	S	F	5,1	-50	160	
8	S	F	5,1	50	229	
9	F	S	4,5	-50	148	
10	F	S	4,5	50	208	
11	F	S	5,1	-50	135	
12	F	S	5,1	50	191	
13	S	S	4,5	-50	179	
14	S	S	4,5	50	257	
15	S	S	5,1	-50	164	
16	S	S	5,1	50	234	

Opomba *: T- typical (nomial) values - model tipičnega tranzistorja, F: fast - model hitrega tranzistorja, S: slow – model počasnega tranzistorja.

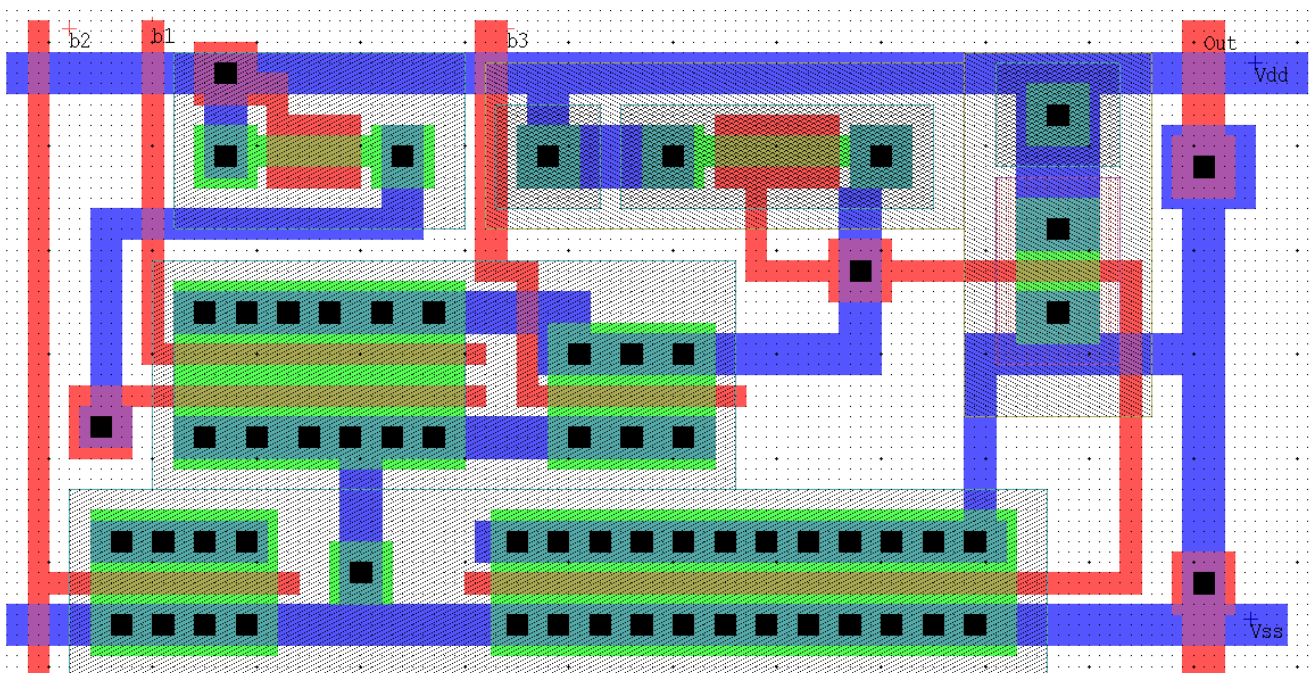
R_{ih} v vseh ogliščih ustreza zahtevi: $R_{ih}(0) \leq 300\Omega$.

4.3 Uporabljeni skripti

```
**** Skript za ogliščno analizo
***** VDD min    TEMP min
alter @vdd[DC]=4.5
set TEMP = -50
op
Rizh = -V(2)/I(Von)
Print Rizh
***** VDD min    TEMP max
alter @vdd[DC]=4.5
set TEMP = 50
op
Rizh = -V(2)/I(Von)
Print Rizh
***** VDD max    TEMP min
alter @vdd[DC]=5.1
set TEMP = -50
op
Rizh = -V(2)/I(Von)
Print Rizh
***** VDD max    TEMP max
alter @vdd[DC]=5.1
set TEMP = 50
op
Rizh = -V(2)/I(Von)
Print Rizh
```

5 NAČRTOVANJE GEOMETRIJSKE STRUKTURE

5.1 Geometrijska struktura



5.2 Poročilo o preverjanju skladnosti z načrtovalskimi pravili

DRC JOB RESULTS SUMMARY

Total DRC Errors Generated 0
 CPU Time 00:00:01
 Real Time 00:00:01
 Rules Executed 96

DRC Errors Generated by Rule Set
 DRC Standard Rule Set

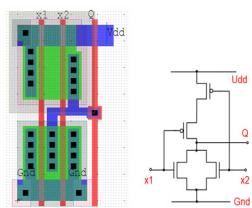
RUN-TIME ERRORS AND WARNINGS

Running **DRC Standard Rule Set**

Rule Set Name	MOSIS/ORBIT 2.0u SCNA Design Rules
Execution Start Time	Oct 19 2015 13:49:51
Maximum Results	1000

INPUT LAYER SUMMARY

Layer Name	Object Count	Flattened
Active	17	17
Active Contact	59	59
CCD	0	0
Capacitor ID	0	0
Metal1	28	28
Metal2	0	0
N Select	7	7
N Well	2	2
NPN ID	0	0
Overglass	0	0
P Base	0	0
P Select	1	1
Pad Comment	0	0
Poly	25	25
Poly Contact	5	5
Poly2	0	0
Poly2 Contact	0	0
Resistor ID	0	0
Via	0	0



Univerza v Mariboru

Fakulteta za elektrotehniko,
računalništvo in informatiko